

TOSBAC-40L の設計思想

山崎 勇 , 木下 常雄

(東京芝浦電気株式会社)

1. まえがき

半導体技術, とりわけMOS/LSI技術の進歩により, 電子計算機の主要部分をも1個のLSIチップで構成することができるようになり, ここ3・4年の間に各種のマイクロコンピュータが開発された。

マイクロコンピュータは, 小型低価格のゆえに, 各種の装置の制御用に用いられる可能性があり, 産業の全分野に大きな変化をもたらすであろうと思われる。しかし現時点では40種以上のマイクロコンピュータが開発されているにもかかわらず, 他方面に应用されているものは数機種に限られている。これは多分に営業力が関係しているとも思われるが, マイクロコンピュータの電子計算機としての側面が大きく関係していると思われる。

すなわち, マイクロコンピュータはその大きさ・形態・価格等の面ではたしかに電子部品に入るが, 一方本質はあくまで電子計算機であって, その利用方法は従来の電子部品とは大きく異なっている。マイクロコンピュータはいわば生れたての人間の頭のようなもので, プログラムにより仕事をおぼえさせ, 入出力装置等の手足を接続しなければ, 実際に役立つ作業を行なわない。

マイクロコンピュータのプログラムはほとんどアセンブラ言語で書かれる。これは与えられた処理をできるだけ短いプログラムで行なわせる

ことにより, 必要なメモリ容量を節約したいという, 極めて当然な考えからの結果である。マイクロコンピュータでは, したがって機械語レベルでプログラムの書きやすさが要求されるが, 従来のマイクロコンピュータの機械語仕様は, LSIの制約をいかにしてのがれるかに重点を置いて設計されているため, プログラマーに多大の負担を与えていた。

またアセンブラ, ロータ, デバッグ, あるいはサブルーチン群, 応用プログラム群等のサポートソフトウェアの開発が, ハードウェアたるLSIの開発より後手になることが多かった。これは従来のマイクロコンピュータの開発が半導体主導型であったためと思われるが, これがマイクロコンピュータ応用上の障害になっていた。

一方マイクロコンピュータの出現により, ハードワイヤドロジック, あるいはランダムICによる制御回路は全部マイクロコンピュータにおきかわるようになってきている。しかし手足に相当する部分のインターフェースに多くのランダムICが必要であることと, この部分の汎用LSI化が比較的困難なことと, さらに, いかにマイクロコンピュータの割込機能が向上しても, プログラム制御のために本質的に応答速度が遅いこと等のために, 簡単にはおきかえられない。この点からは, マイクロコンピュータといえども, そのコンピュータリングパワーを発揮でき

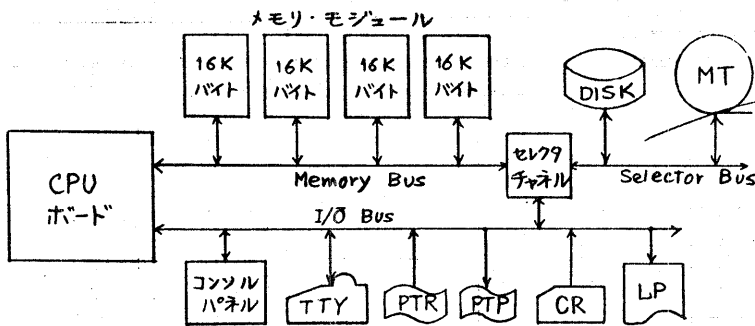
基本語長	16ビット
内部レジスタ	General Register 16語×16ビット (うち15語は Index Register として使用可)
	Floating Point Register 8語×32ビット
	Program Status Word 32ビット (LOC, CC を含む)
アドレス単位	バイト (8ビット)
メモリ最大容量	64 Kバイト
データ単位	1ビット, バイト, 16ビット半語, 32ビット全語
命令長	16ビット, 32ビット
命令のタイプ	SF型, RR型, RS型, RX型
命令の数	基本126
	ロードストア命令 8, シフト命令 12
	算術演算命令 19, 比較命令 6
	倍精度命令(*) 9, ブランチ命令 12
	バイト処理命令 6, 入出力命令 9
	論理演算命令 10, システム制御命令 4
	浮動小数点命令 13, ビット操作命令(*) 4
	リスト操作命令 4
	オプション15 10進演算等のビジネス命令
割込機能	内部割込 6要因 6レベル 外部割込 { 基本外部割込 255要因 1レベル オートマテック I/O 255要因 255レベル
自動再起動	Initial Loader, コールドスタート, ホットスタート
入出力バス	8ビット並列マルチプレクサバス
メモリバス	16ビット+1パリティ, DMA 接続可
コンソールパネル	ランプ32個, エントリーキー16ビット, モードスイッチ, レジスタセレクトスイッチ等.
その他	プログラムトレース機能(*), メモリテスト機能.

第1表 TOSBAC-40Lの外部仕様

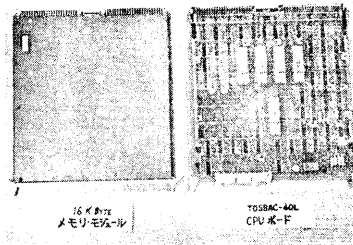
る分野でないと応用のうまみがない
と言える。ランダムロジックの置き
かえというだけならばPLAのよう
な、よりハードウェア的性格の強い
ものの方がよいと思われる。

16ビットのマイクロコンピュ
ータを開発するに当って、我々は以上
の諸点を考慮して、既存のミニコン
TOSBAC-40Cと、ソフトウ
ェア及びI/Oインターフェースに

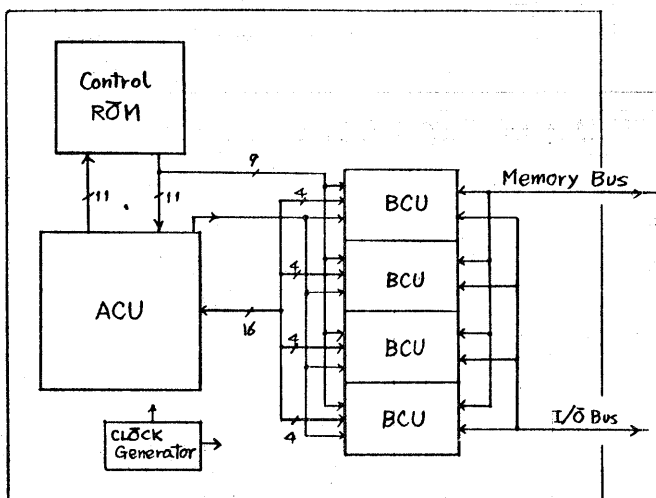
互換性を完全に持たせることとした。
その結果すでに数年にわたって積み
上げられて来ていた歴大な基本、応
用各種のプログラムが全部無変更で
利用でき、かつマニュアル類の準備、
プログラムの再教育が不要となり、
さらにLSI開発に於てもすでにあ
った、TOSBAC-40CのCP
Uテストプログラムをそのまま利用
でき、新規作製の手間を省くことが
できた。



第1図 TOSBAC-40Lの構成図



第2図 CPUボード
とメモリボード



第3図 CPUボードの構成図

2. TOSBAC-40Lの外部仕様

TOSBAC-40LはTOSBAC-40Cとプログラムコンパチブルであるから、機械語レベルでの外部仕様はほとんど同じである。したがって詳細はすでに各種のマニュアルで知ることができるので、ここでは概略を述べるにとどめる。

第1表はその概略仕様である。同表中*印のついている機能はTOSBAC-40Cにはなく、40Lで追加されたものである。

新たに追加されたものはあ

るが削除したものはない。

これら仕様の特徴としては、16ビットの汎用レジスタを16個有し、バイト処理命令、16ビット半語処理命令、32ビット全語処理命令、リスト処理命令、32ビット浮動小数点演算命令等の強力な命令セットに加えて、オートマチックI/O機能、メモリテスト機能、プログラムトレース機能等が装備されている等ミニコンとしても最高機能を有して

また入出力装置も既存のものをそのまま使えるため、新たにインターフェースを設計する必要もなかった。

このような考え方にもとづき、設計開発を進め、今回TOSBAC-40Lとして商品化したので、以下にそのアーキテクチャの概要を報告する。

いる点にある。またオプションとして、十進加減乗除算等を含むビジネス命令を追加することもできる点も従来では見られない性能といえる。

3. LSI化の制約

一般的に、LSI化に当たって問題となる制約には次のようなものがある。

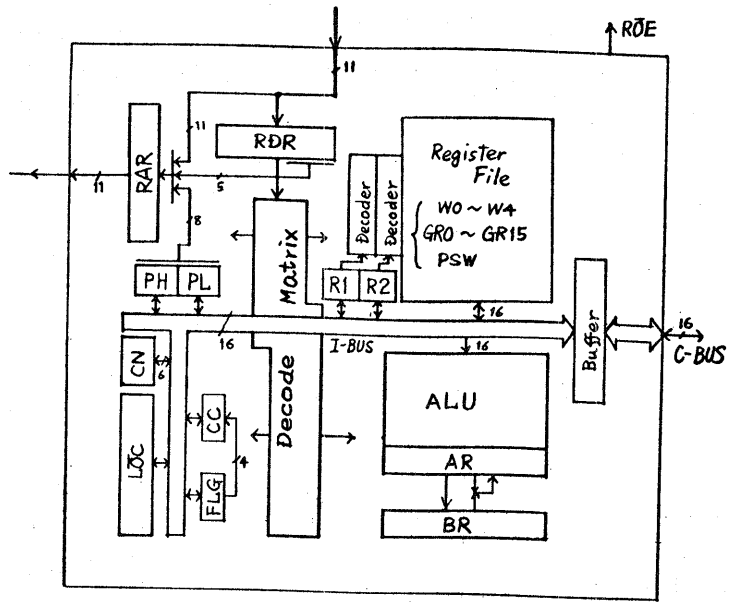
- (1) チップ面積
- (2) パッケージピン数
- (3) スピード
- (4) テスト

チップ面積は、MOSの場合、現在製品化の上限は6mm²程度の所にあり、これを越えることは現実的でない。6 μ 基準の技術では、これは2500~3000ゲートに相当すると考えられる。

またパッケージのピン数は、42ピンが現実的の上限と考えられる。最近64ピンのものも現われているが実装面積の増大、パッケージングコストの上昇、テスターが高価になるなどの不利な面が多く、現在まだ一般的ではない。

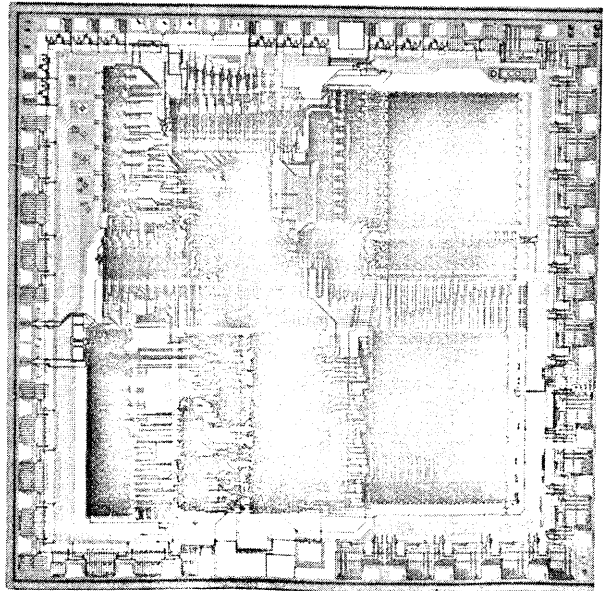
このピン数の制約はLSI化の際に最も大きくアーキテクチャに影響するように思われる。

スピードは、NチャンネルMOS技術の場合、チップ内部での信号伝播時間は、ゲート当たり、軽負荷で2~4ns、通常6~10nsが可能である。しかしチップ外をドライブするには電流容量がやはり不足で、20~50nsの遅れが



第4図 ACUの内部ブロック図

第5図 ACUチップ°拡大写真



入ってしまう。このことはMOSではビットスライス方式はスピードの面では得策ではないことを示して

いる。

またLSIは入出力ポートからのみ内部を操作したり観測したりできるので、複雑な機能を有するLSIでは、そのテストが一般に困難なことが多い。したがってLSI設計に当っては、できるだけテストしやすい方式を考える必要がある。この観点からは、外部からのマイクロ命令制御方式はその他の方式よりすぐれている。

4. TOSBAC-40Lの構成

第1図はTOSBAC-40Lの全体構成の略図である。同図はかなり大規模構成の場合であるが、最小構成ではCPUと16Kバイトメモリの計2枚のボードでよい。第2図はこれらのボードの写真である。

CPUボードは第3図に示す構成となっている。この中で中心となるのは、ACU (Arithmetic and Control Unit)、及びBCU (Bus Control Unit) と呼ぶ2種のLSIである。演算や主要レジスタ等のCPUの中心的機能はほとんどすべてACUに集中してある。これは前述したとおりMOSのチップ間伝播遅延時間が遅いためこれ以上分割するとスピード的に不利となるためである。

ACUの内部ブロック図を第4図に、またACUのチップ拡大写真を第5図に示した。第4図の各ブロックの位置は第5図のそれに対応している。

ACU内にはユーザプログラマから“見える”レジスタ類と、マイクロプログラマからしか“見えない”レジスタとがある。前者としては、16語のGeneral Register (GR)、Program Status Word (PSW)、Location Counter (LOC) がある。後者として

は、ROM Address Register (RAR)、ROM Data Register (RDR)、A-Register (AR)、B-Register (BR)、Working Register (WR: W0~W4)、Instruction Register (IR)、Flag Register (FLG)、Counter (CN) がある。

GRとPSWとWRとは、ACU内部では1個のレジスタファイルにまとめられている。

RARは11ビットのレジスタで、次に実行するマイクロ命令のアドレスを保持している。RARの内容は常時RAMを通して外部のマイクロプログラムROMへ供給されている。

RDRは11ビットのマイクロ命令レジスタで、この内容はデコードマトリクスによってデコードされて、ACUの動作を決定する制御信号となる。

ARとBRは各々16ビットのアクセムレータレジスタであり、ほとんどのマイクロ命令はこれらのレジスタを中心として定義されている。またマイクロ命令でシフトを指定すると、AR単独あるいはARとBRとが連結してシフトレジスタを構成する。この時シフト数をカウントするのが6ビットのCNである。

WRは各16ビットのレジスタ5個から成り、マイクロプログラマはこれらを一時メモリとして任意に用いることができる。

IRは16ビットの命令レジスタで、ユーザ命令の最初の16ビットを保持する。ユーザ命令は8ビットのオペレーションコードと、4ビットのオ1オペランド指定部と、4ビットのオ2オペランドまたはインデクスレジスタ指定部またはショートイメージットデータ部、から成る。IRはこれらに応じて各々4ビットのPH、PL、R1、R2と呼ぶ部分に分かれている。R1とR2の内

容はGRのアドレスとなることがあり、レジスタファイルのアクセスタイムを速めるために、R1とR2には各々独立のデコーダが附属している。

FLGはマイクロプログラムレベルで用いられる4ビットのフラグから成り、PSWのCC (Condition Code) の、ユーザ命令におけると同様の役割を持っている。

ALUは2個の16ビットデータに対して加減算、論理演算等を行なうほか、バイトマスク、バイトシフト等を行なう機能がある。

BCUはスピードの要求が比較的ゆるいので、パッケージピン数の制約とから、4ビットスライスの方式が取られている。BCU内には4分の1づつのMemory Address Register (MAR) と、Memory Data Register (MDR) が含まれており、メモリバスとI/Oバスを主に制御する。各BCUはマイクロ命令を取り入れるためのポートを有している。

5. 設計思想とアーキテクチャ

すでに述べたように、目標とする外部仕様は既存のミニコンと完全に互換性を有し、非常に強力な機能を有しているため、これを再現するために、マイクロプログラム制御方式を採用した。さらに次に述べる理由で、マイクロ命令はLSIの外から供給する方式とした。

第1に、既存のTOSBAC-40Cは1.5Kステップのマイクロプログラムにより制御されており、同じ機能を実現するには少なくとも1Kステップは必要と思われ、これだけのROMをLSI内部に入れることはチップ面積の上から見込みがないこと、第2に、外部供給マイク

ロ命令制御式のLSIはテストや診断が非常にやりやすいし、マイクロプログラムの開発をLSIのそれと独立に行なえること、第3に将来外部マイクロプログラムの内容を追加変更することにより、種々の分野に応用することが可能となること等の理由である。

これらの方針を出発点とし、ピン数、チップ面積、スピードなどのLSIの制約を考慮しつつ検討を進め、現在のアーキテクチャに到達した。以下にアーキテクチャ上のいくつかの特徴を述べる。

(1) 1アドレス式マイクロ命令

マイクロ命令は一種の1アドレス式を採用した。これは次のように方式上最も影響の大きい決定であった。

第1に、1アドレス式であることによって、マイクロ命令長を11ビットにおさえる事ができ、マイクロ命令の取込口としてのピン数が大幅に節約でき、かつマイクロプログラムROMの総ビット容量も節約された。

第2に1アドレス式のマイクロ命令では、各命令実行当り、データの流れはソースレジスタからALUへ、またはAR、BRからデスティネーションレジスタへのいずれか一方しか起らないので、LSIは一本の内部バスのみで充分これらの動作を実現できる。したがって、2バスまたは3バス方式が必要な場合に比べてチップ面積が相当節約される。

第3に、同じく1アドレス式のマイクロ命令では、各命令実行当り、レジスタファイルは読出または書込のいずれか一方の動作を行なえばよいので、レジスタファイルは通常のスタティックRAMの形式で充分であり、読出ポート等を余分に追加する必要はない。このことはレジスタ

ファイルの記憶セルの面積を小さく保ち、チップ面積を節約することになる。

第4に、MOS/LSIの場合、容量の大きい内部バスを充放電してデータを転送するのはかなり遅いが、1アドレス式のマイクロ命令では、各命令の実行当り唯一回のバス充放電でよいから、2アドレス2バス式の場合にくらべてスピードが倍近くなり、300 nsの実行サイクルを実現した。

以上のように、1アドレス式のマイクロ命令の採用は、ピン数の節約、チップ面積の節約、スピードの向上に帰着している。

(2) R \bar{O} E

他の特徴として、ACUの外部回路(BCU)制御方式にある。通常的方式では、制御内容の意味づけのなされた複数本の制御信号が外部回路へ向けてLSIから出される。しかしこの方式ではピン数がそれだけ増大する欠点がある。ACUの場合は、マイクロプログラムROMはACUの外部にあるので、次の様な方式を採った。

すなわちACUにはR \bar{O} E (ROM Output Effective)なる信号が出力されており、この信号は、マイクロプログラムから読出出力がマイクロ命令として有効の場合に1、無効か外部回路に実行してもらいたくない場合に0が出力される。BCUはこの信号とROMの読出出力を入力し、R \bar{O} Eが1の時のみこの出力をマイクロ命令として解釈実行する。

(3) Residual Control

マイクロ命令を11ビットに制限するとマイクロ命令のレパートリーが制限される。これをおぎなうため、一種のresidual controlを用いている。これはシフトマイクロ命令で、シフト方向(右・左)及びシフトモ

ード(Rotate, Logical, Arithmetic)の区別に、PLの下位3ビットの内容を用いるというもので、この3ビットのコードは、ユーザ命令でのシフト命令のそれと一致させてある。したがってシフト関係ユーザ命令の実行マイクロプログラム部が共通化され、著しくステップ数が節約されている。

これ以外ではマイクロ命令は一意的にACU内部の動作を規定しているので、テストと診断が容易になっている。

(4) デコードROM

ユーザ命令のオペレーションコードからそのユーザ命令を処理するマイクロルーチンの開始番地を知るためのデコードテーブルは、従来のものではマイクロプログラムROMと独立のROMに入っていた。しかしLSI化に際して2種のROMとの入出力ポートを設ける事は得策ではない。そこでTOSBAC-40LではこれらのROMを1つにまとめ、マイクロプログラムROMの最初の256語の部分にデコードテーブルをおさめた。

(5) パイプライン読出し

マイクロ命令の実行速度を上げるため、マイクロ命令の読出と実行とをパイプライン化した。これにより300 nsのサイクルタイムが実現し、かつマイクロプログラムROMとして、アクセス180 ns程度の遅いROMでも使用可能となった。

(6) 埋設命令方式

上記のようにパイプライン方式を用いていると、マイクロプログラムの流れを変える命令では2サイクル必要となる。デコードテーブルを引いてユーザ命令を処理するルーチンへ分岐する場合や、そのルーチンからユーザ命令フェッチルーチンへもどる場合も同様に2サイクル必要と

なるが、特にこれらは各ユーザ命令の実行のたびに起るので、できるだけ高速化したい。そこでこれらの分岐命令実行の次のサイクル目には、あらかじめACU内部に設定されたマイクロ命令がRDRに入って実行される方式を採った。ここで押入される命令を我々は「埋設命令」と呼んでいる。ACU内部にはこのような埋設命令が5命令パターン化されて入っており、これによりむだな時間がなくなり実効的にスピードが上がっている。

(7) 処理ルーチン入口の条件

T0SBAC-40Lの命令体系には、演算内容及び第1オペランドが共通で、第2オペランドのみが異なる命令グループがある。たとえば加算命令のAIS, AHR, AHI, AHなどがそれである。これらのユーザ命令は第2オペランドの準備のみが異なる。そこで各タイプごとにAR内に第2オペランドを入れ、処理ルーチン入口での条件をそろえる事により、処理ルーチンを共通化している。この方法によってマイクロプログラムの総容量がかなり節約されている。

以上のようなアーキテクチャにより、ACU及びBCUは42ピンのパッケージが可能となり、マイクロサイクルは300nsとなった。

6. 性能

ユーザ命令レベルの実行速度は、メインメモリのサイクルタイムが600nsの時に最適化される。この場合の主要な命令実行時間を第2表に示した。Scientific Gibson Mixはこの場合13.7μsとなる。

7. あとがき

ここで述べた方式はより細部の設計に致るまで3年前にすでに着想されたものであるが、LSI化の制約とシステム仕様の要求との間にある大きなギャップを独特なアーキテクチャによって越えて、これまでになく高度な機能を実現した。特に既存のミニコンと完全互換性を実現したことにより、膨大な既存のプログラムがそのまま使えることは非常に大きな利点である。さらに、マイクロプログラマブルであることから、各応用分野に合ったユーザ命令を追加することが容易にできる。マイクロプログラミングのためのサポートソフトウェアとして、マイクロプログラムアセンブラ及びシミュレータもすでに完成しており、マイクロプログラムの開放を予定している。

(参考文献) K. Yoshida, et. al.
 "A 16-Bit LSI minicomputer"
 ISSCC Dig. Tech. Papers,
 Feb. 1976, pp. 12-13.

		RR型	RX型
16ビット 固定小数点	加減算	1.8	3.0
	乗算	9.6~14.4	10.8~15.6
	除算	19.2~20.4	20.4~21.6
32ビット 浮動小数点	加減算	32.4~48.3	31.8~47.7
	乗算	12.0~70.2	11.4~69.9
	除算	14.1~66.3	13.5~65.7

(単位: μs)

第2表 ユーザ命令実行速度 (メモリサイクル: 600ns)