

TMS 1000 ワンチップマイクロコンピュータ

栗原敏雄

テキサス インスツルメンツ アジアリミテッド

TMS 1000 シリーズは P チャンネルメタルゲート MOS テクノロジーを使用した 4 ビットワンチップマイクロコンピュータである。TMS 1000 シリーズには TMS 1000, TMS 1070, TMS 1200, TMS 1270, TMS 1100, TMS 1170, TMS 1300, TMS 1370 が用意されている。TMS 1000 / 1200 は ROM 4K バイト, RAM 256 ビットを保有し, TMS 1100 / 1300 は ROM 2K バイト, RAM 512 ビットを保有する。TMS 1000 と TMS 1200 の相異点は "R" 出力ライン数が 11 本から 13 本に増加していることである。また TMS 1100 と TMS 1300 の相異点は "R" 出力は独立してアドレスができるためキーボードをディスプレイのスクリーンに便利である。TMS 1070, TMS 1270, TMS 1370 は TMS 1000, TMS 1200, TMS 1100, TMS 1300 の入出力最大耐圧を 20V から 35V にしたもので、蛍光表示管を直接ドライブできる。また TMS 1270 は 0 出力ライン数が 10 本に減っているため、ディスプレイとカメラなどを表示したいとき便利である。

1. アーキテクチャー

図 1 は TMS 1000 / 1200 のブロックダイヤグラムである。入力は 4 ビットで、TKA と云う命令を使うことにより k_1, k_2, k_3, k_4 をアキエムレータにストアできる。k 入力の下に NM1T と云う入力センがあるが、これはデューティフランククションを保持している。一つは TMS 1000 のパワーアップクランプを実行されるフランククションであり、もう一つは TMS 1000 の ROM ラスタクランプで使用される。図 1 の上部にある出力が "R" 出力ラインで、TMS 1000 は R_0 から R_{10} まで、TMS 1200 は R_0 から R_{12} まで保持する。この "R" 出力は独立して動作できる。Y レジスタの内容が 3 であれば、SETR という命令を実行すると R_0 がハイレベルにラッチされる。RS 命令を実行すれば R_0 はローレベルに落ちる。Y レジスタは TCY, TAY 等の命令によってセットされる。図 1 の下部に "O" 出力がある。これは 8 本で平列に出力される。4 ビットのアキエムレータと 1 ビットのステータスラッチの内容が TDO 命令でアウトポートレジスタにストアされ、その 5 セットが 20 個の AND と 8 個の OR で構成されている出力用 PLA を通して 0 から 07 に出力される。この出力用 PLA の内容は完全にユーザーの指定で決定される。この 0 出力はセグメントをバイナリー出力によく用いられる。RAM は 4 ファイルで 1 ファイルは 16 ワードで構成される。1 ワードはこの場合 4 セットである。ファイルアドレスに X レジスタの 2 ビットが使われ、ワードアドレスに Y レジスタの 4 ビットが使われる。この様にアドレスもニデインジションにしていくと、同一ファイル内での RAM アクセスであれば、X レジスタの内容が変更され、Y レジスタのワードアドレスの半を処理すれば良いことになる。ROM は 16 ページで、1 ページは 4 ワードで構成される。この場合のワードは 8 ビットである。ページをアドレスするために、PAR が使われる。これは 4 セットのレジスタでページ 0 からページ 7 までアドレスする。

PBRはサブルーチンコールやロングジャンプの時使われるレジスタである。ペ
 ージ内のワードアドレスは6ビットのPCで行う。サブルーチンレジスタを付
 いていて、サブルーチンがリターンする時に使うリターンアドレスをストアし
 ておく。コールラッチはすでにサブルーチンコールが実行されたかどうかをラッ
 チしておく。スタートラッチである。このコールラッチはCALL命令を実行す
 るとオンになり、REPL命令を実行するとオフになる。ROMからの8ビット
 出力はインストラクションバスを使ってインストラクションデコードに入っ
 てくる。このインストラクションデコードは二つの部分から構成され、一つは固定
 命令用のデコードであり、もう一つはマイクロインストラクション用のデコード
 である。12の固定命令と16のマイクロインストラクションがある。TMS10
 00の場合、この16のマイクロインストラクションを利用して、31個の命令
 を作成している。このため合計43個の命令を保有する。通常のアプリケーション
 には標準でT1が用意した命令セットを使って十分実行できるが、時には、タ
 イミング等大変ワルディカルな場合のみ、ユーザーはマイクロインストラク
 ションを使って特別の命令セットを作成できる。この特徴はマイクロコンピ
 ュータとして大変ユニークであると思う。また全ての命令が1バイトで達成されて
 いる点もその特徴である。これが可能であったのはROMをページにわけて、アドレ
 スビットを6ビットにおさえたためである。またTMS1000の全命令は同一時間
 で実行され、全て6クロックサイクルで実行される。この点はプログラムでデ
 レーショナルな構成をするときに大変便利である。ALUは加算と比較機能を保有する。
 入力にはPとNのマルチプレキサーが入力する。出力は4ビットでレジスタ
 がアキュムレータに出力される。入力と出力のセレクトは全てマイクロイン
 ストラクションで制御される。またステータスビットは1ビットで、キャリーやボ
 ーのステータスを出力する。また比較のステータスも出力する。このステータ
 スはステータスラッチにSTSと云うマイクロインストラクションを使ってストア
 する。YNEAと云う命令がこのSTSマイクロインストラクションを保有
 する。でこのYNEAを実行するとステータスラッチの内容を変えることができ
 ます。このステータスラッチは出力用PLAを二種類のデータ出力に使うとき
 きりがえに使いますと、便利です。図2は"0"出力用PLAの典型的なコー
 ティング例です。ステータスの影響を受けず命令はCALLとBRです。これらの
 命令はステータスが1であれば実行され、もし0であればタミ命令と
 なって、実行されません。これを利用して条件付きジャンプやサブルーチン
 コールを実行するわけです。表1はTMS1000/1200の標準命令セットです。表2は
 TMS1000/1100のマイクロインストラクションセットです。

図3はTMS1100/1300のブロックダイアグラムです。TMS100
 0/1200との相異点はROMが2倍あるために、チカコターアドレスが増
 えて3倍、またRAMが2倍になっているため、Xレジスタが2ビットから3
 ビットに増加していることです。固定命令のCLOがなく、COMC(コン
 ソリメントチカコター)命令が追加されています。標準命令数は43から55に増
 加しています。注意する点として、"R"出力に対するアドレスがあります。Xレ
 ジスタのMSBがYデコードの入力とになっているため、XレジスタのMSBをハイ
 にしておきますとR出力を正しくアドレスでとれます。でこのXレジスタの内
 容を4以下にして、Rアドレスを行う必要があるとあります。表3はTMS1100/

13000標準命令セットです。

2. 応用例

図3は電子式タクシメータに対してTMS1000を使った場合の応用例です。タクシー料金は日々変わりますので、変更後も使えるように、基本料やその距離、追加料とその距離をダイオードマトリックスで電源ON時に入力するようにしています。基本料はク5セントで、その距離は16進法で328ハルス入力です。1ハルス入力はタイヤ1回転を意味します。また追加料は15セントでその距離は16進法でCAになります。808ハルスを1マイルとしています。このハルスはマグネットとピソクアンプを使つて発生させます。このハルスをアンコした後、ハルスストレッチャーにかけてTMS1000の入力として使えるようにします。5ケタのLED表示管を使い、このディスプレイがやや大きいためSNK5491, SNK5492等を使ってドライブします。LEDが小さい場合、TMS1000の0出力電流は標準24mAありまのでSNK5491/2を使わなくてもすみます。スタートボタンを押しますと、まず、基本料金ク5セントを表示し、ハルスカウンタをリセットして、ハルス入力を4エックします。カウンタの内容が16進法で328に達しますと、1マイル走行したことになりますが、ク5セントに15セントを加算して1ドルになります。またその時点でカウンタをリセットし、ハルス入力を4エックして、カウンタが16進法でCAになりますと、15セント加算して、1ドル15セントを表示します。これだけの仕様でプログラマを作成しますと、159バイトになります。TMS1000は全部でROMを1024バイト保有しますので、実際にタクシーメータにTMS1000を使う場合、他の仕様を色々追加できます。たとえば一日の乗客数の表示、一日の走行距離等です。機械式タクシーメータと比較しますと、次の様な利点が考えられます。

- 1) 低価格な部品
- 2) アセンブリコスト削減
- 3) 高い信頼性
- 4) 低消費電力 90mW
- 5) 高精度なメータ
- 6) 料金変更が可能
- 7) 時計機能を内蔵して、昼夜の料金変更を自動的に行う

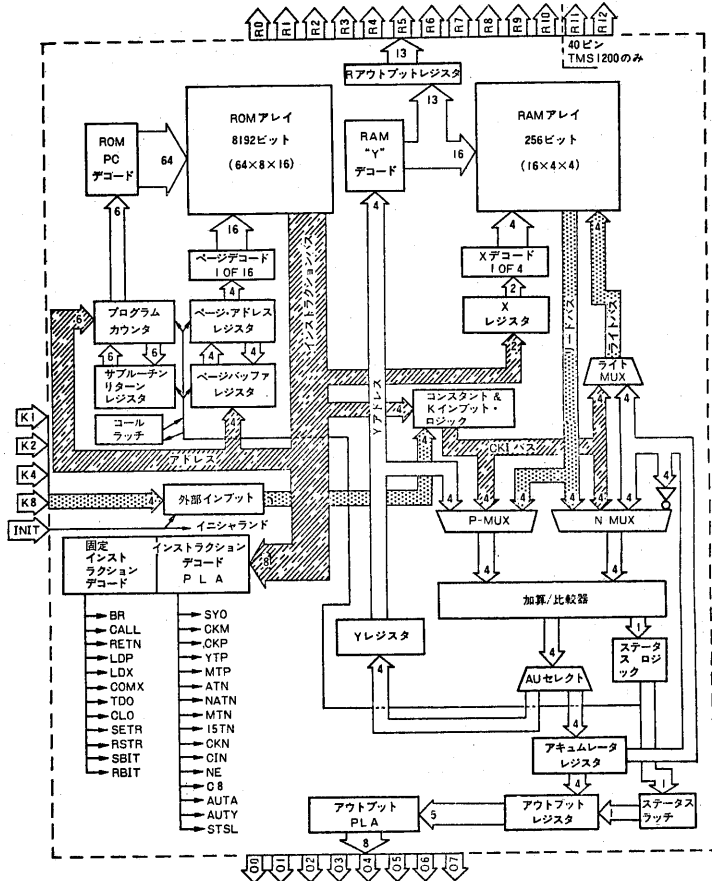
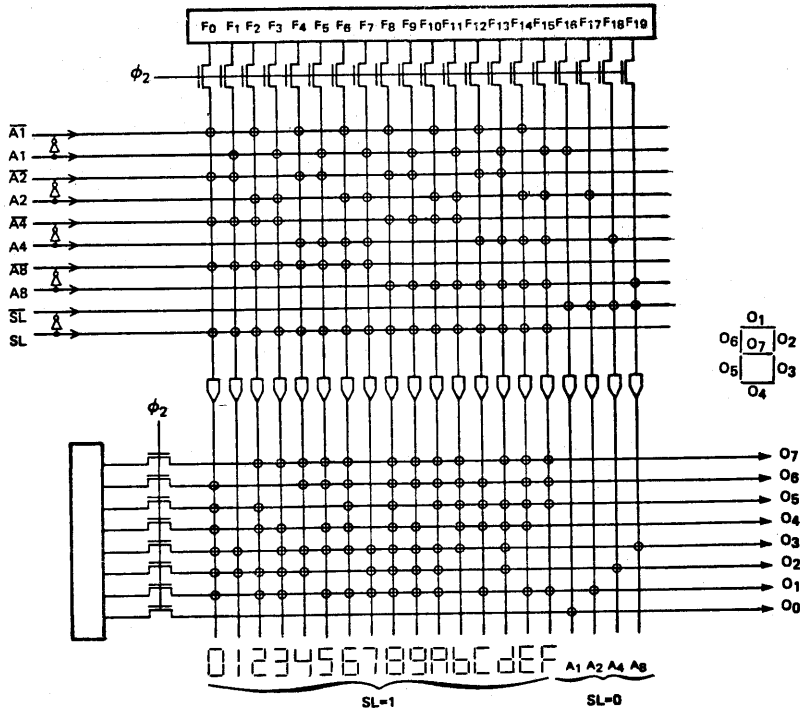


図 1 TMS 1000/1200 のブロックダイアグラム



(注) CLO イニシャルが使用されれば、デコードはブランクを出力する(O₆ - O₇ = ゼロ)

図 2 O 出力 P L A の典型的なコーディング例

表 1 TMS1000/1200 標準インストラクション(命令)セット

機 能	ニーモニック	ステータスへの影響*		説 明
		CS	NE	
レジスタから レジスタ	TAY			アキュムレータをYレジスタに転送する。 Yレジスタをアキュムレータに転送する。 アキュムレータをクリアする。
	TYA			
	CLA			
レジスタから メモリへの転 送	TAM			アキュムレータをメモリに転送する。 アキュムレータをメモリに転送し、Y レジスタをインクリメントする。 アキュムレータをメモリに転送し、ア キュムレータをゼロにする。
	TAMIY			
	TAMZA			
メモリからレ ジスタ	TMY			メモリをYレジスタに転送する。 メモリをアキュムレータに転送する。 メモリとアキュムレータを交換する。
	TMA			
	XMA			
演 算	AMAAO	Y		メモリをアキュムレータに加え、結果 はアキュムレータに入る。キャリイ(桁 上り)があれば、ステータスは1(ONE) に。 メモリからアキュムレータを減じ、結 果はアキュムレータに入る。ボロー借 があれば、ステータスは1(ONE) に。 メモリを増加しアキュムレータにロー ドする。キャリイ(桁上り)があれば、 ステータスは1(ONE)に。 メモリを減少しアキュムレータにロー ドする。ボロー(借)があれば、ステ ータスは1(ONE)に。 アキュムレータを増す。ステータスに は影響なし。 Yレジスタを増す。キャリイ(桁上り) があれば、ステータスは1(ONE)に。 アキュムレータを減じ、ボロー(借)が あれば、ステータスは1(ONE)に。
	SAMAN	Y		
	IMAC**	Y		
	DMAN**	Y		
	IA			
	IYO	Y		
	DAN	Y		

表 1 TMS1000/1200 標準インストラクションセット

機 能	ニーモニック	ステータスへの影響*		説 明
		CS	NE	
演 算	DYN	Y		Yレジスタを減じ、ボロー(借)があ れば、ステータスは1(ONE)に。 アキュムレータに8を加える。結果 はアキュムレータにキャリイ(桁上 り)があればステータスは1(ONE) に。 アキュムレータに10を加える。結果 はアキュムレータにキャリイ(桁上 り)があればステータスは1(ONE)に。 アキュムレータに6を加える。結果 はアキュムレータにキャリイ(桁上 り)があればステータスは1(ONE) に。 アキュムレータの補数をとリインク リメントする。ゼロであればステ ータスは1(ONE)に。
	A8AAC	Y		
	A10AAC	Y		
	A6AAC	Y		
	OPAIZ	Y		
演算比較	ALEM	Y		アキュムレータがメモリより小さい か等しければ、ステータスは1(ONE) に。 アキュムレータがコンスタントより 小さいか等しければ、ステータスは 1(ONE)に。
	ALEB	Y		
論理比較	MNEZ		Y	メモリがゼロと等しくなければ、ス テータスは1(ONE)に。 Yレジスタがアキュムレータと等し くなければ、ステータスおよびステ ータスフラグは1(ONE)に。 Yレジスタが定数と等しくなければ、 ステータスは1(ONE)に。
	YNEA		Y	
	YNEC		Y	
メモリのビ ット	SBIT			メモリビットをセットする。 メモリビットをリセットする。 メモリビットをテストする。1と等 しければ、ステータスは1(ONE) に。
	RBIT			
	TBITI		Y	

(表1 つづき)

機能	ニーモニック	ステータスへの影響*		説明
		OE	NE	
定数	TOY			定数をYレジスタに転送する。
	TCMIY			定数をメモリに転送し、Yを増す。
入力	KNEZ		Y	K入力がゼロと等しくなければ、ステータスは1(ONE)に。
	TKA			K入力をアキュムレータに転送する。
出力	BETR			YによってアドレスされたR出力をセットする。
	RBTR			YによってアドレスされたR出力をリセットする。
	TDO			アキュムレータおよびステータスラッチからのデータをO出力に転送する。
	OLO			O出力レジスタをクリアする。
RAM X アドレス指定	LDX			定数付でXをロードする。
	OOMX			Xの補数をとる
ROM アドレス指定	BR			ステータス=ONEで分岐する。
	CALL			ステータス=ONEでサブルーチンをコール(呼出す)する。
	RETN			サブルーチンから戻る。
	LDP			定数付でページバッファをロードする。

注意* OE (マイクロナインストラクションOEが使用される) - Y(YES)はもしMSBのキャリー(桁上り)があれば、ステータス出力はONEスタートになることを意味する。もしキャリー(桁上り)がなければ、ステータス出力はZEROスタートになる。

NE (マイクロナインストラクションNEが使用される) - Y(YES)はもし比較されるビットが等しくなければ、ステータス出力はONEスタートになる。ビットが等しければ、ステータス出力はZEROスタートになる。

ステータスZEROは次のインストラクションサイクルの間のみ残る。もし次のインストラクションが分岐または呼出し(コール)であり、ステータスがZEROであれば、分岐またはコールは実行されない。

** DMANまたはIMACインストラクションの実行はアドレス指定されたメモリの内容を変化(増または減)させない。

表2 TMS1000 シリーズ プログラム可能なインストラクション

実行シーケンス	ニーモニック	影響をうけるレジスタ	機能
1	OKP	P-MUX	OKIをP加算器の入力へ
	YTP	P-MUX	YレジスタをP加算器の入力へ
	MTP	P-MUX	メモリ(X, Y)をP加算器の入力へ
1	ATN	N-MUX	アキュムレータをN加算器の入力へ
	NATN	N-MUX	アキュムレータをN加算器の入力へ
	MTN	N-MUX	メモリ(X, Y)をN加算器の入力へ
	1STN	N-MUX	F16をN加算器の入力へ
	CKN	N-MUX	CKIをN加算器の入力へ
1	CIN	加算器	1がP+N入力の合計に加算される(P+N+1)
	NE	加算器/ステータス	加算器はPとN入力を比較する。同じであれば、ステータスはゼロにセットされる。
	OE	加算器/ステータス	キャリーはステータスに送られる(MSBのみ)
2	STO	ライトMUX	アキュムレータデータをメモリへ
	GKM	ライトMUX	CKIをメモリへ
3	AUTA	AU選択	加算器の結果はアキュムレータに貯えられる。
	AUTY	AU選択	加算器の結果はYレジスタに貯えられる。
	STSL	ステータスラッチ	ステータスはステータスラッチへ貯えられる。

図2.17.2は標準インストラクションセット用にT1が設定したPLAを明示したものです。31個のインストラクションは30個のPLA条件によって16個のマイクロナインストラクションの組合せに翻訳されます。(A8AACとA10AACは単一のPLAラインに組合わされます。)

インストラクションPLAに対しタイミングとか他の要求によってインストラクションの再定義を要する場合には再プログラミングできます。しかしこのようなPLAのマイクロナインストラクションは標準定義がプログラムの目的達成に不十分である場合にのみ行なって下さい。このような場合にアドバイスが必要であれば、お気軽にT1に連絡して下さい。

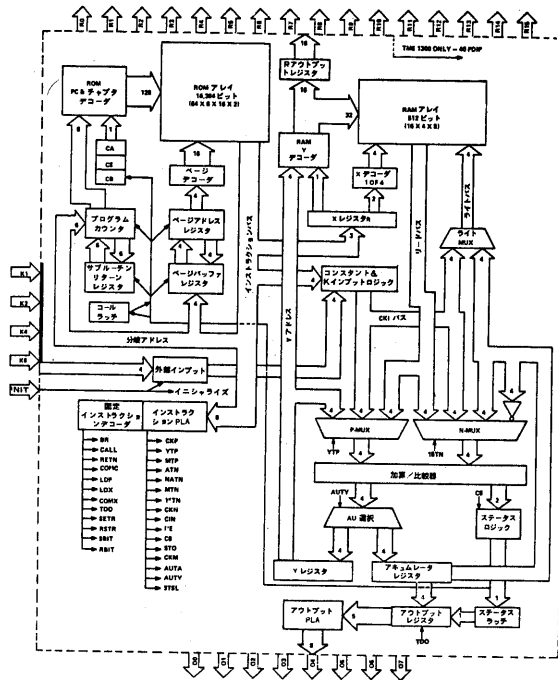


図3 TMS 1100/1300 ロジックブロック図

表3 TMS 1100/1300 の標準インストラクションセット

機能	ニーモニック	ステータスへの影響		説明
		CS	NE	
レジスタ間の転送	TAY			アキュムレータをYレジスタに転送する。
	TYA			Yレジスタをアキュムレータに転送する。
	CLA			アキュムレータをクリアする。
レジスタからメモリへ	TAM			アキュムレータをメモリに転送する。
	TAMIYC	Y		アキュムレータをメモリに転送し、Yレジスタを増す。キャリイがあればステータスは1となる。
	TAMDYN	Y		アキュムレータとメモリに転送し、Yレジスタを減らす。ポローがなければステータスは1となる。
	TAMZA			アキュムレータをメモリに転送し、アキュムレータを0にする。
メモリからレジスタへ	TMY			メモリをYレジスタへ転送する。
	TMA			メモリをアキュムレータに転送する。
	XMA			メモリとアキュムレータを交換する。
演算	AMAAC	Y		メモリをアキュムレータに加える。結果はアキュムレータに入る。キャリイがあればステータスは1となる。
	SAMAN	Y		メモリからアキュムレータを減ずる。結果はアキュムレータに入る。ポローがなければ、ステータスは1となる。
	IMAC	Y		メモリを増し、アキュムレータにロードする。キャリイがあれば、ステータスは1となる。
	DMAN	Y		メモリを減じ、アキュムレータにロードする。ポローがなければ、ステータスは1となる。
	IAC	Y		アキュムレータを増す。キャリイがあれば、ステータスは1となる。
	DAN	Y		アキュムレータを減ずる。ポローがなければ、ステータスは1となる。

機能	ニーモニック	ステータスへの影響		説明
		CS	NE	
演算	A2AAC	Y		アキュムレータに2を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A3AAC	Y		アキュムレータに3を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A4AAC	Y		アキュムレータに4を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A5AAC	Y		アキュムレータに5を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A6AAC	Y		アキュムレータに6を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A7AAC	Y		アキュムレータに7を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A8AAC	Y		アキュムレータに8を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A9AAC	Y		アキュムレータに9を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A10AAC	Y		アキュムレータに10を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A11AAC	Y		アキュムレータに11を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A12AAC	Y		アキュムレータに12を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。

機能	ニーモニック	ステータスへの影響		説明
		CS	NE	
演算	A13AAC			アキュムレータに13を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	A14AAC			アキュムレータに14を加える。結果はアキュムレータに入る。キャリイがあれば、ステータスは1となる。
	IYC			Yレジスタを増す。キャリイがあれば、ステータスは1となる。
	DYN			Yレジスタを減す。ローがなければ、ステータスは1となる。
	OPAIZ			Pキュムレータの補数をとり、増す。0であれば、ステータスは1となる。
演算比較	ALEM			アキュムレータがメモリより小さいか等しければ、ステータスは1となる。
論理比較	MNEA			メモリがアキュムレータと等しくなければ、ステータスは1となる。
	MNEZ			メモリが0と等しくなければ、ステータスは1となる。
	YNEA			Yレジスタがアキュムレータと等しくなければ、ステータスおよびステータスラッチは1となる。
	YNEO			Yレジスタがコンスタントと等しくなければ、ステータスは1となる。
メモリ内のビット	SBIT			メモリビットをセットする。
	RBIT			メモリビットをリセットする。
	TBITI			メモリビットをテストする。1に等しければ、ステータスは1となる。
定数	TCY			定数をYレジスタに転送する。
	TOMIY			定数をメモリに転送し、Yを増す。
入力	KNEZ			K入力が0と等しくなければ、ステータスは1となる。
	TKA			K入力をアキュムレータに転送する。
出力	SETR			YでアドレスされたR出力をセットする。

機能	ニーモニック	ステータスへの影響		説明
		CS	NE	
出力	BSTR			YでアドレスされたRアウトプットをリセットする。 アキュムレータおよびステータスラッチからのデータをO出力に転送する。
	TDO			
RAM Xのアドレス指定	LDX			ファイルアドレスをとまってXをロードする。
	COMX			XのMSBの補数をとる。
ROMアドレス指定	BR			ステータス=1で分岐する。
	CALL			ステータス=1でサブルーチンをコールする(呼出す)。
	RETN			サブルーチンから戻る。
	LDP			定数を伴ってページバッファをロードする。
	COMC			チャプタバッファの補数をとる。

* TMS1100/1300 インストラクション群は第4章で与えられたTMS 1000/1200の opcodeとは異なる。この値は表7.2から7.4に示されている。