

分散設置されたデジタルシステムの運転可能条件

CONDITIONS ON DIGITAL SYSTEM WITH REMOTE DIAGNOSTIC TESTABILITY

岡本卓爾⁺
Takuji OKAMOTO

⁺岡山大学工学部
Okayama University

小林稔史⁺
Toshifumi KOBAYASHI

⁺大阪大学基礎工学部
Osaka University

都倉信樹⁺⁺
Nobuki TOKURA

1 まえがき

近年、計算機を中心としたデジタルシステムが広く普及するにつれて、これを保守する要員の質や数、あるいはこれにともなう経費の増加が大きな問題となって来た。いくつかの計算機メーカーではすでに、このような問題解決の一つの糸口として、特定の場所に設置した診断計算機で被診断計算機を遠隔診断（電話回線を介して）する方法が盛んに検討されている。これらの方法は、筆者らの知る限り、診断に際して被診断計算機に内蔵されたメモリに運転時の動作状態を記憶し、その内容を診断計算機で遠隔分析して故障部位を知ろうとするものやようである。これらの方法は、システムを機能単位で診断するにはきわめて好都合であろうが、モジュール単位での良否判別のみを診断対象とする場合は、診断用ソフトウェアの複雑化や、それにとともなうメモリの増加のために、必ずしも適しているとは考えられない。

筆者らは、後者の場合に適していると思われる一つの方法として、被診断モジュールを利用しながら診断システムを遠隔運転し、そのときの動作状態から、そのモジュールの良否を判別する方法を検討中である。遠隔運転は、診断システムと被診断モジュール双方の入出力端論理値を1クロックパルス分毎に、相互に連送し合う形で進められる。この方法は、自己診断用に開発したプログラムがそのまま適用できる点で有利と思われる。しかしながら、これを実際の故障診断に用いるためには、まず、どのような

回路構成およびモジュール分割をもつシステムが遠隔運転可能であるかを解明することが必要となる。

このような目的から本稿では、まず第1段階として、独立して運転可能な完全同期式デジタルシステムを仮定し、この回路を二つの場所に分散設置したとき、上述した形式での遠隔運転が可能となるための十分条件を導出する。

上で仮定したシステムを遠隔運転するとき、双方の設置場所における二つの回路は、組合せ回路の出力が固定されている期間に動作する記憶素子と、逆に、記憶素子の出力が固定されている期間に動作する組合せ回路とに分離できる。このうち、記憶素子は（それ自体が二つに分割されない限り）無条件に、遠隔運転可能であるが、組合せ回路が遠隔運転可能であるためには、二つの回路の対応する入出力端論理値を一致させることが必要となる。

二つの回路に含まれる組合せ回路は、いずれも一般形として、多入力多出力の形をとるが、各々はその回路の出力数に等しい独立な組合せ回路に等価とみなすことができる。このようにみなした独立な回路を単位として上述の二つの回路を表現すれば、遠隔運転時における論理値の所要転送回数と、回路構成との間の関係が明瞭に示される。本稿では特にこの表現法を用いて、実用的なほとんどの組合せ回路が遠隔運転可能条件を満たすことを明らかにする。

通常、同期式といわれる回路の中には、いわゆるクロックタイムからはずれた時刻に動作する記憶素子や単安定回路がしばしば用いられる。

これらの記憶素子や単安定回路は、組合せ回路その他の種々雑多な回路をともなうことが多いが、どのような場合でも、これら一連の回路はクロックタイムに動作する記憶素子の出力または固定出力を入力とし、クロックタイムに動作する記憶素子または装置に出力を与える一方向回路として分離することができ、この分離した回路とその入力源が一方の側の回路にのみ含まれ、かつ、その回路が、あるクロックタイムの入力に対して出力が決定されて以降次のクロックタイムまで、その周期に無関係に一定の値に保持される形式であれば、遠隔運転可能となる。

2. 遠隔運転による故障診断

2.1 故障診断法

本稿で述べる遠隔運転の可能条件は、遠隔故障診断を前提としているので、まずこの故障診断法の概略を述べる。

図1にこの故障診断網を示す。 U_i ($i=1, 2, \dots, k$)は、それぞれ同一機種ユーザ用システムであり、センターにはユーザ用と同一機種のシステムが診断用システム(T)として設置されている。通常 U_i およびTは、それぞれ独立なシステムとして利用されるが、 U_i に故障が発生するとTを診断用システムとして U_i が診断される。

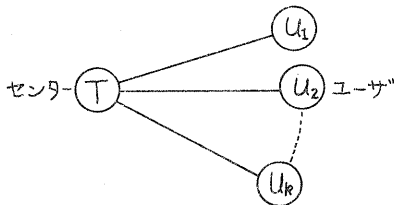


図1. 故障診断網

図2はTが U_i 内のモジュール m'_i を診断するときの接続を示す。ここで、 $T-m$ はTの U_i に対応するモジュール m をTから取外した残りのシステムを示し、 $U_i-m'_i$ は U_i から m'_i を取外した残りのシステムを示す。センター側では、 m の挿入されていた場所に診断用インタフェースIを挿入し、 U_i 側では取外した m'_i をインタフェースI'に挿入する。そして、Tは m の代りに m'_i を利用して遠隔運転し、その動作状態から m'_i の良否を判定する。

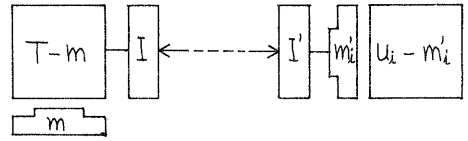


図2. 診断時の接続

すでに述べたとおり、診断はモジュール単位での良否判定のみを目標とし、モジュール内の故障部位については全く関知しない。また、故障の種類も原則として固定故障のみとするが、限界故障、間欠故障などについてもある程度までは判定可能であると思われる。

2.2 診断対象システム

システムの遠隔運転可能十分条件、すなわちどのような回路が前節で述べたような目的で遠隔運転可能かを、一般のシステムで検討することはかなり煩雑となる。このため、ここではシステム全体の構成にある程度の制約を加える。本節では、このうち論理回路の種類(TTL, MOSなど)に直接依存しない共通的な制約のみをまとめて示しておく。

- 一般にシステムには同期式と非同期式があるが、第1段階としてここでは、単相クロックパルスをもつ完全同期式(すべての記憶素子がクロックタイムにのみ動作する)システムを仮定する。
- システムはスタティック動作可能で、クロックパルス発生器は制御信号により1クロックタイム毎に発停可能、かつ、クロックパルスとその制御信号はすべてのモジュールに共通した特定の位置の端子(制御信号はモジュール側には不要)に引き出されているものとする。この制約は、故障診断時に $T-m$ と m'_i との同期をとるために必要なものであるが、1クロックタイム毎の発停機能を付加するためのハード量はわずかであり、また、その制御信号用として占有される端子数はモジュール当たりただ1つである。
- クロックタイム以外の期間(正確には、クロックパルスに同期して記憶素子が動作し、そのときの入力に対応して出力が発生してから、再びクロックパルスが加えられ

るまで)では、各記憶素子の出力は不変で、これらの記憶素子で回路を切断しと考えると、切断された各回路は組合せ回路だけとなる。以下この状態の回路を組合せ状態回路と呼ぶ。ここでは組合せ状態回路において、閉ループは存在しないことを条件とする。これはいいかえると、組合せ回路部分のみで閉ループを構成しているものを除外することである(実用の同期回路ではほとんどこの条件を満たしている)。

- d) システムは同一のコネクタに接続可能なモジュールに分割されており、その入出力端には組合せ回路(1クロック周期以上にあたる遅延は含まない)の入力または出力、あるいは記憶回路(単安定回路は含まない)の入力または出力が直接接続されているものとする。
- e) システムのすべての論理値は、例えば5V系というように統一的にあつかわれているものとする。

f) モジュールの電源リセット端子は各モジュールに共通した特定の位置の端子にひき出されているものとする。これは、T-mおよびM双方の側で電源を投入したとき、それぞれIおよびI'から独立にリセット信号が加えられるようにするためである。

同期システムでは、通常これらの制約の大部分が満たされているものが多く、実用上たいした制限にはなれないと思われる。

2.3 遠隔運転

システムを遠隔運転するためには、一つの設置場所で運転するときの機能の他に、T-m側入出力端での論理値と、それに遠隔接続されるM側入出力端での論理値とを一致させるための機能と、それが一致したのち双方の側のクロックパルス(以下CPと記す)を一つだけ進めるための機能とが必要となる。図3は遠隔運転のために筆者らが考えているブロック構成を示す。

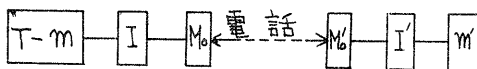


図3 遠隔運転のブロック構成

I(I')およびM₀(M₀)は、それぞれ遠隔運転をおこなうためのインタフェースおよびモデムで、双方の側で全く同一の構成をとる。

図4にIの詳細を示す。RおよびDrは、それぞれT(m)側の論理値をI(I')側へとり込むためのレシーバおよびM'(T)側から送出された論理値をT(m)側へ供給するためのドライバを示す。また、I/O DTRは、信号線を抵抗でプルアップしたときとしないときの電位差を検出する回路で、T-m、m'間の信号が双方向性となる場合、各CPタイム毎に入出力端を識別するのに利用される。T側では、マイクログコンピュータMCはI/O DTRからの情報により入出力端を識別したのち、出力端子の論理値をM側へ送出し(M₀を介して)、また、M側から送出された論理値をT側に供給する(I'を介して)役割を果たす。M側のMPについても同様である。

CCはCPの発停を制御する回路で、クロックパルス発生器(以下CGKと記す)がT側にあるときには、次のような機能を果たす。CCは、クロックパルス信号線CからCPの発生を検出してMCにその情報を提供するとともに、制御線Ccを介して、CPの発生を禁止する。また、M側では、CCが信号線CによりMにCPを供給する。CGKがM側にある場合もT-mとM'が逆になるだけで動作は全く同様である。特にI、I'内にMCを内蔵させた理由は、将来論理値転送に関して種々の検討をおこなうため、その結果によってはリードワイヤードを回路におきかえることができる。尚、rはリセット信号線を示す。

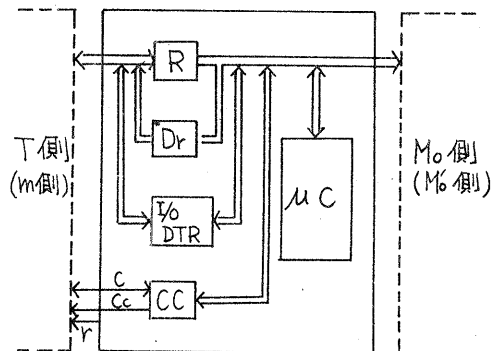


図4. インタフェースの構成

次に、このインタフェースを用いて遠隔運転をおこなうときの手続きを、CKGがT-m側にある場合を例にとって簡単に説明する。記述を明確にするためにI'内の諸記号にはダッシュを付す。T-mとm'を図3のように接続して電源を投入すると、I, I'は信号線rを介してT-mとm'をリセットすると同時に、C_cによりクロックパルスの発生を禁止する。この状態でIの起動ボタンを押すと（Iの起動ボタンはすでに押されているものとする）IはT-mの出力端子の論理値をm'側に送出する。m'側ではこれらの論理値を受信すると、I'はm'の対応する端子に（Drを介して）それらを供給する。そして、m'の出力が安定したのち、その出力論理値と同様の手続きでT-m側に送出する。受信したT-m側では、さらにこれを対応する端子に供給する。これで一往復の論理値転送が完了するが、次章で述べるように必ずしも一往復の論理値転送でT-mおよびm'の対応するすべての端子論理値が一致するとは限らず、この手続きは、これらの論理値がすべて一致するまでくり返される。I, I'はこの一致を確認した上で、IはT-mのCKGをI_{cp}だけ進め、I'はm'に一つのcpを加える。以上でI_{cp}期間の動作が完了するが、システムはこの手続きをくり返すことによって遠隔運転される。

3. 組合せ回路の運転可能条件

前章で述べたように、システムの動作は、記憶素子の出力が変化し得るクロックタイムの動作と組合せ状態回路の出力が変化し得るクロックタイム以外の期間の動作とに分けられる。遠隔運転の場合には、前章の記述から明らかなように、クロックタイムがT-mおよびm'の設置場所で異なり、かつ、クロックタイム以外の期間のうちT-m, m'間の論理値転送に関与する部分があつた有限回の転送のために延長されるが、動作は上述の場合と同様に二つに分けられる。本稿では議論を単純化するために回路の動作を上述のように二つの場合に分けて遠隔運転可能条件を検討する。しかし、ここでは一つの場所で単独運転可能なシステムを対象とするので、この問題は、このシステムの回路を二つの回路C₁, C₂に分割したとき、どのような回路構成あるいはモジュール分割であれば遠隔運転可能である

かに帰着される。

2.2の条件を満たす回路で、組合せ状態回路の中には、一般に複数個の独立した組合せ回路がある。このような組合せ状態回路を2つの回路に分割するとき、遠隔運転可能条件は、一般性を失うことなく、一つの独立な回路に対する条件としてとりあつがえる。ただし、回路が個別素子で構成されている場合、分割は最小単位の論理機能を二分しない範囲でおこない、また記憶素子とその他の回路（組合せ回路など）とともに含むICが使用されている場合、もちろんこのICを二つに分割することはできないが、上述した二つの回路内では、便宜上記憶素子とその他の回路を分離して考えるものとする。本章では、上述の条件の他に多少の制約を加えるなら、一つの独立した組合せ回路Nはどのような構成をとろうと遠隔運転可能であることを示す。

3.1 wired 接続を含まない組合せ回路

wired 接続を含まない一つの独立した組合せ回路N（図5.a）を図5.bのように任意の二つの回路N₁, N₂に分割したとき、N₁はNの入力（全部または一部）X_{1i₁}（i₁=1~k）とN₂からの入力Y_{1i₂}（i₂=1~g）とを入力とし、Nの出力（全部または一部）Y_{1i₃}（i₃=1~l）とN₁からN₂への出力X_{2i₄}（i₄=1~p）とを出力とする出力組合せ回路となる。したがって、この組合せ回路N₁のみに着目したとき、N₁は図6のように等価的に入力端以外では全く相互干渉のないl+p個の独立した組合せ回路N_{sj}（j=1~l+p）から構成されているとみなすことができる。すなわちN_{sj}はX_{1i₁}の全部または一部とY_{1i₂}の全部または一部を入力とし、Y_{1i₃}とX_{2i₄}のうちの一つを出力とする組合せ回路と等価である。N₂についても同様である。

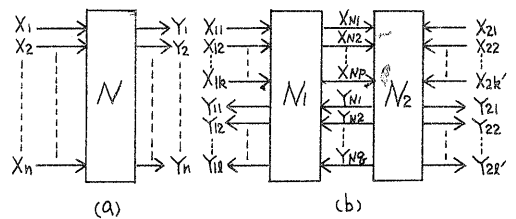


図5 Nの分割

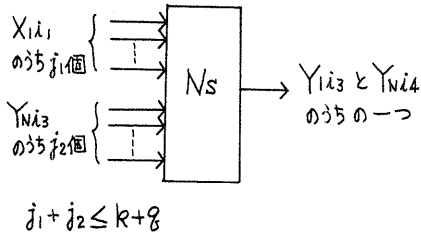


図6. N_{sj} の構成

いま、 N したがって N_1, N_2 が N_{sj} を単位として構成されているとみなして、 N の外部入力（システムの外からの入力または記憶素子の出力） X_1, X_2 の信号源をレベル0、レベル0の信号のみを入力とする N_{sj} をレベル1、そして一般に、入力となる N_{sj} の最高レベルが k となるような N_{sj} をレベル $k+1$ というように順次定義してゆけば、すべての N_{sj} に対してレベル付けをすることができる⁽³⁾。このとき、 N の外部入力が N_1, N_2 間を最多回数往復して出力に達する経路の出力端には、最高レベル L_M をもつ N_{sj} が接続されていることは明らかである。この経路はレベル L_M から L_M-1, L_M-2, \dots と小さい方へ順次レベルをたどることによって求まる。そして、このときの往復回数は、 $(L_M-1)/2$ となる。図7に N_{sj} 表現による回路の一例を示す。

次に、このような回路では、有限回の論理値転送により N_1, N_2 双方の入出力端の論理値を一致させることができることを示す。外部入力がレベル0の信号源として与えられると、 N_1 および N_2 内のレベル1の N_{sj} の出力は直ちに決まるが、レベル2以上の N_{sj} の出力は回路が分割されているために不確定である。このような状態で、 N_2 (N_2) 側から出力論理値 X_N (Y_N) を転送して N_2 (N_1) 側入力に与えると、ある遅延ののち、 N_2 (N_1) 内のレベル2の N_{sj} の出力が決定される（レベル3以上はいまだ不確定）。その後、 N_2 (N_1) の Y_N (X_N) を N_1 (N_2) 側に転送して与えると、同様にして N_1 (N_2) 側レベル3以下の N_{sj} の出力が決定される。これは、 N_1, N_2 間に閉ループが存在しないからである。以下同様にして順次論理値転送をくり返せば転送開始位置を指定したとき最大 $L_M/2$ 往復で N_1, N_2 の対応する入出力端子の論理値がすべて一致する。したがって、wired接続を含まない組合せ回路は、

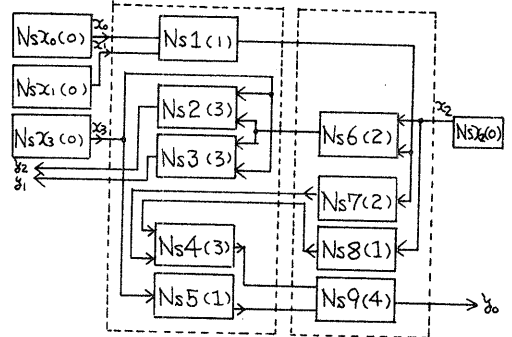
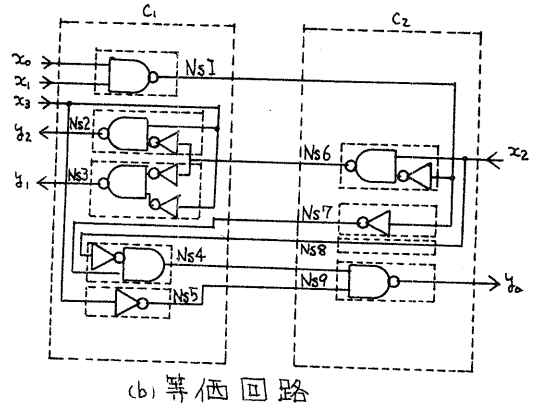
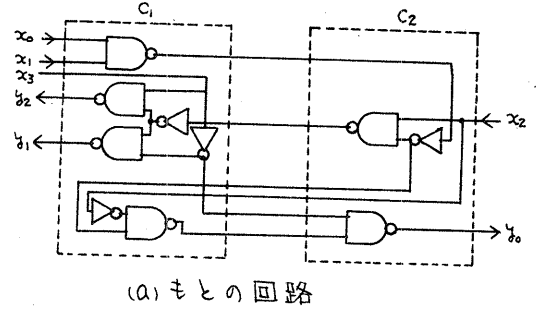


図7. N_{sj} 表現による回路例

2.2の条件を満たす限り、その構成および分割の如何にかかわらず遠隔運転が可能である。

最後に、2.3で述べた方法で論理値転送をおこない、 C_1, C_2 双方の論理値が一致したとき、すべての組合せ回路の出力が決定されていることと、 L_M レベルの組合せ回路であっても必ずしも $L_M/2$

往復の論理値転送を必要としないことを示す。組合せ状態回路にあるときの C_1, C_2 は、全体として組合せ回路であり、この中にある独立したすべての組合せ回路の出力は、回路全体としての入力とそこに含まれる固定出力(記憶素子の出力など)を入力として一意に決まる。また、 C_1, C_2 を単独にみたときのそれぞれの出力は、自己の回路への入力と、その中に含まれる固定出力とを入力として一意に決まり、次の論理値転送をおこなわれないかぎり変化しない。したがって、組合せ状態回路にあるときの C_1, C_2 を結ぶ入出力端子の論理値が一致したときの回路状態は、 C_1, C_2 を切り離すことなく動作させたときの状態に等しい。上述の議論で、レベルが L_M の回路は双方の論理値を一致させるために最大 $L_M/2$ 往復の転送を必要とすることを示したが、このように論理値の一致により所要転送の完了を知る方法をとれば、モジュールが異なるたびにその最大レベル数を設定することが不要となるばかりでなく、 $L_M/2$ 往復の転送をおこなう前に論理値が一致した場合でも、直ちに転送を完了させることができる。所要転送回数が必ずしも $L_M/2$ 往復とまらないのは、一クロック期間内の一連の論理値転送開始直前において、 C_1, C_2 双方の回路へ D_n から供給されている論理値と、1クロック周期分の転送終了後 D_n から供給される論理値とは必ずしもすべて異なるとは限らず、一致するものがあれば転送回数が減少することからである。

3.2 wired 接続を名む組合せ回路

3.1で検討した組合せ状態回路の中にさらにwired接続が含まれるときの回路を論理値転送の形式により分類すれば、どのwired接続も N_1, N_2 間にまたがらない(N_1 または N_2 内で閉じている)場合と、一つ以上のwired接続が N_1, N_2 間にまたがる場合とに分けられる。そして、後者の場合はさらに、一つのwired接続の出力が他のwired接続の入力となるようなカスケード接続が存在するか否かによって複雑さが異なってくる。

(a) wired 接続が N_1, N_2 間にまたがらない場合

wired接続が N_1, N_2 間にまたがらない場合、この間を結ぶ各入出力端子の論理値転送はいずれも一方向性となるから、論理値の入力から出力

へ向う伝播形式からみれば、この回路は前節と同様にレベル付けした N_{obj} を単位として構成される。したがって、後述する理由で素子が破損する恐れのある場合を除けば、この種のwired接続を名む組合せ回路は2.2で与えた制約の範囲内でのどのような構成をとろうと、また、どのような分割(最小単位の論理機能を分割しない限り)をしようとする遠隔運転可能である。

トリステート・バッファ(以下TSBと記す)をwired接続して使用するとき、破損防止のため2つ以上のTSBが同時に開かないようにしなければならない。このため、通常制御端子に接続される制御回路は、何らかの手段で、2つ以上のTSBが開かない論理値の組を出力するよう設計される。2つ以上開けるような論理値の組は組合せ禁止の組という。

さて、上述のように設計された回路 N を2つの回路 N_1, N_2 に分割したとき、すべてのTSBが N_1 側にあり、かつその制御回路が N_1, N_2 にまたがるようにしよう。このとき、 N_2 側から入来する制御回路の信号線の中に、再び N_2 にあたることなくTSBの制御端子に達するものが必ずあるが、このような信号線の論理値を任意にえらんだとき、上述した組合せ禁止の組に属するものがあれば、素子を破損する恐れがある。このような素子の破損につながる制御線を組合せ禁止に関与する制御線という。TSBが N_2 側にある場合も同様である。

このような場合の破損防止は一般にやや複雑な手続きを要するが、TSBがカスケード接続されていない場合には次のように比較的単純となる。すなわち、(1)組合せ禁止に関与する制御線の論理値を組合せ禁止以外の値に固定し、(2)この制御線を除くすべての入出力端子の論理値が N_1, N_2 両側とも変化しなくなるまで論理値転送をくり返し、(3)固定した制御線を解いたのち、再び双方の側の論理値がすべて一致するまで論理値転送を続ければよい。上述の如く制御線を固定すれば(TSBは破損しないが)wired接続されたTSBの出力は固定された制御信号に対応して固定される。したがって、制御線を除く他の端子間で N_1, N_2 間論理値転送を有限回くり返したとき、 N_1, N_2 両側の対応する端子の論理値すべてが必ずしも一致しないが、3.1と同様の原理で、論理値の変化は止まる。この状態においては、

TSBを含む N_{sj} より下位のレベルの N_{sj} の出力はすでに決定されているので、制御線の固定を解いても以後の転送で素子を破壊する恐れはない。

(b) wired接続が N_1, N_2 間にもたがる場合

wired接続が N_1, N_2 間にもたがると信号線の論理値転送は双方向性となる。しかし、各クロック周期毎に組合せ状態回路として動作する期間で考えるなら、単方向性か無方向性(論理値が双方で等しく転送の必要がない)となる。

図8にこのような接続の例(オープンコレクタ)を示す。(a)はもとの回路 N で、入力線 $X_i (i=1\sim 5)$ の論理値がwired接続されたNANDゲート(組合せ回路 N_{c1}, N_{c2} により開閉される)を介して出力線 Y に与えられている。(b)は N を鎖線の部分で分割したときの回路 N_1, N_2 を示す。ゲートの組(G_1, G_2), (G_3, G_4, G_5)のうち、一方の出力がすべてH(high level)かつ他方の出力が一つ以上L(low level)なら、 N_1, N_2 間の論理値転送方向は単方向化され、双方の組のすべての出力がHか、または双方の出力がともに一つ以上Lのときは無方向化される。図9はこの模様を N_{sj} による構成で示す。 N_{s1}, N_{s5} および N_{s6} は、それぞれ(X_1, X_2), (X_3, X_4, X_5) および(a, b, c)の信号源を示し、 N_{s2} および N_{s3} はそれぞれ N_1 および N_2 内のすべての素子を含む回路を示す。また、 N_{s4} は(a, b, c)が N_2 内を通過するときの回路を示す。特に N_{s2} および N_{s3} の出力端で一方から他方に論理値が転送される場合、後者の N_{sj} は前者の出力を入力とすることになるのでレベルは前者のものより一つ上となる。図から明らかのように、転送方向が異なるときは、回路構成も異なったものとなる。したがって、遠隔運転可能とするためには、何らかの手段で各クロック周期毎に回路を接続変更しなければならない。

筆者らは、比較的容易に接続変更できる手段として次のような手続きを考えた。

(i) wired接続されるべき N_1, N_2 間の信号線を切断し、3.1と同様の論理値転送をすべての入出力端の論理値変化が止まるまで続ける。信号線を切断すれば、 N_{s2} と N_{s3} のうちの高位のレベル以上では、本来の回路構成が乱れるが、それより下位のレベルでは何ら変化しない。したがって、この論理値転送終了時には、 N_{s2}, N_{s3} への入力に完全に決定されているこのレベルより下位の N_{sj} を結ぶ

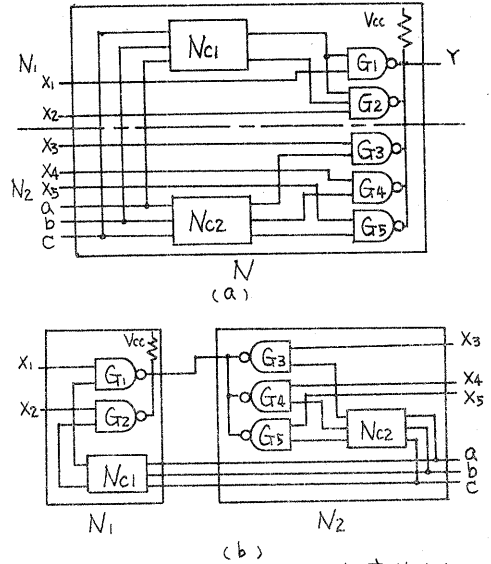


図8. オープンコレクタ wired 接続例

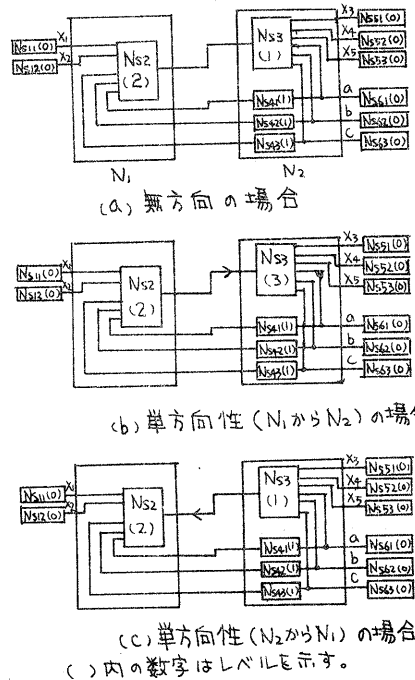


図9. 図7の回路の N_{sj} による構成 ()内の数字はレベルを示す。

- 入出力線は N_1, N_2 双方の側で一致している)。
- (ii) (i)の手続き終了後 N_{S2}, N_{S3} の論理値からその転送方向を決定し、これに基づきこの論理値を転送する。 N_{S2} および N_{S3} 側の論理値が $H(L)$ および $L(H)$ なら転送方向は $N_{S3}(N_{S2})$ から $N_{S2}(N_{S3})$ に向い、双方の論理値が一致するなら転送の必要はない。
- (iii) 再び3.1と同じ論理値転送を N_1, N_2 のすべての入出力端子の論理値が一致するまでくり返す。

このような方法をとる場合、あらかじめ I, I' に双方向性信号線の端子番号を指定する必要があるが、2.3で示した I, I' をそのまま利用して遠隔運転できる。

以上は N 内の wired 接続がただ一つである場合であるが、これが複数組(いずれも N_1, N_2 にまたがる)あってもカスケード接続がなければ、全く同じ方法で遠隔運転可能である。また、 N 内にカスケード接続が含まれる場合には、双方向性信号線の端子番号の他に、論理値が N の入力端から出力端に伝達される順序にしたがった wired 接続の順序を指定し、その順序にしたがって(i)(ii)の手続きとその回数だけくり返して(iii)に進めば遠隔運転できる。

TSBが双方向転送に関してオープンコレクタと異なる点は、二つ以上のTSBが同時に動作することの禁止と論理値の転送形態の相違にある。

(iii)の手続きで、 N_{S2}, N_{S3} の論理値を H または L とするかわりに $(HorL)$ または トリステート状態と変更し、一方が $(HorL)$ のとき転送方向は $(HorL)$ から トリステート状態に向い、 N_1, N_2 ともに トリステート状態なら無方向とみなせば、TSBの場合にも適用できる。もちろん、組合せ禁止のために破損の恐れがあるなら、3.1で述べた方法も併用しなければならない。

4. 順序回路の運転可能条件

4.1 完全同期式の場合

すでに述べたように、完全同期式の場合の順序回路の動作は、記憶素子が動作する期間と組合せ状態回路が動作する期間にわけられる。いま、 C_1, C_2 双方で、すべての組合せ状態回路の出力が決定しているものとする。 C_1, C_2 双方の側で別々の時刻に CP を印加すれば、各々の側のすべ

ての記憶素子は、それぞれの CP に完全に同期して同時に動作を開始する。そして、その後各々の側で各記憶素子の出力が完全に決定される時刻は厳密には素子によって異なるが、記憶素子の出力が決定されたい非同期的に組合せ状態回路の動作へ移行する。この際、 C_1, C_2 の入出力端に記憶素子が直接接続されていれば、記憶素子と入出力端子と結ぶ配線一つの組合せ回路(遅延時間零のバッファ)とみなして、前章の結果を適用すればよい。したがって、この順序回路は2.2の条件内では、回路の論理構成に関係なく遠隔運転可能条件を満たす。

また、これまで組合せ状態回路として述べてきた部分に閉ループをもつ組合せ回路が存在する場合でも、この回路が C_1 または C_2 の一方のみ名まれ、かつ、その入力端および出力端が同側の記憶素子または固定出力あるいは装置のみに接続されているなら、遠隔運転可能である。これは、閉ループをもつ組合せ回路の出力が、論理値転送に無関係に決定されるからである。

4.2 完全同期式でない場合

4.1では、すべての記憶素子は CP に同期して同時に動作すると仮定したが、通常、同期式といわれるシステムでは、二つの連続する CP の間で動作する記憶素子かしばしば用いられる。このような形で記憶素子を使用されるのは、 CP 自体を夕相とするほどではないが、局部的に夕相の CP が要求されるような場合であると考えられる。このようなシステムを、4.1の形態で動作する回路 N' と、上述のような CP の間で動作する記憶素子を名む回路 N_a とに分離するものとすれば、等価的に図10のように示すことができる。 x_{ai} ($i=1 \sim m$) は N_a の入力線で、 N' 内の記憶素子の出力および固定出力の他に CP を名んでいる。 N_a の中には、 x_{ai} のうちのいくつかを直接または間接的(組合せ回路等を経て)に入力とし、 CP の到来後いくらか遅延して動作する、少なくとも一つ以上の記憶素子を含んでいる。 y_{aj} ($j=1 \sim n$) は N_a 内の記憶素子の出力を直接または間接的(組合せ回路等を経て)に出力する出力線で、 N' 内の記憶素子または装置に直接接続される。そして、 y_{aj} 上の論理値は一つの CP が到来した後、次の CP が加えられる直前までに決定される。したがって、 N_a の中には上述の条件を満たす種々

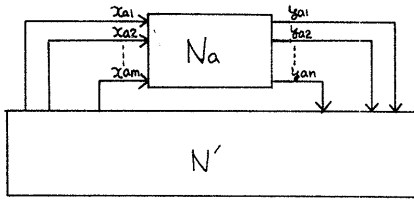


図10 完全同期回路と不完全同期回路との分離

雑多な回路、例えば遅延回路、単安定回路はもちろ、一つのクロック周期の特定の期間に高周波パルス（ N_a 内に発生源をもつ）を計数する計数器などを含んでいてもよい。

このようなシステムの回路を C_1, C_2 に分割するとき、 N_a がその入力の信号源とともに一方の側に包含され、かつ、いったん決定した N_a の出力が以後次の CP が到来するまでその周期に無関係に保持されるなら、遠隔運転したときの C_1, C_2 各部の状態は分割前の運転状態と何ら変わらない。したがって、このような条件を満たす回路は、明らかに遠隔運転可能である。 N_a の出力線 y_{aj} 中にパルス状出力（遅延回路や単安定回路などで生成した）が存在する場合、二つに分割して運転すれば、CP の遅延に基づく誤動作を生じる可能性があるが、上述の可能条件のうち後者の条件は、この種の回路を除外するために必要である。

5. モジュール分割の運転速度への影響

電話回線によりシステムを遠隔運転する場合、通信容量が小さいために生じる運転速度の低下を防ぐことが重要な問題となる。ここでは、その解決策の、一つの手掛として、この運転速度に対するモジュール分割の影響を簡単に検討しておく。

3.1 の結果から予測されるように、運転速度の低下を防ぐためには、論理値の転送回数が極力少なくなるようにモジュールを分割すればよい。この意味で、直感的には、組合せ回路における N_{sj} の最大レベル L_m を小さくするの、記憶素子を除く大部分の回路に適用できる点で、最も有

効なように思われる。しかし、実際のモジュール分割では、特別な事情がない限り、一つの組合せ回路の入力が（出力端に達するまでに）それほど多数回一つのモジュールを往復することは考えられない。さらに、最大レベルが L_m であっても、 C_1, C_2 双方における論理値の一致により転送の終了を知る方法をとれば、転送時における実際の往復回数は平均値として $L_m/2$ よりはるかに小さくなる。このような状況を勘案すると、wired 接続に基づく特殊な処理を要しない組合せ回路では、ほとんどの場合、1 フロック周期あたりの往復回数は 1~2 回程度になるものと考えられる。

これに対して、wired 接続が C_1, C_2 間にまたがる場合や、TSB で制御線に組合せ禁止がある場合は、転送回数がかなり増加する。しかも、この形式の接続は計算機のバス構造などには不可欠であるから、モジュール分割に際して、接続が C_1, C_2 間にまたがることをさけることはできない。したがって、ここではこのような前提のもとに、転送回数を減少させる方法を検討する。

この種の接続でカスケード接続を含まず、かつ組合せ禁止もない場合には、この種の wired 接続を含むすべての独立な回路のうち、 N_{sj} の最大レベルおよび wired 接続を含む N_{sj} の最高レベルをそれぞれ L_{mi} および L_{mwi} とすれば、論理値転送に際して wired 接続切断時における論理値変化が停止するまでの最大往復回数および wired 接続復旧後すべての論理値が一致するまでの最大往復回数はそれぞれ $\text{Max}\{L_{mi}\}/2$ および $(\text{Max}\{L_{mi} - L_{mwi}\} + 1)/2$ で示される。また、この場合には、論理値変化の停止、論理値の一致および wired 接続の切断、復旧のための転送も必要となる。したがって、転送回数を減少させるためには、(a) L_m を極力小さくし、(b) この種の接続を含む独立な回路が複数個存在する場合には、独立な各回路の L_{mw} および $L_m - L_{mw}$ を極力一致（または近づける）させるようモジュールを分割すればよい。このように、この種の接続が要求されるときにはモジュールの分割に新たな制約が加わるが、システム全体からみた場合、比較的限られた場所に用いられることが多いため、設計者にとっては、さほど重大な制約にはならないであろうと考えられる。

また、TSB で、組合せ禁止があるときも wired

接続が C_1, C_2 間にまたがらないなら、制御信号の固定に対して上と同じような方法が適用できる。

C_1, C_2 間にまたがるwired接続がカスケード接続される場合や、TSBで、組合せ禁止があり、かつ、wired接続が C_1, C_2 間にまたがる場合にも、上述の方法を適用して転送回数を減少させることが可能と思われるが、このような複雑な手続きを必要とするモジュールは、この診断法に適していないといえるであろう。

最後に、運転前の初期設定について一言ふれておく。遠隔運転をおこなうためには、上述した複雑な手続きを要する回路は除くとしても、インターフェース I, I' は各クロック周期ごとに、(1) C_1, C_2 にまたがるwired接続の端子、(2)組合せ禁止の端子および(3)これらを除くすべての入出力端子の区別を知らねばならない。しかし、組合せ禁止をともなうTBSの使用を禁止し、各モジュールの入出力端子のうち特定の部分を双方向性信号線専用割り当てる方式をとれば、初期設定の必要なく運転できると思われる。

6. あとがき

同期式システムを対象に、故障診断を目標とした遠隔運転の可能条件を十分条件側から検討した。この結果、システムの構成とモジュール分割に多少の制約を加えるなら、実用的な大部分の回路がこの可能条件を満たすことが示された。筆者らは、この方式の故障診断法を実用化すべく、現在、電話回線による論理値の転送効率について検討中である。

この診断法を実用化できれば、従来よく用いられている自己診断用プログラムを利用してモジュールの良否が判別できる。また、診断用システムと被診断用システムとを入れかえて利用すれば、被診断モジュール診断の信頼性が向上するばかりでなく、システム内のモジュール外の断線や接触不良などもある程度まで診断できると考えられる。

この方式は、非同期回路を含むシステムについても、ある程度までは適用できると思われる。さらに、近い将来実用化されるであろうホームコンピュータの診断にも利用できるなら幸いである。

最後に、本稿の検討段階で有益なる御助言を

いただいた大阪大学嵩忠雄教授に深謝します。

文献

- (1)岡本,森田,都倉：“デジタルシステムの一遠隔故障診断法”昭52 信学情報部門全大, 251
- (2)岡本,森田,都倉：“TTL ICにおける入出力端子の一識別法”昭52 中国支部連大, 32308
- (3)藤沢,嵩：“電子通信用数学Ⅱ, 離散構造論”コロナ社