

# 並列画像処理計算機PIPEの3次元画像記憶構成

佐々木 繁      田山 典男  
( 岩手大学 工学部 )

## 1. はじめに

近年、汎用電子計算機を用いたデジタル画像処理の研究が種々の分野で進められている。<sup>(1)</sup>しかしながら、このデジタル画像処理が、研究の段階から実用化の段階を迎えてより広く一般に利用されるためには、“処理時間があまりに長すぎる”という大問題を解決することが必要になっている。<sup>(2)</sup>これは、2次元状の大量画像データを現在の汎用計算機では、1次元のメモリに格納して0次元の演算器により逐次的時間順に処理することに起因するものであり、根本的な解決が必要である。<sup>(3)</sup>つまり、筆者らは、画像処理向きの構造をもつ新しいタイプの計算機が必要になっていると考える。そこで、高速なショットキーバイポーラ型マイクロプロセッサLSIを2次元状に多数配置して、画像データの並列処理を行なう画像処理向き計算機の開発を進めている。<sup>(7)</sup>この新しいタイプの計算機を“並列画像処理計算機PIPE”(Parallel Image Processing Ensemble)と呼ぶ。

本稿は、この並列画像処理計算機PIPEにおいて画像データを格納制御する3次元画像記憶方式について、その概要を報告するものである。まず2で、並列画像処理計算機PIPEについて述べこの3次元画像記憶方式を説明する。3, 4, 5では、その構成要素であるシフトフレイムメモリ、3次元画像メモリと3次元画像ファイルの機能と構成について述べ、6でその処理例を示す。

## 2. 並列画像処理計算機PIPEと3次元画像記憶方式

PIPEシステムの開発で目指している目標は、次の5つの項目である。

- 1) 大量の2次元画像データを能率よく短時間に処理する高速性。
- 2) 各種の画像処理系においても能率よく使用できる汎用性。
- 3) 画像処理アルゴリズムをスマートに書けるプログラム記述の容易性。
- 4) 操作扱いの柔軟性。
- 5) 画像処理コストの低減化。

そこで、筆者らが開発を進めている並列画像処理計算機PIPEの構成概念は、

a) 画像処理では、2次元状の大量画像データに対し同一の処理が繰り返えされるので、高速な汎用型ショットキーマイクロプロセッサLSIを2次元構造に多数配置して、SIMD型並列処理を行なわせる。これを局所平面処理と呼ぶ。

b) 複数枚の画像データを現在の1次元構造のメモリに格納するとアクセスのたびに頻繁にアドレス計算が必要になる。そこで、3次元アドレッシングの可能な3次元構造の画像メモリを構築して、アドレス計算による無駄な時間を省く。

c) 特殊構造の計算機を能率よく処理し柔軟性を確保するために、ビットスライズ型プロセッサを用いてマイクロプログラム制御方式を広範囲に取り入れる。

### <2.1> 3次元画像記憶方式

この並列画像処理計算機PIPEの開発における一つの大きな狙いは、次に示すような複数枚の画像を扱う各種の“マルチ画像処理系”に対しても、能率よく適合できるような“汎用性”を得ようとする点である。

- A) マルチスペクトル画像の相関処理をするリモートセンシング画像処理系。
  - B) 時系列の複数枚の画像間で変化を抽出し解析する動画画像処理系。
  - C) 3次元充填物体を像再生し解析し計測する立体画像処理系。(3次元CT等)
- そこで、PIPEシステムでは次に述べるような画像記憶方式をとっている。

- 1) 複数枚の大型画像から任意座標の局所平面画像データをアドレス計算することなくアクセスできるようにする”3次元アドレッシング機能”をもつ。
- 2) 画像メモリから局所平面の多数の画素データを1度に読み出し書き込みできるようにする”並列アクセス機能”をもつ。
- 3) 種々の画像処理系にも適合できるように画像サイズや画像枚数や画素ビット幅を柔軟に設定できる画像メモリの”可変構造機能”をもつ。
- 4) 画像の近傍処理や層間処理を柔軟に高速に行なえるようにするために、キャッシュメモリのような高速画像メモリをもつ。”シフトフレイムメモリ”と呼ぶ。
- 5) 複数枚の大型画像を多種類格納できる”3次元画像ファイル”をもつ。
- 6) 局所平面の多数の画素データを1度に転送できる”平面バス”をもつ。

つまりこの方式は、複数枚の大量画像データを能率よく扱い易くするために、記憶階層構成の概念に基づいて、画像出し入れの種々の機能を各要素に分散化し有機的に結合し使用するものである。これを”3次元画像記憶方式”と呼ぶ。

## <2.2> PIPEの基本アーキテクチャー

上記のマルチ画像処理系において要求される処理機能を調査検討して、それらの多くを効率よく実行できるようにするために、次に示すような7つの基本アーキテクチャーを設定した。

- 1) 局所平面処理: ショットキーマイクロプロセッサLSIを多数使用して2次元処理機能をもつ平面プロセッサを構成し、平面演算器や平面レジスタを用いて画像データのSIMD型並列処理を行なう。
- 2) シフトフレイムメモリ: 近傍や層間の画素データを簡単に自由にアクセスできるようにするために、豊富な平面シフト機能をもつ高速メモリを付ける。
- 3) 3次元画像メモリ: ICメモリを多数用いて大容量の画像メモリを構成し、1度で多量に読み書きする並列アクセス機能と、3次元アドレッシング機能と、画像サイズと枚数とビット幅による可変構造機能を実現する。
- 4) 平面バスと入出力バッファ: 1度に多量の画像データを高速転送するビット幅の広い平面バスを設けて各部を結合する。また、画像入力部には自動取り込み機能をもつ入力バッファを設け、画像出力部には自動送り機能をもつ出力バッファを設けて、画像データの高速入出力を行なう。
- 5) 広範囲なファームウェア化: マイクロプロトラミンタ可能なビットストライズ型マイクロプロセッサLSIを用いて、処理効率の向上と設計更新の柔軟性を確保する。又、2レベル化により能率の良いファームウェアの階層構成を実現する。
- 6) 仮想画像ファイル方式: 磁気ディスクを用いて、3次元画像メモリの仮想的な大容量化を計り、扱いを容易にする。これを3次元画像ファイルと呼ぶ。
- 7) コンソールプロセッサの設置: 人間との対話処理やクロスコンパイルを行なうために、コンソールディスプレイとミニフロッピーディスクをもつマイクロコンピュータをコンソールプロセッサとして設置する。そして、マクロコマンドやメニュー方式により対話操作の容易性や柔軟性、汎用性を求める。

## <2.3> PIPEのシステム構成

図1.に示すようにPIPEシステムの構成は、4×4(8ビット)の2次元処理機能をもつ平面プロセッサPPU(Plane Processing Unit)と、後述の3次元画像メモリPMU(Picture Memory Unit)と、3次元画像ファイルPFU(Picture File Unit)と、画像データの高速度入出力管理をするIOU(Input Output Unit)と、2レベルマイクロプログラムにより全体を管理制御する管理プロセッサGPU(Global Processing Unit)と、人間との対話処理を行なうコンソールプロセッサCP(Console Processor)から成る。

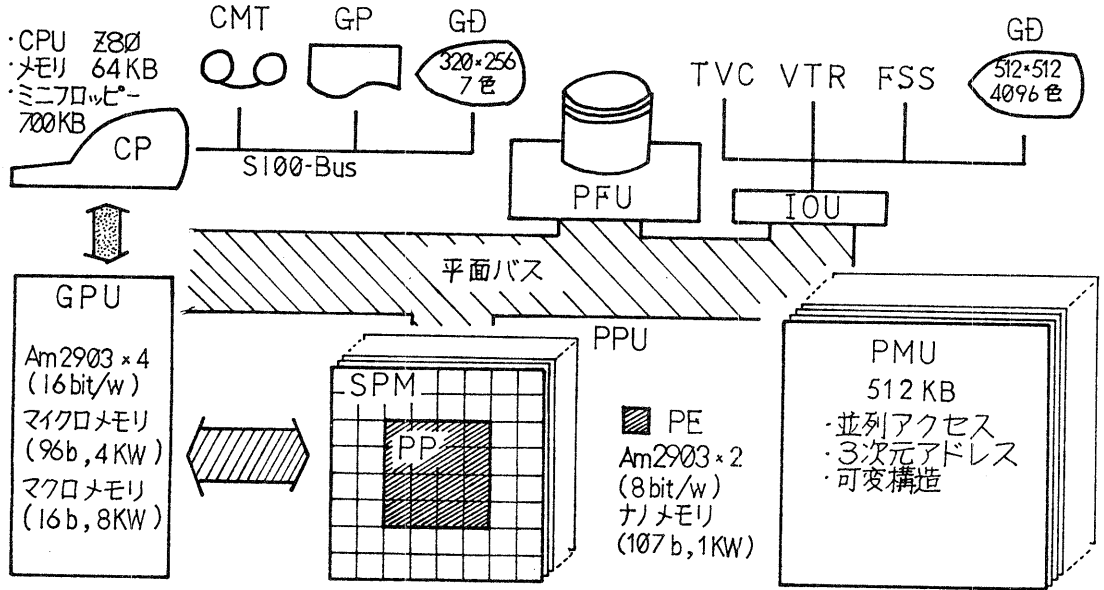


図1. PIPEシステムの構成

## 3. シフトレーンメモリSPMの構成

シフトレーンメモリSPMは、平面プロセッサPPUに含まれ、局所平面画像データを柔軟にアクセスできる高速キャッシュメモリである。これは、4ビット×16語構成の2ポートRAM(Am29705)を64個使用して、8×8の平面状に配置したものであり、画像データの全平面的なシフト動作を1サイクルで実行することができる。このような平面状のシフトを”平面シフト”と呼んでいる。この平面シフトの種類は豊富で、

- (1) 上下左右方向への1画素分シフト。
- (2) 上下左右方向への4画素分シフト。
- (3) 転置シフト。
- (4) 第2象限と第4象限の交換シフト。
- (5) メモリの深さ方向へのシフト。

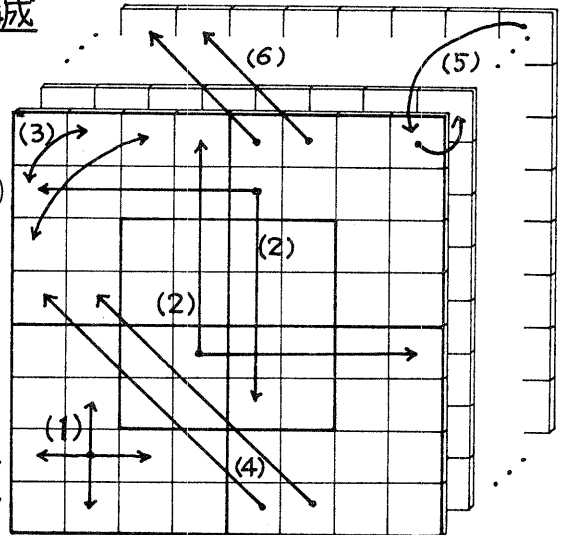


図2. SPMの平面シフト機能

(6) 上記の組み合わせによるシフトが、可能である。これらの平面シフト機能により、PPUでの近傍演算や層間演算がアドレス計算をせずに、極めて容易に行なうことができる。

シフトアレイメモリSPMと平面バスとは、画像データを4×4(4ビット幅)の局所平面状で並列に入出力することができる。従って、大量の画像データを格納している3次元画像メモリPMUから必要な部分を取り出してきて、PPUの処理アレイPPで画像演算を行ない、その結果をまたPMUに送り込むことができる。SPMから処理アレイPPへの読み出しは、4×4(4ビット幅)の局所平面状で同時に2組行なうことができる。SPMへの書き込みは、同時に1組であるが連続した2サイクルで2組のデータ(8ビット幅)を書き込むことができる。さらにSPMは、3次元画像メモリPMUと処理アレイPPとの間のバッファとして利用できる。また、PPの平面レジスタ(4ビット幅64枚)としても利用できる。

#### 4. 3次元画像メモリ PMU の構成

##### <4.1> 画像メモリに要求される機能

画像処理系の高速化および汎用化を実現するために、多数のICメモリから成る画像メモリには次のような機能が要求されると考える。

##### a) 画像データの並列アクセス機能

画像データを大量にしかも高速に読み出し書き込みするためには、多数のメモリモジュールを平面状にまたは線状に同時にアクセスする”並列アクセス”の機能が必要である。(図2-a)

##### b) 3次元アドレッシング機能

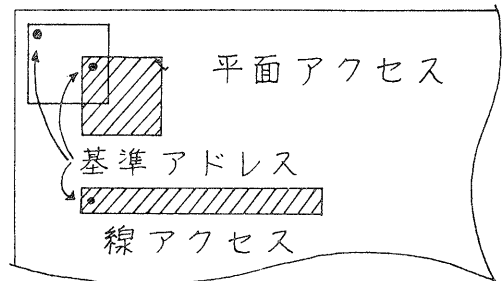
リモートセンシング画像や動画像、立体画像のような複数枚の画像データを能率よく容易に扱えるようにするためには、メモリ構造として”3次元アドレッシング”をする機能が必要である。(図2-b)

##### c) 画像サイズによる可変構造機能

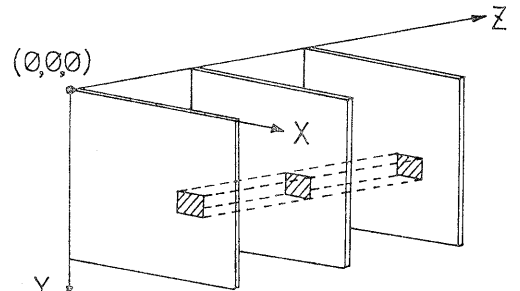
種々の画像処理系にも適合するように画像サイズ $m \times n$ や画像枚数 $l$ や画素のビット幅 $w$ を自由に設定できる画像メモリの”可変構造”の機能が必要である。(図2-c)

##### <4.2> 3次元画像メモリの方式構成

並列アクセスを実現するためには、アクセスの対象となる多数の画素データがすべて異なるメモリモジュールに格納さ

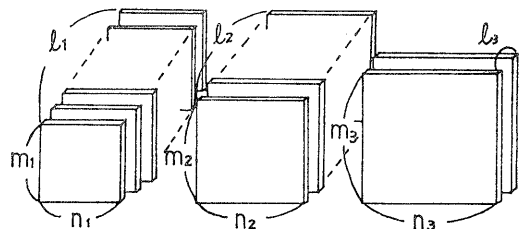


(a) 画像データの並列アクセス



(b) 3次元アドレッシング

$w_1, w_2, w_3, w_4$  [bit/画素]



(c) 画像サイズによる可変構造

図3. 画像メモリの機能

れていることが必要である<sup>(5)</sup>。そこで、3次元の座標 $(x, y, z)$ の画素データが何番目のメモリモジュールに格納されるべきかを決定する”モジュール割り当て関数  $\mu(x, y, z)$ ”を次式のように考え、平面アクセスや線アクセスの各モードにおいても、同時にアクセスすべき画素データが異なるメモリモジュールに格納されているようにする並列アクセスを実現した。//は整数除算の剰余である。

$$\mu(x, y, z) = (x + 2y) // 8 \quad \text{-----(i)}$$

次に、3次元画素データ  $I(x, y, z)$  を先に割り当てられた各メモリモジュール内の何番目のアドレスに格納すべきかを決定する”アドレス割り当て関数  $\alpha(x, y, z)$ ”を次式のように考え、枚数設定パラメータ  $m$  により 画像サイズと枚数による可変構造機能を実現した。/は整数除算の商である。

$$\alpha(x, y, z) = (x/2) + (y/4) \cdot 2^{5+m} + z \cdot 2^{10+m} \quad \text{-----(ii)}$$

前述の3つの機能を満たすPMUの基本構成を図4に示す。各部の回路を簡単に示す。

- 1) **メモリモジュール**: 画素データを格納するICメモリのカード。
- 2) **イネースル回路**: (i)式により、同時にアクセスすべきメモリモジュールを決定する回路。
- 3) **アドレス生成回路**: (ii)式により、各メモリモジュール内のアドレスを決定する回路。
- 4) **制御回路**: アクセス時のR/W、モード設定、ステータス管理および各ゲートの制御を行なう回路。
- 5) **ルーティング回路**: 平面バス側のレジスタとメモリモジュールの間で、(i)式により画素データの並べ換えをする。

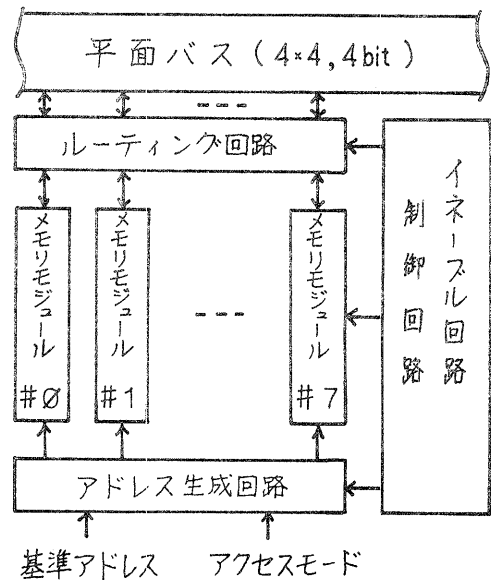


図4. PMUの基本構成

### <4.3> 3次元画像メモリの設計

- a) **ICメモリ**: nMOS static RAM 2114使用。450 ns。
- b) **メモリ容量**: 512 KBで、32KBのカード16枚から成る。メモリモジュールとしては、1モジュールが64KB(カード2枚)で、8モジュールとなる。
- c) **画素のビット幅**: 基本的には、1画素4ビットである。が、SPMに豊富な平面シフト機能があるので回路簡単化の点から、1モジュール当たり2画素(8ビット)単位で格納する。4, 8, 12, 16ビットの画像データにも対応できる。
- d) **ルーティング回路の実現**:  $4 \times 4$  (4ビット幅)の局所平面状データを、(i)式により全メモリモジュール(8モジュール)からアクセスし、平面バスとの間での画素データの並べ換えをシフト操作だけで行なう。この操作を、1モジュ-

ル当たり8個の8ビットデータセクタで実現する。

e) モジュール割り当て関数の実現：  
ルーティング回路のシフト数を決定することにより実行できる。このシフト数を2個の4ビット全加算器で作出す。

f) アドレス割り当て関数の実現：(ii)式から、モジュール割り当ての規則性を見つけ、2個の4ビット全加算器を10組使用し実現する。

g) アクセスモード： 上述のe)とf)の回路により、図5に示すような(i)4x4点処理向き平面アクセス、(ii)4x4近傍処理向き平面アクセス、(iii)1x16線アクセスの3種類のモードで利用できる。

h) アドレス幅： 25ビット。(X座標…9ビット、Y座標…10ビット、Z座標…6ビット)

i) 基準アドレス： 各アクセスモードにおいて、局所平面の左上点の座標を指定することにより並列アクセスする。

j) 画像サイズと枚数： 枚数設定パラメータ*i*によって、

$i=0$  …128×128の画像、64枚。

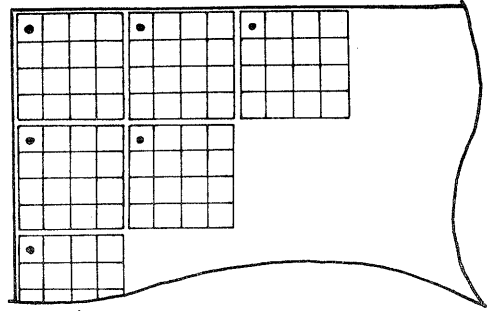
$i=1$  …256×256の画像、16枚。

$i=2$  …512×512の画像、4枚。

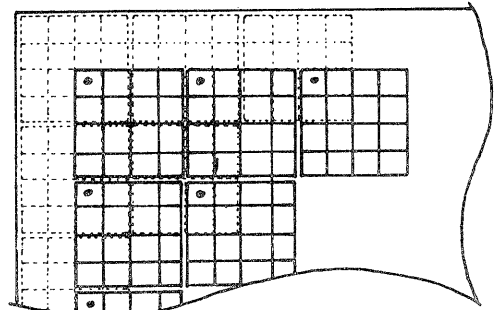
$i=3$  …1024×1024の画像、1枚。

のように構造が変わるようにする。

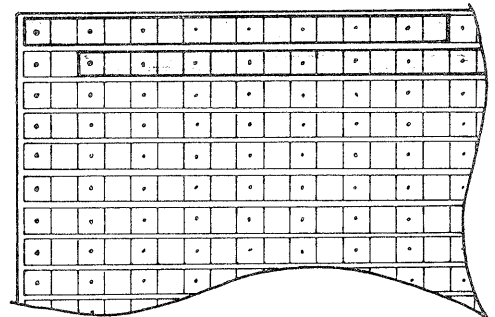
k) アクセスタイム： 4x4(4ビット)の局所平面を連続アクセスする時には、550 nsec でアクセスできる。



(i) 点処理向き平面アクセス



(ii) 近傍処理向き平面アクセス



(iii) 線アクセス

図5. PMUのアクセスモード

## 5. 3次元画像ファイル PFU の構成

### <5.1> 画像ファイルに要求される機能

大量の多くの画像データを格納するディスクファイルには、次のような機能が必要であると考えられる。

a) 前述のマルチ画像処理系における種々のデータを能率よく格納するためには、1次元及び2次元及び3次元構造のファイルアクセスモードをもつこと。

b) ユーザーから見てファイルの使用によりPMUが仮想的に大容量化されること。

c) 管理プロセスがGPUにおけるファイル管理が容易であること。

### <5.2> 画像ファイルの方式構成

前述の機能を実現するために、ファイル制御にマイクロプロセッサを使用し、

GPUの管理によって仮想画像ファイルに仕上げる。1ブロックのデータ量は、256バイトとする。1次元アクセスモードは、従来と同じ方式である。2次元アクセスモードは、フレームサイズとウィンドサイズなどを指定して2次元状にデータを格納する。3次元アクセスモードは、さらに枚数設定パラメータや画素ビット幅を指定して3次元状のデータを格納する。画素ビット幅は、4ビットの整数倍にしているのので、規準化所要枚数として表わされる。図6では、3次元アクセスモードにおける画像ファイルのブロック配置を示す。PMU枚数設定パラメータによって決まる画像枚数を $l_i$ とすると同画像平面の各ブロックは、 $\text{MOD}(l_i/2)$ の間隔で配置される。

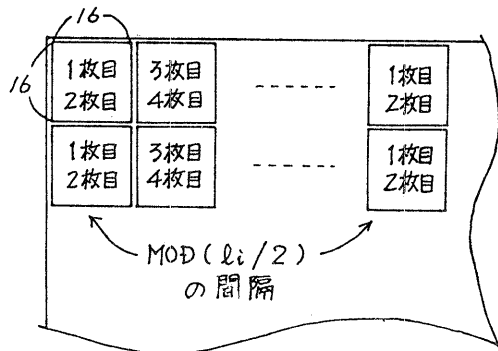


図6. 画像ファイルのブロック配置

### 6. 3次元画像記憶の管理制御方式

3次元画像記憶の管理制御の概念図を図7に示す。この3次元画像記憶の特徴は、3次元状の大量の画像データを記憶階層構成の概念に基づいて能率よく扱い易く格納記憶するものである。そのために、PMUを中心にSPMやPFUに特徴的な記憶機能の分散化を計り、仮想化やキャッシュ化によりこれらを有機的に結びつけ、GPUのマイクロプログラム制御によりこれらを同時に統合処理してデータ転送のパイプライン化を計っている。これらの各要素を管理制御するためGPUには、スクラッチパッドメモリに現在の各要素の状態や処理アドレスなどを集中的に管理制御するテーブルを設置している。

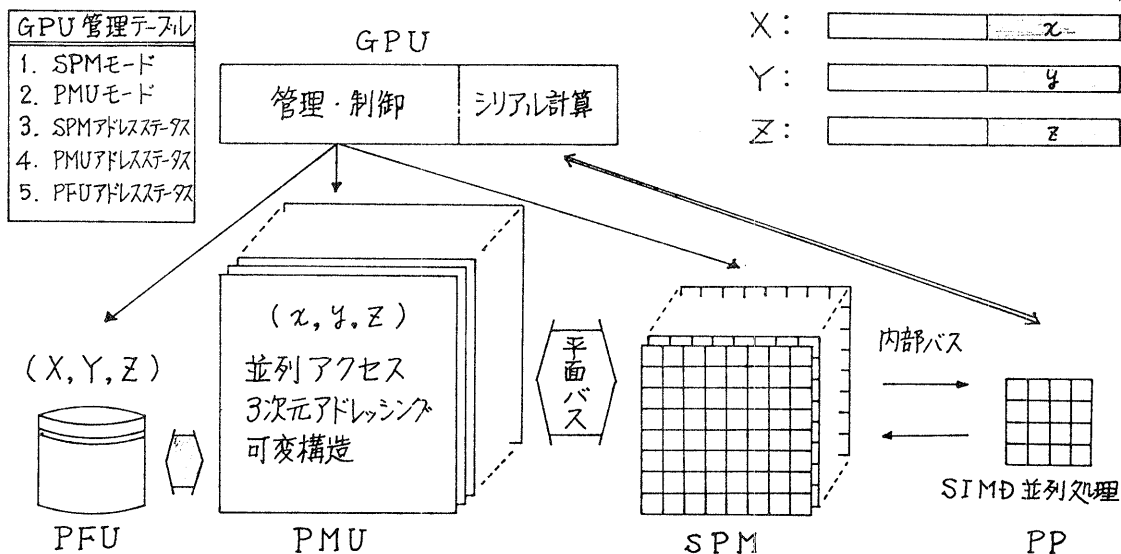


図7. 3次元画像記憶の管理制御概念図

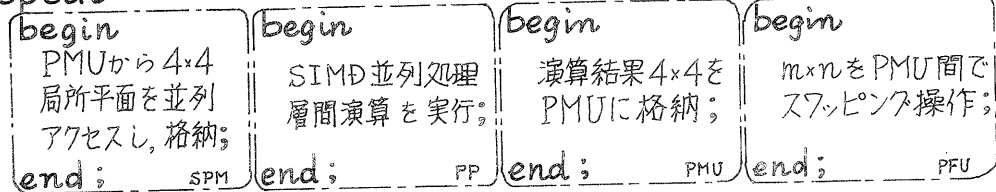
## <6.1> 処理例

並列画像処理計算機PIPEを使って、 $M \times M$ の画像2枚で層間処理を行なう例について述べる。PMUの画像サイズは、 $m \times n \times l$ とする。

begin

平面プロセッサPPのモードを点処理モードに設定する。

repeat



until  $M \times M$ ;

end.

ここで一点破線で囲まれた流れは、GPUの管理の下にパイプライン的に同時に実行処理される。PIPEの高速化の要因としては、a) 4×4のSIMD型並列処理、b) PMUの3次元アドレッシング、c) 並列アクセス、d) 平面バス、e) SPMの豊富な平面シフト、f) 2レベルマイクロプログラム制御方式等があり、従来の計算機よりも相当の高速化ができる見込みである。<sup>(10)</sup>

## 7. まとめ

本稿では、デジタル画像処理の高速化と汎用化の観点から、並列画像処理計算機PIPEの豊富な局所平面シフト機能をもつ高速キャッシュメモリSPMと、3次元構造で並列アクセス可能な可変構造の3次元画像メモリPMUと、ディスクファイルによりPMUを仮想的に大容量化するPFUから成る”3次元画像記憶方式”についてその概要を述べた。この方式により、種々の画像処理系における複数枚の大型画像データを、高速に柔軟に処理できることが期待される。PIPEシステムは、現在ハードウェアの製作中である。

**謝辞** 日頃から御支援を賜っている本学太田原功教授に感謝致します。

## 参考文献

- (1) 尾上：特集”実用期に入ったデジタル画像処理”，電学誌，Vol.98，No.11（'78）
- (2) Japan-United States Seminar：“Research Towards Real-Time Parallel Image Analysis”（'78）
- (3) 長尾：“パターン認識技術の今後の発展に向けて”，信学誌，Vol.62，No.6（'79）
- (4) 坂井：“画像処理技術と社会”，信学誌，Vol.60，No.8（'77）
- (5) David C. Van Voorhis, and Thomas H. Morrin：“Memory System for Image Processing”，IE<sup>3</sup>（'78）
- (6) 榎本：画像の情報処理，テレビジョン学会画像エレクトロニクス講座，コロナ社
- (7) 田山他：“並列画像処理システムの開発”，昭54計測自動制御学会，78-6（'79）
- (8) 田山他：昭和55年度情報処理学会第21回全国大会，4H7~10，（'80）
- (9) 田山他：“並列画像処理計算機PIPEの開発”，情処学Jコンピュータビジョン，7-4（'80）
- (10) 田山他：昭和55年度電気関係学会東北支部連合大会，2F-1~5。（'80）