

2レベルマイクロプログラム制御計算機MUNAPにおける 非数値処理について

Nonnumeric Processing by a Two-Level Microprogrammed Computer MUNAP

馬場 敬信⁺
Takanobu BABA

石川 賢⁺
Ken ISHIKAWA

奥田 健三⁺
Kenzo OKUDA

宇都宮大学⁺ 工学部

⁺教育工学センタ

Utsunomiya University

1. まえがき

近年計算機の応用分野が広がるにつれて、非数値データの処理を効率良く行う必要性が高まっている。しかし、従来の計算機は数値データの処理を重視してきたため、このような要請に十分応え得るものではなく、集積回路技術の発展を背景として、新しいアーキテクチャを持った計算機の出現が待望されている⁽³⁾。

2レベルマイクロプログラム制御計算機MUNAPは、このような背景のもとに開発した実験・研究用の計算機であり、データベース処理あるいは記号処理などの、いわゆる、非数値処理を中心とした広範な問題領域に应用することを目標としている。そのアーキテクチャについては既に報告したが⁽¹⁾、本稿では、非数値データの処理における基本的な課題を選定し、そのマイクロプログラムをMUNAPと汎用マイクロプログラム制御計算機において作成し、処理効率の比較と検討を行う。さらに、MUNAPにおいて新たに採用した2レベルマイクロプログラムによる多重プロセッサの制御方式の有効性について、アーキテクチャの面から評価するとともに、非数値処理用ハードウェアの構成の妥当性、及び、2レベルマイクロプログラムの作成について述べる。最後に、評価結果に基づき、MUNAPの応用分野について検討する。

2. MUNAPの概要

評価に先立ち、本章ではハードウェア構成の

概要と、既に報告したアーキテクチャ⁽¹⁾からの進展として、プロセッサユニット間演算の強化について述べる。

2.1 ハードウェア構成

MUNAPは、図1に示すように、4台のプロセッサユニット(PU)それぞれにナノプログラムメモリ(NPM)を置き、これらを1つのマイクロプログラムメモリ(MPM)中のマイクロプログラムによって制御するという、2レベルマイクロプログラム制御方式を採用して

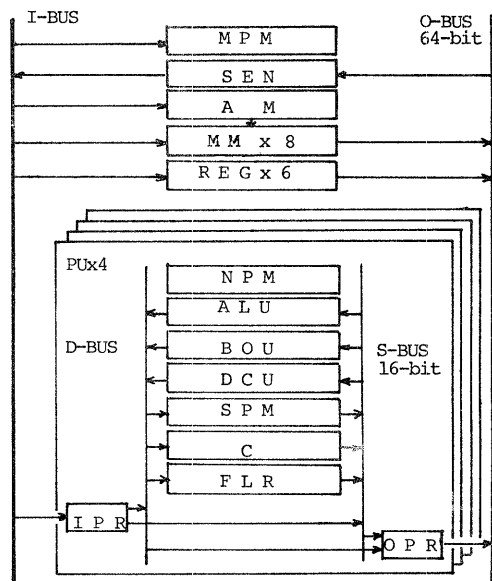


図1 MUNAPの構成

いる。MPMとNPMはともに書き換え可能であり、マイクロ命令を柔軟に定義できる。さらに、多重プロセッサ構成とすることにより、並列処理による高速化を図っている。

マイクロプログラムによって直接制御される非数値処理ユニットは、シャフル交換網(SEN)とアドレスモディファイア(AM)である。SENは、バス構成のかなめの位置にあって、シフト、鏡像交換、交換、及びブロードキャストなどの操作を行う。AMは、8、16、32、64ビット単位でのアドレッシングを可能とし、しかも、これらを各8ビット長の主記憶(MM)バンク8個にインターリーブすることにより、連続した語の並列アクセスを可能としている。さらに、2次元アクセス機能によって、8ビット×8語に2次元配列されたデータを行ごと、列ごとに同時に読み書きできる。

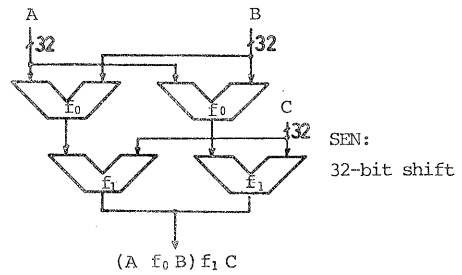
マイクロプログラムによって制御される演算ユニットは、算術論理演算ユニット(ALU)、フィールドの分割結合ユニット(DCU)、及び、ビットのセットやテストを行うビット処理ユニット(BOU)である。

この他に、汎用レジスタ(REG)、スクラッチパッドメモリ(SPM)、カウンタ(C)、フラグレジスタ(FLR)、ポートレジスタ(IPR, OPR)などが設けられている。

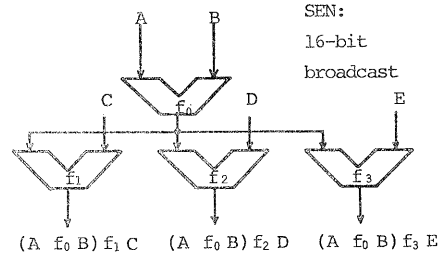
2.2 プロセッサユニット間演算の強化

MUNAPのように、処理ユニットを多重化した場合、相互に独立なデータを並列に処理する際には効率良く処理が行える反面、逐次的な処理に対しては、多重化がデータ転送のオーバーヘッドの原因となる恐れがある。これは、MUNAPと同様の多重処理ユニットを備えた計算機であるQA-1⁽²⁷⁾やDREAM-II⁽²⁸⁾でも指摘されており、QA-2では連鎖演算⁽²⁷⁾の概念を取り入れており、DREAM-IIではモジュール間連絡シフトを可能としている。

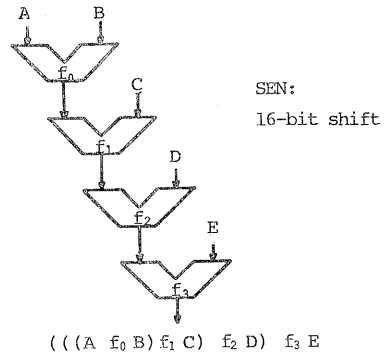
MUNAPにおいては、従来、1ステップでのPU間のデータ転送は、(i) SENを介してのPUからPUへの転送、あるいは(ii)各PU内にあるALU相互の連絡シフト、のいずれかであった。特に、(i)はSENの種々のデータ交換機能を活用して、複数PU間のデータの同時交換、あるPUのデータのブロードキャスト



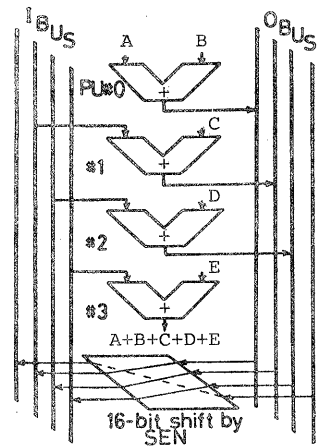
(A) 32-bit, 2-level



(B) 16-bit, 2-level, broadcast



(C) 16-bit, 4-level



(D) data flow for the operation of (C)

図2 直列演算の例

など多様なデータ転送を可能としている。しかしながら、MUNAPを種々の面から試用した結果、PU間データ転送の強化がMUNAPの応用における処理効率の向上に大きく寄与するとの見通しを備え、1ステップでのPU間の逐次演算機能の強化を図った。

実現したPU間演算の例を図2に示す。図中、(A)~(D)で、 $f_0 \sim f_3$ は4台のPUでのALU, DCU, またはBOUによる演算を表す。同時に、各例でのSENの機能を示す。(D)は、(C)に対する物理的なデータフローの様子を表している(図1参照)。各PU内のIPRポートレジスタへの入力から、PU内演算を行い、OPRに出力するまでを、4つのナノプログラムが制御し、OBUS, SEN, IBUS上のデータの流氷をマイクロプログラムが制御する。複数のPUの直列、並列の組合せは、SENの機能の選択によって行う。通常必要と思われる機能はSENに設けてあるが、新たな機能の追加はSENの制御記憶(PROM)に必要な制御ビット列を書き加えることによって容易に行える。

以上のように、機能の強化は2レベルの柔軟な制御構造とSENによるデータ並べ換え機能を最大限に活用して行っており、変更点は、図1に示すように、IPR, OPRポートレジスタをPUのS, D両バスに結合し、これを制御するマイクロオーダ2つをナノ命令のフィールドに加えただけである。

3. 非数値処理機能の評価

本章では、非数値処理に必要な基本的なデータ操作機能をいくつか選り、MUNAPと汎用機との比較を行う。比較の対象とするECLIPSE S/130(以下、ECLIPSE)は、1語56ビットの水平型マイクロ命令をもつ汎用ミニコンピュータである。又、ビット処理、バイト交換、マスクなどのデータ操作機能がハードウェア化されている。なお、性能の評

表1 非数値処理機能の評価

評価に用いた課題		実行ステップ数の比	
		MUNAP	ECLIPSE
ビット	ビットカウント	1(23)	36.3
ツ	プライオリティエンコード	1(32)	25.6
ト	ビットセット	1(36)	4.9
フィル	Churchの問題1	1(13)	4.2
ド	Churchの問題2	1(13)	3.9
テーブル	8ビットテーブルアクセス	1(87)	3.2
イル	16ビットテーブルアクセス	1(398)	4.1
可長	8ビット語長アクセス	1(2)	2.5
	32ビット語長アクセス	1(2)	3.5
	128ビット語長アクセス	1(4)	4.8
整	Batcherの整列法	1(1030)	3.4
	カウンティング法	1(1012)	3.6
探索	高速順次探索法	1(261)	3.0
	オープンハッシュ法	1(260)	3.0

(注) かつこ内は、MUNAPにおける実際のステップ数を表す。

価に当っては、MUNAPの主要課題が、計算機アーキテクチャにあることから、マイクロプログラムの実行ステップ数についての比較を行う。

以下、表1に示す結果をもとに比較を行うとともに、MUNAPのデータ操作機能がどのような局面で使用され、どの程度の効果をあげているかを明らかにする。

3.1 基本機能

(1) ビット処理

非数値データの持つ属性を表すのにタグビットが使用され、又、データそのものに対しても、1ビット単位のきめ細かなビット操作が必要な場合も多い。従って、非数値データの処理を効率良く行うためには、ビット処理は、重要な機能の1つである。

256ビットデータに対して、ビットカウント、プライオリティエンコード、ビットセットの3種類の基本的なビット操作を行った。MUNAPはECLIPSEの約1/5から1/36の実行ステップ数である。ECLIPSEと比べて、MUNAPでは、16ビットごとのビット処理が4台のPU内のBOUで並列に行えること、又、各PUごとのビットカウントの結

果が、直列演算によって1つにまとめられること、などの効果が大い。

(2) フィールド処理

フィールド処理機能の評価するため、*Chutch*の問題⁽⁴⁾を取り上げる。バイト交換や8ビットマスク生成機能を持つECLIPSEと比較しても、MUNAPの実行ステップ数は約1/4である。さらに、HP2/00計算機を使用した飯塚らの結果⁽⁵⁾と比較すると、マイクロプログラムの実行ステップ数は1/8.8~1/13.4になっている。マイクロプログラムの内容と比較すると、MUNAPではDCUフィールド操作機能とSENのデータの並べ替え機能の効果が大きいことが判る。例えば、*Chutch*の問題2では、13ステップのマイクロプログラム中、DCUの分割機能7回、結合機能9回、SENのブロードキャスト機能6回、シフト機能6回、がそれぞれ使用されている。

(3) テーブルアクセス

テーブルアクセスは非数値処理の基本的な機能である。ここでは、MUNAPにおいて実現した2次元アクセス機能の評価のため、1語8ビット、8×8のテーブルと、1語16ビット、16×16の2次元テーブルの指定された列をアクセスし、あるキーと一致した行の内容を出力するという問題を設定した。

MUNAPの実行ステップ数は1/3.2と1/4.1である。この理由は、MUNAPでは、2次元アクセスによって指定された列の要素を64ビットまで同時に読み出し、さらに4台のPUで並列に比較することができることによる。例えば、MUNAPが2ステップで行なう8ビット、8語の列ごとのアクセスを、ECLIPSEでは、43ステップ要する。又、16ビットテーブルアクセスでも判るように、MUNAPの8ビット単位の2次元アクセス機能は、倍長語のテーブルアクセスでも有効に使用できる。

(4) 可変語長アクセス

可変語長アクセス機能の評価のために、論理レコードの長さを8~128ビットに変化させて、アクセスに要する実行ステップ数の検討を行った。

MUNAPの実行ステップ数は1/2.5から1/4.8である。MUNAPでは、64ビットまでの物理アドレスAの変換がAMによってハ

ードウェアで行われ、8バンクのMMから64ビットが同時に読み出されて、SENによって指定されたアドレスの内容が左端となるように調整される⁽¹⁾。他方、ECLIPSEでは、16ビットを基本語長とするため短い語長ではアドレス変換とともにデータの抽出が必要となり、長い語長ではアクセスの回数が多くなる。

3.2 整列

整列は非数値処理における典型的な処理機能であり、数多くの方法があるが、その中からBatcherの整列法とカウンティング法⁽⁶⁾を選んで検討する。取扱う課題は、32個のデータを昇順に整列するものである。

Batcherの整列法による場合、MUNAPの実行ステップ数は1/3.4である。すなわち、MUNAPで4台のPUに比較の対象とするデータを同時にMMから転送し、各PUで独立に比較と交換が行えるのに対し、ECLIPSEでは、これらすべて逐次約に行うことによる。同様に、カウンティング法でも4台のPUのマイクロプログラムで並列に比較が行えるため、ステップ数は1/3.6である。

3.3 探索

探索は、整列と並んで非数値処理の重要な処理機能であり、種々の方法があるが、ここでは高速逐次探索法とハッシュ法を選んで検討する⁽⁶⁾。

高速逐次探索法は、テーブルの最後にキーを書込んでから逐次探索を行うもので、表1に示すようにMUNAPの実行ステップ数は1/3.0という結果を得た。MUNAPでは、SENを用いてキーをあらかじめ4台のPUにブロードキャストしておくことにより、4つのデータとキーの比較が並列に行える。又、どのPUで探索が成功したかは、各PUに対するテスト成立フラグをPU0からPU3の方向ハプライオリティエンコードした値によって機能分岐する機能⁽¹⁾によって、1ステップで決定して分岐することができる。

ハッシュ法は、データベース処理などと関連して注目されているアルゴリズムの1つである。その中で最も基本的なオープンハッシュ法を選び比較を行った。

MUNAPの実行ステップ数は1/3.0であ

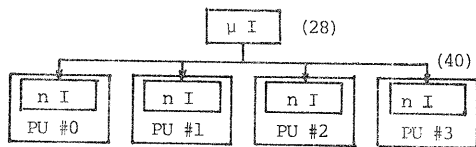
る。その理由として、(i) MUNAPでは、SEVやDCUによってハッシュ関数計算のためのキーの折混合や折返しを1/3のステップ数で行えること、さらに、(ii) ハッシュアドレスからの探索が4台のPUで並列に実行できること、などがあげられる。

4 構成の評価

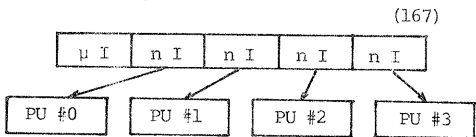
前章の結果に見られるように、MUNAPは全体として種々の問題に対する適応性と高速処理性を有している。非数値処理ユニットの効果や、PU間の並列処理の効果については、前章各節で明らかにしてきたが、ここでは、その基本的なアーキテクチャである2レベルマイクロプログラムによる多重PUの制御方式、及び、非数値処理用ハードウェアの構成などについて種々の方式と対比しつつ検討を加える。

4.1 基本構成の評価

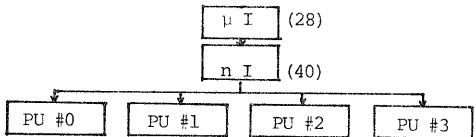
(1) 計算機モデル



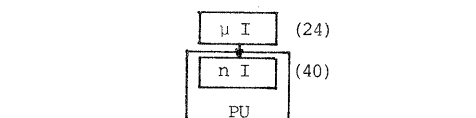
(A) Two-level, multi-PU.



(B) One-level, multi-PU.



(C) Common nanoprogram memory.



(D) Uni-processor.

(): bit length

図3 計算機構成のモデル

MUNAPの構成における特徴である2レベルマイクロプログラムによる多重プロセッサの制御方式を評価するために、図3に示すような各種の机上モデルを考え、実行ステップ数、制御記憶所要量、PU使用率などについて実験的な検討を行った。

構成(A)はMUNAPの場合である。28ビットのマイクロ命令(μI)が、4台のPUの40ビットのナノ命令(nI)を指定して起動する。

構成(B)は、MUNAPの制御記憶を1レベル化したうえで、PU指定フィールド等、不要な部分を除いたもので、ビット長は167である。

構成(C)は、4台のPUに対するNPMを共通にしたものである。この場合、ナノアドレスの指定は1つのNPMに対して行われるが、どのPUを起動するかは4台のPUに並列に送る必要がある。構成(D)は、PUを1台にしたものである。なお、(A)から(B)、(C)、(D)の机上モデルの作成に当っては、マイクロレベルユニット、及び、各PUのハードウェアは比較のための必要最小限の変更にとどめた。

上記4種類の構成に対して、3章で述べた課題の中から代表的なものを選り、マイクロプログラムを記述して比較検討した結果を表2に示す。表中、制御記憶の所要量は(μIビット長)×μI数+(nIビット長)×nI数で算出している。PU使用率は、各ステップで使用されるPU数の全実行ステップにわたる総和を全実行ステップ数で割ったものである。

(2) 2レベルマイクロプログラム制御方式

構成(A)と(B)を比較する。機能的には同じであるから、ステップ数及びPU使用率は同一である。制御記憶の所要量については、(B)の方が1.1~2.0倍になっている。この理由として(A)では

(a) 1つのμIの起動により、複数ステップのnIが連続して動作できる。

(b) 複数のμIで共通のnIを使用できる。

(c) nIを起動しないμI(例えば、分岐のみμIなど)では、nIが節約できる。

などがあげられる。例えば、3.2のBatcherの整列法では、(a)に関して、起動された1プログラムノリ平均nI数は1.4、(b)については、共用されたnIの全体のnI数に對

表2 計算機構成とマイクロプログラムのステップ数,制御記憶(CM)所容量の比,及び,プロセッサユニット使用率の関係

課題	評価項目\構成	A	B	C	D
ビット処理 ビットカウント	ステップ数の比	1 (23)	1.0	1.3	3.6
	CM所容量の比	1 (1048)	1.3	1.0	0.4
	PU使用率	2.8	2.8	2.3	1.0
フィールド処理 Churchの問題2	ステップ数の比	1 (13)	1.0	2.6	2.8
	CM所容量の比	1 (1976)	1.1	1.3	1.0
	PU使用率	3.2	3.2	1.2	1.0
整列 Batcherの整列法	ステップ数の比	1 (1030)	1.0	1.5	3.2
	CM所容量の比	1 (3244)	1.9	0.7	0.6
	PU使用率	2.1	2.1	1.1	1.0
探索 高速順次探索法	ステップ数の比	1 (261)	1.0	1.3	3.9
	CM所容量の比	1 (1336)	2.0	0.7	0.6
	PU使用率	3.0	3.0	2.5	1.0

(注) A欄のかつこ内はMUNAPでの実際のステップ数とCM所容量を表す。

する割合が23%, (C)に関しては, μI を起動しない μI の全体の μI に対する割合が8%であった。さらに, マイクロプログラムの記述について, 構成(A)では, PU内での1つのまとまった動作をナノプログラムとしてモジュール化して記述できる利点があり, 又, 使用頻度の高いナノプログラムの集合を用意しておくことにより, 通常の処理はマイクロプログラムレベルだけの記述で行える可能性もある。

次に, MUNAPにおいてナノプログラムを各PUに分散した効果を検討するため, (A)と(C)とを比較する。(C)の場合, 実行ステップ数は, 1.3~2.6倍となり, (A)におけるナノプログラム分散の効果が認められる。問題ごとにみても, 均質性の高いデータを対象とするビット処理の問題などでは1.3倍であるのに対し, Churchの問題のように不均質なデータを取扱う場合には, 2.6倍と大きくなっている。又, PU使用率についても同様の傾向が認められ, (A)のPU使用率に対する(C)のそれは, ビット処理では0.9であるが, Churchの問題では0.4に下ってしまう。このように, 不均質なデータを取扱う場合には, (C)のようなナノプログラムレベルのSIMD構成では, 効率向上が期待できない。さらに, 制御記憶の所容量は, (A)と比べて, 0.7~1.3倍である。この

ようにMPMを1個に限定しても, ステップ数の増加のために全体の制御記憶所容量が増加する場合があることは, 注意を要する。

(3) 多重プロセッサ構成

多重プロセッサ構成の効果を検討するために, 構成(A)と(D)との比較を行う。表2にみるように, (A)に対する(D)の実行ステップ数は, 2.8~3.9倍となる。一方, 制御記憶の所容量は(A)に対して0.4~1.0倍と少ない。又, 全体のハードウェア量についてもPU, AM, MMについては, 約1/4が良い。

一般に, 多重プロセッサによる高速化の要因としては, (i) データが均質で並列処理が可能, (ii) データが不均質でも, データの依存関係など一定の規範のもとに並列化が可能, の2つが考えられる。(i)はSIMDに, そして(ii)はMIMDにおける高速化の要因である。MUNAPの場合, 多重ナノプログラムによるMIMD構成により, (i)の並列処理はもとより, (ii)の並列処理も各PUで独立の μI を使用することによって実現できる。例えば, Batcherの整列法では, (i)による並列処理(即ち, 複数の μI が同じ動作を指定する場合)のステップ数が, 静的には32%, 動的には72%であり, (ii)による並列処理のステップ数は静的には18%動的には19%である。又, Churchの問題2

ST-NO.	SOURCE STATEMENT	
1	MICRO MAIN BITCOUNT (100);	/* BIT COUNT MICROPROGRAM */
2	EXT NEXT (2);	/* DECLARE EXTERNAL SYMBOL NEXT */
3	*,	/* ACTIVATE NANOPROGRAMS */
4	RF(2) := 0;	/* CLEAR BIT COUNTER */
5	CX0 := 0;	/* CLEAR COUNTER CX0 */
6	L1: AM MODE M8 (X,H) PU(3-0);	/* SET MM ADDRESS WITH SUM OF
7	OPR0 := RF0(1) <+> CX0;	RF0(1) AND CX0 */
8	SPM(10) := MM;	/* READ DATA INTO SCRATCHPAD */
9	RF(3) := <BCT,1> SPM(10);	/* COUNT ONES IN SPM(10)'S */
10	RF(2) := RF(2) <+> RF(3) CX0+1;	/* COMPUTE PARTIAL SUM */
11	*IF CX0 MOD4 <> 0 THEN GOTO L1;	/* TEST COUNTER */
12	IPR := <SRL16> OPR;	/* ADD RF0(2) -RF3(2) AND SET
13	OPR0 := RF0(2);	RF3(4) BY SERIAL PU
14	OPR1 := RF1(2) <+> IPR1;	OPERATION */
15	OPR2 := RF2(2) <+> IPR2;	
16	RF3(4) := RF3(2) <+> IPR3;	
17	GOTO NEXT;	
18	END;	

図4 ビットカウントマイクロプログラムの記述例

では、(i) による並列化の行われているステップ数(静的と動的は一致)が15%であり、(ii) によるものが85%であった。

多重PUの数については、増加するほど当然並列化の可能性は増す。しかしながら、実際問題として8台以上の独立に動作するPUのナノプログラムをマモシサイクルごとに記述することは実用的でない。又、逐次制御方式を用いた場合、7~8台以上の並列化はあまり効果がないとの指摘もあり⁽¹³⁾、MUNAPにおいて採用した4台の構成は妥当なものと考えらる。

4.2 非数値処理用ハードウェアの構成

一般に、高速化を目的に機能のハードウェア化を行うと柔軟性を失い専用化を招く。従ってMUNAPのように広範な非数値処理の問題領域への応用を目的とする場合には、ソフトウェア/ファームウェア/ハードウェアのトレードオフについて十分な検討が必要である。このような観点から、以下、MUNAPにおける非数値処理用ハードウェアの構成を評価する。

(1) マイクロレベル非数値処理ユニットの構成
MM, AM及びSENの構成について検討する。

MUNAPのMMは、8ビット、8バンクに

より構成されている。全体の64ビットは、4台の16ビットPUと並列にデータをやりとりできるビット長であり、これを全体が16ビットや32ビットの構成とした場合には、明らかにPUの並列動作が全かせなくなる。又、各バンクの語長8ビットは、AMによる2次元アクセスあるいはインターリーブの最小単位となっているが、これをSENの4ビット単位の並べ替え機能と組み合わせることにより、PUには4ビット単位の並べ替えを行ったデータを供給できる。従って、3章で述べたように、機能的には十分である。

AMの機能としては、特に、2次元アクセスがテーブルアクセスに有効であった。もし、AMに2次元アクセス機能がなかった場合には、3.1(3)で、8ビットテーブルの場合で2.3倍、16ビットテーブルの場合で3.0倍のステップ数を要する。

SENにおいて並べ替えを行うための単位セルの個数は、入力データ数を n とするとき $n \log_2 n$ となる。MUNAPでは、4ビット単位で16のデータを入力とするためセル数は64個となる。これを2ビット単位とすると、セル数は160個と急激に増加し、その制御ビットも2.5倍になる。一方、8ビット単位とし

表3 MUNAPデバッグの機能

機 能	内 容		コ マ ン ド
初期化	デバッグ用 μ ・ n プログラムのロード MUNAPの初期化		IZP GRS
μ ・ n プログラムの起動と停止	実行開始	μ プログラム n プログラム	EXC EXCN
	停止	μ ・ n プログラム	STP
	プロセスユニットの指定	EXCNコマンド、及び、サブユニットの読み書きコマンドの対象となるPU番号を指定	SPU
実行状態の指定	ノーマルラン ステップラン ステップラン継続	SNR SRN C	
指定ユニット(MPM, NPM, MM)のディスク過剰及び復帰	退避 復帰	SAV OLD	
処理状態の表示	マイクロ・ナノフラグ(MNFL), 及び停止フラグの読み出し	HLC	
サブユニットの内容の表示と変更	読み出し 書き込み	R<サブユニット名> W<サブユニット名>	

た場合には、各PU内での1ビット単位のデータ操作機能とのギャップが大きくなる。以上の諸点から、MUNAPの4ビット単位の並べ替え機能は妥当なものと考ええる。さらに、各セルの機能についてみると、MUNAPのセルは交換だけでなくブロードキャストの機能を持つのが特徴であるが、この機能は、同一データに対して4台のPUで異なる処理を行う場合に、有効に使用されている。例えば、Churchの問題2のマイクロプログラムで、ブロードキャスト機能を他のシフト等の機能で実現すると、1.5倍のステップ数を要する。

(2) ナノレベル非数値処理ユニットの構成

MUNAPの各PUでは、DCUとBOUによって1ビット単位のデータ操作が行える。さらに、これらは4台のPUで並列に動作でき、前述の応用例でも効果的に使用されている。例えば、MUNAPのPUからDCUとBOUを除くと、Churchの問題2で3.3倍、ビットカウントで3.8倍のステップ数を要する。

DCU, BOUは、いずれもSSI, MSI IC 50個程度で構成されており、小規模のハードウェアの援助で、ファームウェアレベルにおいて大幅な効率の改善が行われることを実証している。

5. 2レベルマイクロプログラムの作成

MUNAPは、ユーザマイクロプログラミングを前提としており、MPMとNPMはともに音読可能である。従って、MUNAPの柔軟性を十分に生かすためには、マイクロプログラムとナノプログラムを問題向きに自由に組合せて記述できることが望ましい。

筆者等は、このためのレジスタ転送レベルの記述言語を設計し、その処理系(PL/I約4300文)を試作した。図4に、ビットカウントマイクロプログラムの記述例を示す。原則としてナノプログラムは字下げを行うが、マイクロ命令とナノ命令が協調して1つの仕事をを行う場合(例えばST-NO.8など)には、全体を1つの文で記述することができる。また、ST-NO.12~16は、図2(C)に示した直列環等の1例である。

さらに、実行に当たっては、MUNAPのコンソールプロセッサであるECLIPSE S/130上に開発したデバッグを用いることができる。表3に示すように、デバッグはマイクロプログラムとナノプログラムのロード、ステップラン、及び各ユニットの内容のECLIPSE CRTへの表示、などの機能を有している。

デバッグの実現に当っては、ECLIPSE上のソフトウェアとMUNAPのファームウェアを活用することにより、デバッグのためのハードウェアは必要最小限のものに留めた。

次に、MUNAPの機能で、特に2レベルのマイクロプログラムの作成を容易にするために効果があった機能を列挙する。

- (i) 4台のPUにおけるナノプログラムのテスト結果に基づム方向分岐 (PU#0~#3でのテスト成立の4通りとテスト不成立に対応)
 - (ii) PU内のレジスタなどの値に基づム、マイクロプログラムでの機能分岐
 - (iii) PU内のカウンタスタックと、マイクロアドレススタックの組合せによるマイクロプログラムサブルーチンの構成
- (i)と(ii)は多量なプログラムでの実行結果を1ステップでマイクロプログラムレベルでの分岐に反映できるという特長がある。又、高水準の非数値処理機能がハードウェアで用意されている点も、マイクロプログラムの作成を容易にする大きな要因であった。

6. 応用分野の検討

MUNAPは、上述のように基本的な非数値処理機能において、汎用マイクロプログラム制御計算機に比し、実行ステップ数において3倍から36倍の高い処理性を有し、種々の問題領域に効率良く応用できるものと考えられる。各

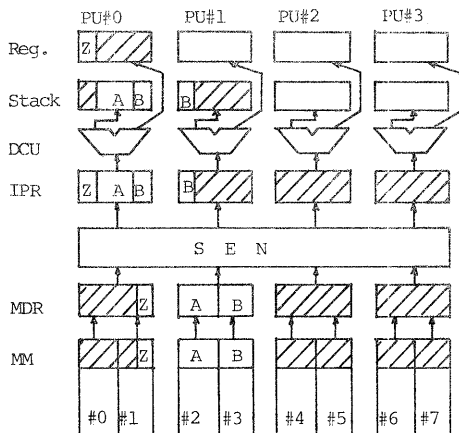
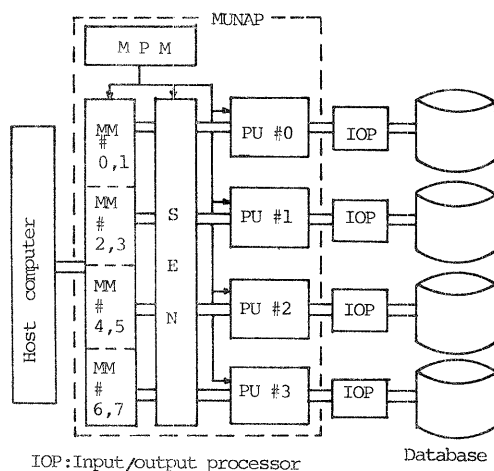


図5 フィールドの抽出操作



IOP: Input/output processor

Database memory

図6 MUNAPデータベースマシンの構成例

領域での詳細な評価は、インプリメンテーションの結果を待たねばならないが、ここでは特に、非数値処理を中心とした問題領域として、記号処理言語指向計算機とデータベースマシンを選ばMUNAPの応用について検討した結果を要約する。

(1) 記号処理言語指向型計算機

ここで検討する低水準の記号処理言語L⁶は、LISPの2進木リストなどに比べて、柔軟なデータ構造を持ち、又、種々の高水準言語に共通な基本的なデータ操作機能を有している、などの特徴があるため、MUNAPの非数値処理機能を検討するのに適した言語と考えられる。

既に、L⁶については処理系の試作も行われているが、これらの試作を通じて、特に、(i)データブロックからのフィールドの抽出と埋込み、及び、(ii)記憶割付け⁽⁷⁾に対するブロックの獲得や返還、を効率良く実現することが、処理の高速化に大きな影響を与えることが指摘されている^{(7),(8),(9)}。

(i)については、3.1(2)から、MUNAPのフィールド処理能力は汎用マイクロプログラム制御小型計算機の約4倍と考えられ、高速化が期待できる。図5にMUNAPにおけるフィールド抽出の具体的な手順を示す。MMから64ビットを並列に読み出し、SENによって4ビット単位の並べ替えを行い、DCUによって分割して、一方をDCUスタックに積む。以上を、マイクロ命令とナノ命令の制御によって2マシン

ンサイクルで行う。理込みは、DCUで結合を行った後、矢印を逆に辿って行う。(ii)については、Lは2ビットでのブロックを対象としており、各ブロックの先頭には分割の状態を表すタグビットが付けられる。従って、3/(4)に示したAMによる8~64ビット/語の論理アドレス機能、及び、3.1(1)に示したBOLのビット処理機能による高速化が行える。

(2) データベースマシン

データベースマシンは汎用計算機で隘路となる非数値処理機能を専用機に分担させたものであり、MUNAPの有力な応用分野の一つである。データベースマシンの要件としては、ハッキングを用いた内容によるレコードの効率的なアクセス、整列を用いたキーの大小順による効率的なアクセス、レコードへの挿入、削除、修正、などが指摘されている^{(10),(11)}。

MUNAPは、3.2、3.3で述べたように、汎用マイクロプログラム制御計算機の1/3.0~1/3.6倍の実行ステップ数で整列や探索を行える。又、レコードに対する操作は、AM、SENや各PUごとのDCU、BOLのデータ操作機能を利用して効率良く行うことができる。具体的な構成の一つとして、図6に示すように2次記憶を4台のPUに結合した場合について考察する。この場合、各PUごとに2次記憶と対になっての独立した処理が行える点が特徴である。これを、代表的な多重プロセッサ構成のデータベースマシンRAP. 2⁽¹²⁾と対比した結果を表4に示す。この表から見られるようにMUNAPの場合、(i)コントローラとセル(MUNAPではPUに相当)が密結合、(ii)コマンド解釈のオーバーヘッドが小、などが特徴である。

7. おわりに

非数値データ処理の効率向上を目指して試作したMUNAPの性能を評価するため、非数値処理の基本的な課題を選定し、MUNAPと汎用機上でマイクロプログラムを作成し、処理効

表4 MUNAPとRAP. 2の構成の比較

項目 \ 機種	MUNAP	RAP. 2 ⁽¹²⁾
コントローラ	マイクロプログラム制御部	PDP 11/10
セルの制御	12ビットナノアドレスの指定と起動	8ビット制御コマンドをブロードキャスト
セルでのデコード	デコードせずに、直接ナノプログラムの実行に移る	デコーダ (cell interface) による
セルの規模	422 IC (212 SSI, 149 MSI, 6 LSI)	412 IC (218 SSI, 117 MSI, 77 LSI)
セルの処理速度	550 ns / 16ビット	1 μs / ビット

率の比較を行った。その結果、実行ステップ数において、汎用機の3~3.6倍程度の処理性を有することを示した。又、ハードウェア構成についても、2レベルマイクロプログラムによる多重プロセッサ制御方式の優れていること、及び非数値処理用ハードウェアの構成の妥当性を示した。

現在、MUNAPを中心に、6でも述べた記号処理、データベース処理を含めた各種の応用研究が進行中であり、今後は、さらに広範な分野での実験と評価を行っていく予定である。

謝辞

貴重な御意見を頂いた東芝総合研究所 小柳滋氏、日立研究所 坂東忠秋氏、並びに本学情報工学科 山崎勝弘助手に感謝する。

文献

- (1) Baba, T. et al.: "MUNAP—a two-level microprogrammed multiprocessor architecture for nonnumeric processing", Proc. IFIP Congress 80, pp. 169-174 (1980).
- (2) Shibayama, K. et al.: "Performance evaluation and improvement of a dynamically microprogrammable computer with low-level parallelism", *ibid*, pp. 181-186 (1980).
- (3) Myers, G.J.: "Advances in computer architecture", John Wiley & Sons (1978).

- (4) Church, C.C.: "Computer instruction repertoire—time for change", Proc. SJCC., PP. 343-349 (1970).
- (5) 飯塚, 古谷: "マイクロプロセッサアーキテクチャの一般論", 信学論(D), J59-D, 3, PP. 188-195, (8851-3).
- (6) Knuth, D.E.: "The art of computer programming Vol. 3 Sorting and searching", Addison-Wesley Publishing Co. (1973).
- (7) Knowlton, K.C.: "A programmer's description of L⁶", Communications of ACM 9, 3 PP. 616-625 (1966).
- (8) 柴山, 富田, 萩原: "QA-1のファームウェアによる低レベル・リストプロセッサ", 信学技報, EC-78-27, (1978-10).
- (9) Knowlton, K.C.: "A fast storage allocator", Communications of ACM, 8, 10, PP. 623-625 (1965).
- (10) 関野, 植村: "データベース・マシン", 情報処理, 17, 10, PP. 940-946 (昭51-10).
- (11) 前川: "ファイル・プロセッサとデータベース・マシン", 情報処理, 18, 4, PP. 357-367 (昭52-04).
- (12) Schuster, S.A. et al.: "RAP. 2 - Associative processor for databases and its applications", IEEE Trans. Comput. C-28, 6, PP. 446-458 (1979).
- (13) 元岡: "総論—コンピュータシステムのあり方", 信学誌, 62, 11, P. 1204-1207 (昭54-11).
- (14) 後藤, 他: "多重モジュール構成連想プロセッサ DREAM-IIのハードウェア", 信学技報, EC-80-14 (1980-1).