

3次元色彩図形表示プロセッサのハードウェア構成

今井 慈郎(諫問電波高専)、村上 昌義(日本電子科学(株))、福西 孝、
 大谷 浩司、新實 治男、富田 眞治、萩原 宏(京都大学工学部)

[1] はじめに

3次元図形表示を実時間で行う場合には、座標変換処理のみならず3次元図形表示特有の隠れ面消去処理(Hidden-Surface Elimination, HSEと略記)、スムーズ・シェイディング(Smooth Shading, S.S.と略記)及び境界線平滑化処理(Anti-Jagging, A.J.と略記)等を含む表示処理の高速化が必須条件となる。

そこで、我々が現在開発中である、3次元色彩図形をラスタスキャン型ディスプレイ画面上に実時間表示することを目標としたマルチプロセッサ・システム: EXPERTS^[1]は、2種類のプロセッサ・エレメントを階層的に複数台配置するシステム構成を採用するとともに、スキャンライン・アルゴリズム(Scan-line Algorithm, SLAと略記)に基づくHSEを2段階に分割し、各々を別々のプロセッサ・エレメントで実行させ、同時に各処理段階での並列処理を可能にしている。^{[2][3]}

本稿では、EXPERTS^[1]において、表示処理の高速化を目的に導入した並列処理とパイプライン処理、及びその処理効果を最大限に発揮させるための種々の機能を支援するハードウェア構成について述べる。

[2] EXPERTS^[1]の設計目標とシステム構成

EXPERTS^[1]のシステム構成は、以下の点に留意して決定した。

- (1) 表示処理を多角的に解析し、最適アルゴリズムを決定する。
 - (2) 高速化を実現するため、並列処理あるいはパイプライン処理を効果的に導入できるアーキテクチャを構築する。
 - (3) 決定したアルゴリズムに基づく表示処理の細部を分析することにより、効率の良いマイクロ命令を構成し、表示処理全体の短縮化を図る。
 - (4) 表示処理内部において、特殊なかつ多大な処理時間を要する部分を抽出し、ハードウェア化する。
 - (5) 並列処理あるいはパイプライン処理の効果と最大限に発揮させる方法を検討し、それを実現する機能を装備する。
 - (6) 問題や環境に応じて規模が選択できる、拡張性のあるシステムにする。
- (1),(2)を考慮して、表示処理の中核をなす隠れ面消去アルゴリズムには数々の利点を持つSLA^[4]を採用した。一方、SLAに基づく表示処理は次の2段階に明確に分割できる。即ち、
- (a) 多角形モデルで表現した表示図形を座標変換処理して作成した多角形リスト(Polygon List, PLと略記)から、1本のスキャンラインと交差する多角形の台形状の断面のリスト(Active Segment List, ASLと略記)を作成する処理、及び1本のスキャンラインに関するASLから次のスキャンラインに関するASLを作り直す更新処理
 - (b) ASLを基に可視セグメント(visible segment)を判定し、付影処理、多角形モデルで曲面を描出するため輝度補間を行うS.S.あるいはラスタスキャン型ディスプレイ特有の階段状のギザギザ(jag)を抑制するA.J.等の処理を施して画素データを決定する処理

ここで注目すべきは、(a)と(b)との処理内容及び性質が大きく異なる点と、処理の流れがASLを遺取りしながらの、(a)から(b)への一方向である点である。これより、次の二つの結論を得る。

- (a)と(b)を同一のプロセッサで実行させるよりも、各々の処理内容に適応させた2種類のプロセッサ・エレメントで実行させる方が処理効率が高い。
- (a)と(b)との2段階の処理を重ね合わせて並列に実行することにより、パイプライン処理効果が期待できる。

ところが、(b)には多くの複雑な処理が含まれ、決定した画素データを格納する際の記憶アクセスも多い。一方、(a)は一度ASLを作成した後、スキャンラインを順次進める毎に生じる変化(交差する多角形の進入、退出)にのみ着目して新しいスキャンラインに関するASLを作り直す、比較的簡単な更新処理の繰返しとなる。従って、(a)の処理時間と比較して(b)の処理時間は、表示内容にも依るものの、数倍から十数倍も多い。そのため、(a)と(b)との処理をうまく重ね合わせることができれば、パイプライン処理効果を十分に活かすことはできる。

そこで、(a)を実行するプロセッサ・エレメント: SLP(後述)1台に対して、(b)を実行するプロセッサ・エレメント: PXP(後述)を複数台配置し、並列処理の導入による(b)の処理時間の短縮化を図り、パイプライン処理効果を高める。これがPXPレベルの並列処理であり、SLP1台とPXP複数台から構成されるシステムをSLPシステムと呼ぶ。

次に、表示画面をスキャンライン方向に分割し、複数のスキャンライン群からなる分割された画面を対象とする表示処理をそれぞれ別々のSLPシステムに割り当てる。これが画面分割に基づく、SLPレベルの並列処理である。

以上、EXPERTSでは、2種類のプロセッサ・エレメント: SLP及びPXPを階層的に配置することにより、パイプライン処理と2レベルの並列処理とを効果的に融合させ、表示処理の高速化を図っている。EXPERTSのシステム構成を図1に示す。

Hostは多角形モデルで表現された表示図形を座標変換処理してPLを作成し、DMM/sを仲介としてEXPERTSの上位プロセッサ・エレメントであるSLPに転送、ブロードキャスト「broadcast」する。同様に、SLPもDMM/pを介して、スキャンライン単位の表示処理に必要な情報であるASLを下位プロセッサ・エレメントであるPXPにブロードキャストする。図1のDMM/sとDMM/p、

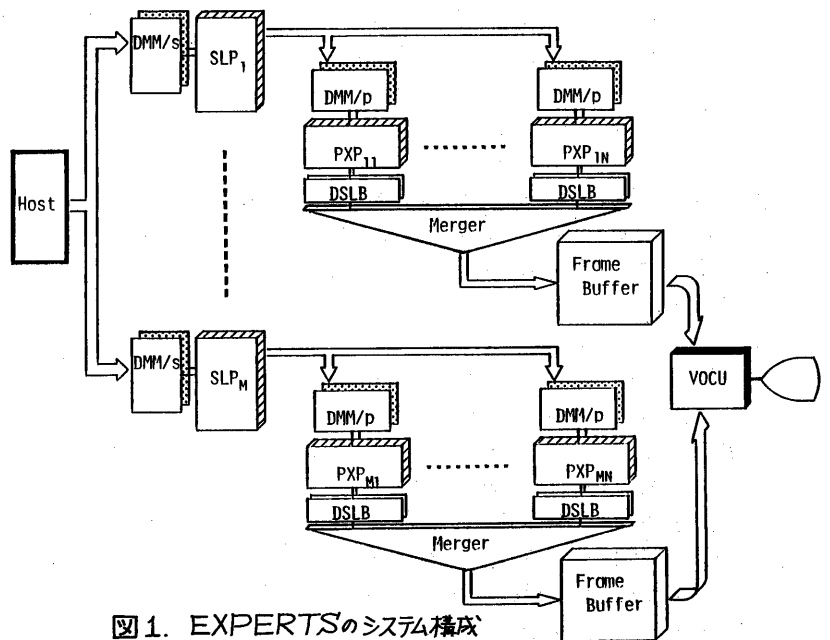


図1. EXPERTSのシステム構成

Merger, Frame Buffer (FB), 及びVOCU等の各ハードウェアについては、その構成及び詳細な機能を以下の章で述べる。

[3] SLP (Scan-line Processor) のハードウェア構成とその処理

表示画面全体の図形情報であるPLから1スキャンライン分の表示処理に必要となるASLを作成するとともに、各PXPにブロードキャスト(ASL初期処理)し、このASLを用いて次のスキャンラインに関する新しいASLを作り、再びブロードキャスト(ASL更新処理)する処理を繰返すのが、SLPの担当する処理である。

ASL初期処理において、比較的簡単な繰返し計算でASL更新処理を順次進めていくため、いくつかの増分値を数値微分の形で求める必要がある。例えば、表示する三角形ABCの各頂点の座標及び輝度(intensity)の情報をA(xA, yA, zA, iA), B(xB, yB, zB, iB)及びC(xC, yC, zC, iC)とすると、スキャンライン(x軸)方向の深さzの増分値: dz/dx 及び輝度iの増分値: di/dxは、各々式(3-1), (3-2)で計算される。

$$\frac{dz}{dx} = \frac{(y_B - y_C)(z_A - z_C) - (y_A - y_C)(z_B - z_C)}{(y_B - y_C)(x_A - x_C) - (y_A - y_C)(x_B - x_C)} \quad (3-1)$$

$$\frac{di}{dx} = \frac{(y_B - y_C)(i_A - i_C) - (y_A - y_C)(i_B - i_C)}{(y_B - y_C)(x_A - x_C) - (y_A - y_C)(x_B - x_C)} \quad (3-2)$$

従って、頻出する乗除算を高速に実行できる機能が不可欠となる。

また、ASLは座標情報、色情報、増分値及びポインタ等を含むデータ・ブロックからなるリスト構造であるため、ポインタ操作やブロック転送等の効率の良い記憶アクセスが必要となる。

これらの要求を実現するため、SLPは図2のようなハードウェア構成を採る。演算部(Functional Unit, FUと略記)は、

- ALUをビットスライス・マイクロプロセッサ(1語16ビット)で構成。
- 16ビット×16ビットのLSI乗算器の採用。
- 除算のための逆数表(16ビット×4K語)の装備。
- 乗除算の精度を確保するため浮動小数点演算を導入、固定小数点と浮動小数点との変換器を配置。
- 単精度・倍精度固定小数点及び浮動小数点データを格納する豊富なレジスタ・ファイル群。

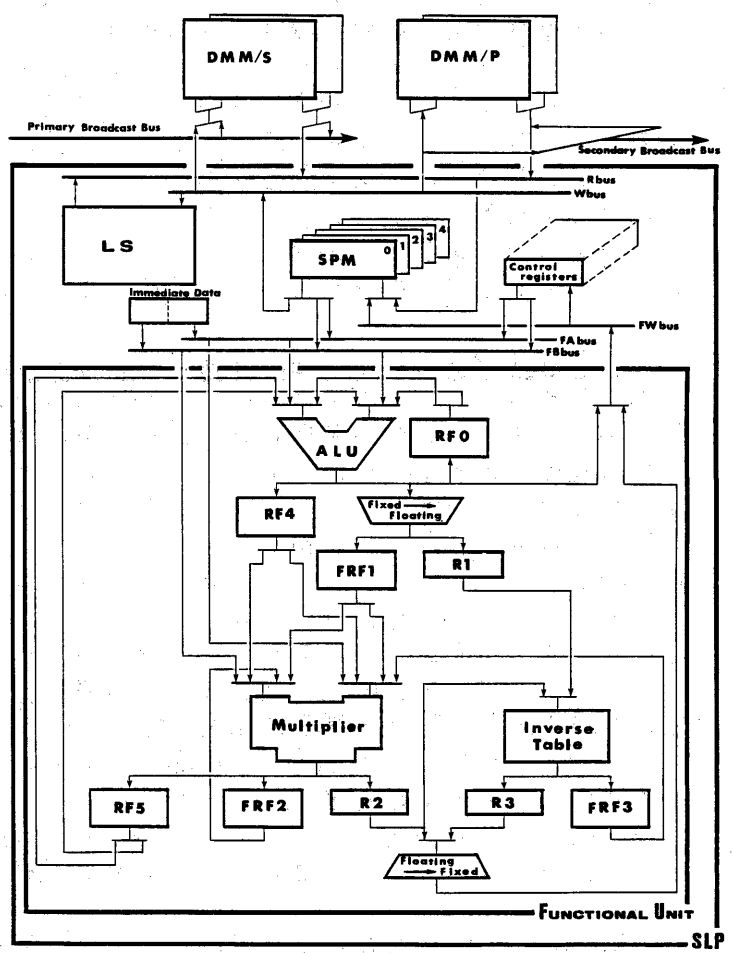


図2. SLPのハードウェア構成

らなどからなっている。一方、LS, DMM/S及びDMM/P等の大容量メモリ(64K語×16ビット)とFJとの動作速度の違いを緩和し、効率の良い記憶アクセスを実現させるキャッシュ・メモリとしての役割を果たすSPM(Scratch Pad Memory)には以下の特徴がある。

- FJのオペランドとして用いられるとともに、大容量メモリとのデータ転送の際、ブロック単位の転送が可能である。
- 独立に動作可能な5つのバンク(1バンク32語)からなる。
- 各バンクの先頭番地は特殊なアドレス・レジスタであり、大容量メモリへのアクセス時には直接MARとして機能するので、リスト探索を高速に実行できる。
- 2ポート出力が可能なる構成を採り、同一バンク内の異なる番地のデータを同時にFJが読出す際のアクセス競合を解消している。
- ブロック転送中のバンクをFJがオペランドとして指定すると、転送が終了するまでFJの動作が凍結する。

以上のハードウェア・ファシリティを効果的に機能させるため、SLPは次の3形式の水平型マイクロ命令(最長は101ビット)により制御している。

- (I) FJ内のALUと乗算器、逆数表を並列に動作させる命令。
- (II) ALUと大容量メモリへのアクセスを並列に動作させる命令。
- (III) ALUと順序制御を並列に動作させる命令。

加えて、これらを用いたマイクロプログラムの効率を上げるため、

- レジデュアル(residual)制御のための機能レジスタ。
- 大容量メモリへのアクセス時にMARとして機能するアドレス・レジスタ。
- ホスト計算機やPXPとの通信を制御するレジスタ。
- 割込みを制御するレジスタ。

の4群からなる制御レジスタを装備している。また、上述したSPM及び制御レジスタは、次に述べるPXPにおいても同様の機能を有している。

[4] PXP(Pixel Processor)のハードウェア構成とその処理

ASLを受取って、1本のスキャンライン上の画素データを決定するPXPでは、

- (i) 1本のスキャンライン全域に亘る情報であるASLから、各PXPに割り当てられた担当範囲に必要な情報のみを抽出するクリッピング(clipping)処理。
- (ii) クリッピング処理されたASLから、データ・ブロックを読み出し、比較演算等を行って可視セグメントを判定。
- (iii) 可視セグメントに対応するデータ・ブロック内の色情報より画素データを決定。
- (iv) 画素データの決定時におけるS.S.あるいはA.J.等の処理。

などの処理を効率良く実行するため、図3のようなハードウェア構成を採る。

(i)のクリッピング処理には次のような計算が必要である。即ち、セグメントの左端(境界値)の座標、輝度情報を (x_L, z_L, i_L) 、増分値を $dz/dx, di/dx$ とすると、あるPXPの担当範囲の最左端の x 座標が x_S ($x_L < x_S$)であれば、そのセグメントの z 座標、輝度の初期値 z_S, i_S は、各々式(4-1), (4-2)で計算される。

$$z_S = z_L + (x_S - x_L) \cdot dz/dx \quad (4-1), \quad i_S = i_L + (x_S - x_L) \cdot di/dx \quad (4-2)$$

従って、PXPのFJには乗算器及び桁移動を調整するバレル・シフタを装備している。

また、(ii), (iii)の処理を高速に実行するため、SLPと同様のSPM(4バンク構成)

を有する。

一方、S.S.あるいはA.J.は画素データを決定するための最終段階の処理であり、処理時間を要する繰返し計算も多い。そこで、処理時間の短縮と他の処理との並列実行を目指して、各々をS.S. SpecialあるいはA.J. Specialと呼び専用のハードウェアを実現している。

S.S. Specialでは、ある画素（X座標が X_n ）の輝度 i_n と増分値 di/dx より、その右隣の画素（X座標が X_{n+1} ）の輝度 i_{n+1} を、ALUとは独立に、式(4-3)

$$i_{n+1} = i_n + di/dx \quad (4-3)$$

で求めることができる。

また、A.J. Specialでは、2つの可視セグメントの境界における画素の色情報 C （赤緑青及び輝度の4つの値からなるベクトル）を、その左右の可視セグメントの端点の色情報である C_L 、 C_R 及び混色比 α （ $0 \leq \alpha \leq 1$ ）を用いて、やはりALUとは独立に、式(4-4)

$$C = \alpha \cdot C_L + (1 - \alpha) \cdot C_R \quad (4-4)$$

で求めることができる。

このようにして計算された画素データはFBに転送されることとなるが、複数台のPXPから非同期にFBへ書き込みが行われるとアクセス競合が生じる。これを解消するため、各PXPのローカルメモリとして、1スキャンライン分の画素データが格納できる高速メモリであるDSL B（Double Scan-line Buffer）を配置した。このDSL Bは、PXPからの書き込み動作とFBへデータを転送するための読出し動作とが同時に実行されるよう、2重条の構成を採っている。

以上のハードウェア・ファシリテイを効率良く機能させるため、PXPも、SLPと同様、3形式の水平型マイクロ命令（最長87ビット）により制御している。

[5] DMM (Double Message Memory)の構成とプロセッサ間通信

EXPERTSにおける表示処理には2つのブロードキャスト、即ち、

- ホスト計算機から複数台のSLPシステムへ画面全体の図形情報であるPLを転送する場合。
- 各SLPからそれぞれに属する複数台のPXPへ1スキャンライン分の画素データ

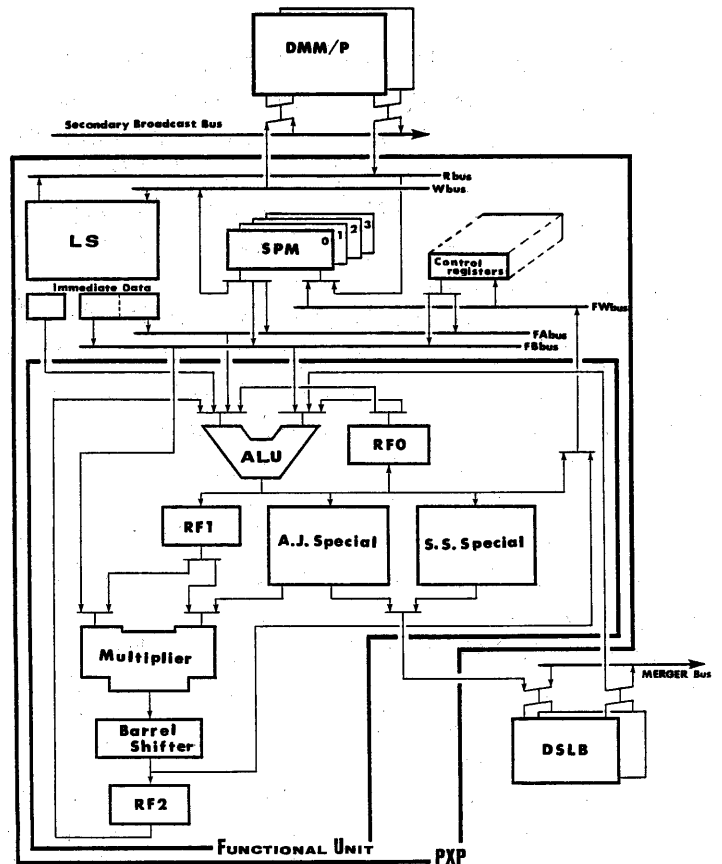


図3. PXPのハードウェア構成

を決定するのに必要与ASLを転送する場合。

が必要である。この際、十分与パイプライン処理効果を得るためには、

- (1) PLが受渡しユルDMM/S (Double Message Memory for SLP) に対する、ホスト計算機からのブロードキャスト(書込み)と各SLPの読出しとの同時動作。
 - (2) ASLが受渡しユルDMM/P (Double Message Memory for PXP) に対する、SLPからのブロードキャスト(書込み)と各PXPの読出しとの同時動作。
- の双方が不可尺となる。

(1),(2)を実現するため、DMM/S及びDMM/Pを図4に示すような2重条の大容量メモリで構成する。このDMM (DMM/SとDMM/Pの総称) は次のような機能を有する。

- ローカルメモリとしての機能: 図4のSW, SR, A, W及びRの各バスはそれぞれ、SLPがDMM/Sを、あるいはPXPがDMM/Pをアクセスする時に用いる書込み信号、読出し信号、アドレス、書込み及び読出しデータをのせるバスである。
- ブロードキャスト・メモリ(broadcast memory)としての機能: 図4のS, A及びBCの各バスはそれぞれ、ホスト計算機がDMM/Sに、SLPがDMM/Pにブロードキャストする時に用いる制御信号、アドレス及びデータをのせるバスである。
- マトリックス・スイッチであるEXCは、F/Bを切換えることにより、DMMaとDMMbとを論理的に交換することが出来る。
- ARはアドレス・レジスタであり、ブロック転送のモードでアクセスする際、一度先頭アドレスを格納すると、書込み、読出し等の制御信号により順次カウント・アップすることが出来る。

このように、ホスト計算機から各SLP、あるいはSLPから各PXPへのデータ転送はDMMを用いて行われるため、ブロードキャストユル側は自身の処理に専念出来る。また、SLPシステム間、及びPXP間での通信は全く必要としない。

次に、EXPERTSにおける通信方式について述べらる。EXPERTSにおける通信手続は以下の通りである。

(I) 通常の表示処理における通信手続

- ブロードキャスト終了後、ホスト計算機は全SLPが、SLPは下位の全PXPがそれぞれ処理を完了してユルのを確認し、DMMを切換え、状態レジスタを用いて次の処理の開始を知らせる。
- 1つの処理の完了後、各SLPはホスト計算機へ、各PXPは上位のSLPへ状態レジスタを通じて完了信号を返し、再び開始信号が届くまで状態レジスタをセンスしながらループする。

(II) 割込みを用いた通信手続 (異常処理等の例外処理)

- ホスト計算機は任意のSLPに、SLPは下位の任意のPXPに対して割込みレジスタを通じて割込むことが出来る。この際、状態レジスタを用いて割込み処理の内容を伝えることが出来る。多量のデータ転送を必要と

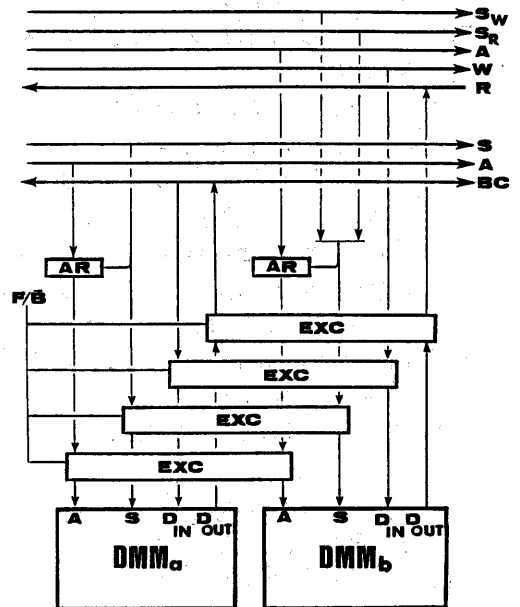


図4. DMMのハードウェア構成

する場合に、EMMを用いる。

- 各SLPはホスト計算機に、各PXPは上位のSLPに割込レジスタを通じて割込むことができる。状態レジスタ及びEMMを用いる方法は前項と同じ。

[6] Merger, Frame Buffer 及び VOCU の機能

各PXPに配置してあるDSL Bからスキャンライン単位の表示処理が終了する毎に、画素データを選択的にFBに転送するのが、mergerと呼ぶハードウェア(図5を参照)である。

スキャンライン1本分の画素データの決定は、複数台のPXPを用いて並列処理しているため、各PXPに属するDSL Bには対応するPXPの担当範囲の画素データが互いに重複するように格納されている。従って、mergerによる選択的転送、即ち各DSL Bから有効な画素データのみを抽出し、スキャンライン1本分の画素データ列に合併(merge)しながら、画素データをFBへ転送する働きが必要となる。

DSL Bとmergerを組合せることにより、各PXPは決定した画素データをローカルメモリであるDSL Bに書き込むだけでよい。このように、各PXPが非同期にスキャンライン上の画素データを決定していくことができるので、PXPレベルの並列処理が効果的に実現できる。

FBは16ビットの画素データ(赤緑青の色相情報を各々3、輝度情報を7ビット)を512×512個分(512本のスキャンライン)格納する大容量メモリである。そこで、高速アクセスを可能にするため、4バンク構成とし、4ウェイ・インタリーブ方法を採用している。また、FBは複数台のmergerによるアクセス競合を解消するため、各SLPシステムに分散配置されている。加えて、mergerによる書き込みとVOCU(後述)による読出しとが同時動作可能となるよう重複のメモリ構成(EMMと類似)を採用している。

EXPERTS では表示画面を分割し、複数台のSLPシステムにより、表示処理を並列に実行させる。この結果、表示画面を構成する画素データは、重複なしに、各SLPシステムに属するFBに分散して格納されている。

そこで、1枚の表示画面を再構成(図6を参照)するため、各FBから有効な画素データのみを読出し、D/A変換を施してディスプレイ・モニタへのビデオ信号を生成することが必要となる。

この機能を有するのが、VOCU

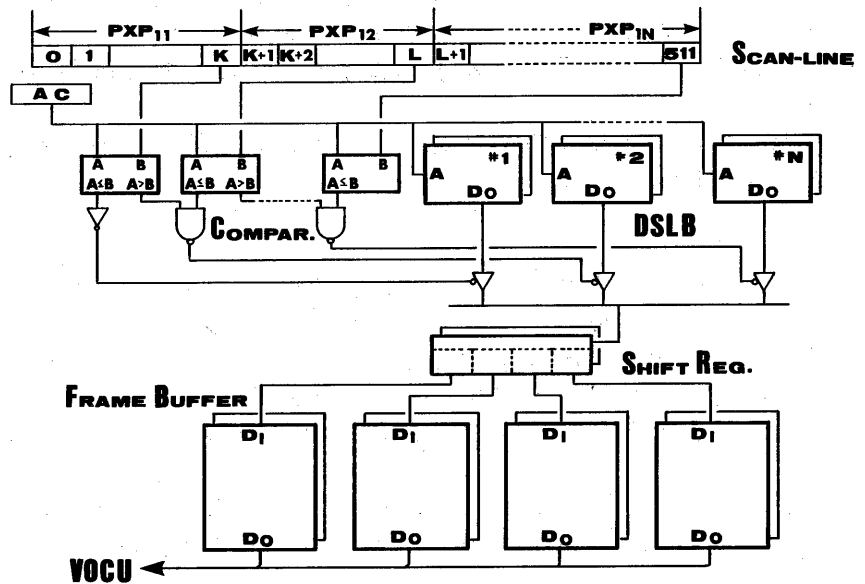


図5. merger周辺のハードウェア構成

(Video Output Control Unit)と呼ぶハードウェアである。このVOCUとFBを組合せることにより、SLPレベルの並列処理を効果的に実現している。

[7] おわりに

EXPERTSのハードウェア構成の特徴は、問題に応じてSLPレベル及びPXPレベルでのプロセッサ・エレメントの台数が容易に増設可能な、拡張性を有している点である。PXPの台数を増設しても、SLP及びPXPの表示処理には変更を必要とせず、各PXPの担当範囲のみをSLPが各PXPにブロードキャストを通じて通知するだけでよい。SLPシステムの増設に関しても同様である。

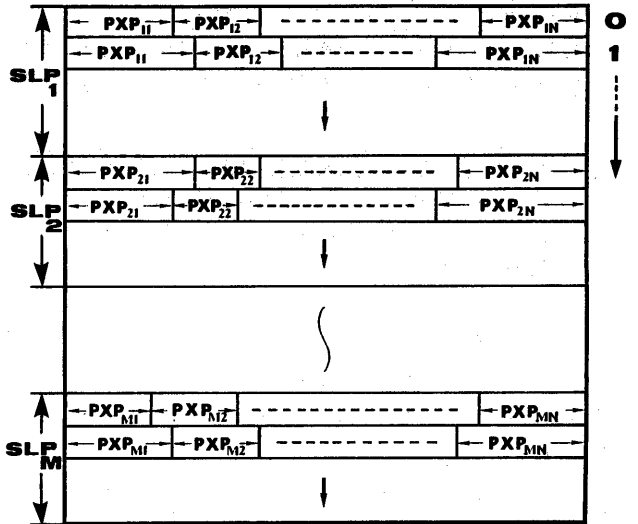


図6. 表示画面の分割

一方、ホスト計算機は各SLPシステムの担当範囲を、SLPは下位の各PXPの担当範囲を自由に設定し、ブロードキャストを通じて伝えることができる。従って、適切な担当範囲の設定により、同一レベルのプロセッサ・エレメントの処理量を均等にする表示画面の分割を可能にする(図6を参照)。この機能を用いて、SLP PXPの各レベルにおける並列処理の効果を最大限に発揮させることができる。

SLP及びPXPの各マイクロ命令の実行時間は200nsecを目標に設計し、大容量メモリは64KbitのDRAMを用いて構成している。

[謝辞]

EXPERTS開発グループの構成員である京大情報工学科4年生、河口幸裕君、竹内浩一君に心より感謝いたします。京大在学当時、開発に協力していただいた小幡高靖氏(現、三菱重工業株)、坂本靖子氏(現、宇部興産株)の両氏に謝意を表します。

また、日頃より貴重な御意見をいただき、討論に加わってくださる萩原研究室の各位に深謝いたします。

[文献]

- [1]新實他:"並列処理方式による3次元色彩図形表示用プロセッサ,"電子通信学会電子計算機研究会 技研報, EC82-67(1982).
- [2]今井他:"実時間図形表示プロセッサEXPERTSのハードウェア構成,"情報処理学 第26回全国大会論文集4P-1(1983).
- [3]村上他:"実時間図形表示プロセッサEXPERTSの並列処理アルゴリズム,"同上4P-2(1983)
- [4]Sutherland, I.E. et al: "A Characterization of Ten Hidden-Surface Algorithms," ACM Computing Surveys, Vol. 6, No. 1 Mar. 1974, pp. 1-55.