

グラフィック制御VLSI (ACRTC) のアーキテクチャ

Architecture of Graphic Control VLSI (ACRTC)

桂 晃洋 前島 英雄 御法川 和夫
Koyo Katsura Hideo Maejima Kazuo Minorikawa

日立製作所
Hitachi Ltd.

1. まえがき

メモリLSIの高集積化に伴って、大容量メモリを必要とするグラフィック・ディスプレイの低価格化が進んでいる。しかしながら、ディスプレイ装置の高精細化ともあいまって、扱う情報量が大幅に増大する傾向にあり、高性能化が課題となっている。そこで、この分野に適したLSIとして、グラフィック制御VLSI (ACRTC:Advanced CRT Controller)を開発した。ACRTCは文字や図形の表示制御機能に加え、多くのグラフィック描画機能をハードウェアとして提供する。従って、パーソナルコンピュータ、ワークステーション、グラフィック端末、ゲーム機器などの広範な分野で、グラフィック処理のキーデバイスとして応用できる。

本論文では、ACRTCの特長とそのグラフィック機能を実現するアーキテクチャについて述べる。

2. ACRTCの概要

2.1 システム構成

図1にACRTCを応用したグラフィック・システムの構成例を示す。汎用のマイクロプロセッサとのインタフェース機能を有しており周辺LSIの1つとして接続できる。表示制御及び描画制御に伴うフレームメモリのアクセスはすべてACRTC自身が管理する。システムバスとフレームメモリのバスを分離することによりCPU (Central Processing Unit) のソフトウェア処理とACRTCの描画処理を並列動作できる。CPUとACRTC間のデータ転送は、それぞれ8ワードの書込みFIFOと読出

しFIFOを経由して行う。多くのアプリケーションでシステムバスのオーバーヘッドの増大がネックとなっているが、CPUとACRTC間の情報伝達には圧縮された情報 (ACRTCの高機能コマンド) を用いることにより、CPUバスの負荷を大幅に軽減できる。

表1 ACRTCの仕様

項目	仕様
動作周波数	1MHz~8MHz (HD63484-8)
	1MHz~6MHz (HD63484-6)
	1MHz~4MHz (HD63484-4)
表示用メモリ容量	グラフィック用: 2Mバイト キャラクタ用: 128Kバイト
描画コマンド	・38種 ・直線、四角形、多角形、円、楕円、塗りつぶし、コピー等
描画機能	・X-Y座標系に基づくアドレス管理 ・模様パターンによる描画機能 ・色条件による描画マスク機能 ・描画領域管理機能 ・DMA転送機能
描画速度	・モノクロ・カラー同一 ・直線描画速度: 500ns/dot (8MHz動作時)
表示機能	・画面分割: 3水平分割+1ウインドウ ・水平、垂直のスームス・スクロール ・拡大表示 (水平・垂直独立に1~16倍) ・画面の重ね合わせ ・外部同期 ・グラフィック・カーソル機能

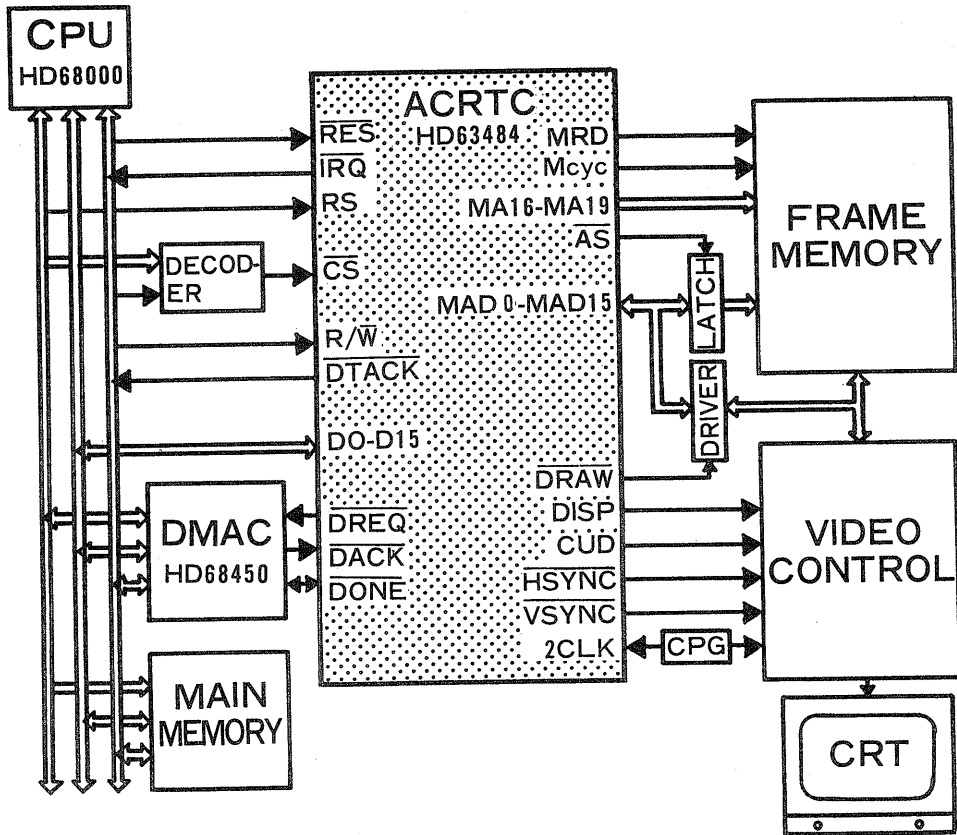


図1 グラフィックシステムの構成

2. 2 特長

表1はACRTCの概略仕様を示す。ACRTCは、CPUから転送されるコマンドを解釈し、フレームメモリ上に種々の図形を発生する。直線、円、楕円、塗りつぶし、コピー等38種類の描画コマンドを持つ。描画点の指定にはX-Y座標系を採用しており、応用ソフトウェアの開発負担を軽減できる。フレームメモリは最大2Mバイトと大きく、16色表示では2048×2048ドットの画面サイズまでサポートできる。また、画面分割、スムーズ・スクロール、拡大表示、画面の重ね合せ等の多彩な表示制御機能を有している。

3 ハードウェア構成

3. 1 マルチプロセッサ・アーキテクチャ

ACRTCは、図2に示すように、2レベルのマルチプロセッサ・アーキテクチャを採用している。

1つはプロセッサ・モジュール(PM)の多重化であり、もう1つはエグゼキュタの多重化である。LSIチップは、それぞれ独立に並列動作する複数のプロセッサ・モジュールから構成される。また、それぞれのプロセッサ・モジュールは、密に結合した複数のエグゼキュタを有しており、単一のマイクロプログラム・メモリで制御されパイプライン処理を実行する。

3. 2 ACRTCの構成

図3はACRTCのチップ写真である。8.30mm×9.26mmのチップ上に約11万7千トランジスタを集積したVLSIで、2μmCMOSプロセスを用い64ピンのパッケージに納められている。内部は次の3つのプロセッサ・モジュールを中心とするマルチプロセッサ構造を採っている。

(1) 描画プロセッサ

CPUから与えられる高水準コマンドを解釈し、描画処理を実行する。コマンドやデータをバッファ

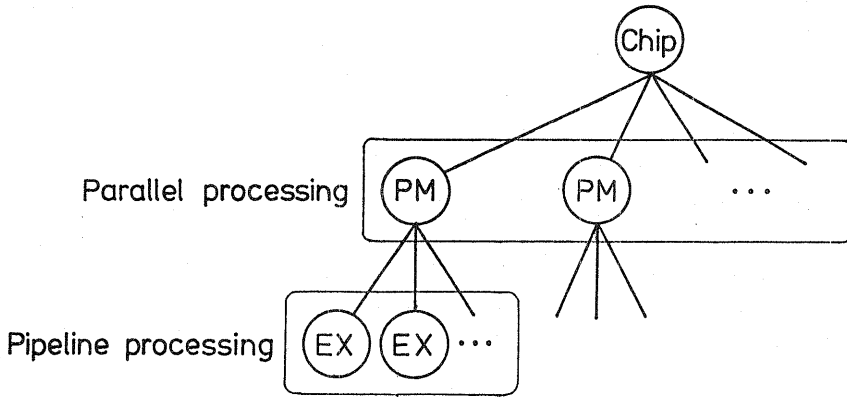


図2 2レベル・マルチプロセッサ・アーキテクチャ

するFIFOを有しており、転送効率を向上する。このプロセッサは、X-Y座標計算、フレームメモリ上のリニア・アドレス計算、カラー演算の3つのエグゼキュータを有している。

(2) 表示プロセッサ

画面上に表示するフレームメモリ・アドレスやラスタ・アドレスの制御を行う。2つのエグゼキュータを有している。

(3) タイミング・プロセッサ

水平・垂直同期信号、画面分割のタイミング、等のディスプレイ装置やACRTC内部の各ブロックに対するタイミング信号を発生する。3つのエグゼキュータを持つ。

以下では、描画プロセッサのグラフィック・アーキテクチャを中心に述べる。

4. グラフィック・アーキテクチャ

4.1 描画プロセッサの構成

図4に描画プロセッサの構成を示す。3つの16ビット幅エグゼキュータを基本とし、加えて、32バイトのFIFO、32バイトのパターンRAM、48ビット×640語の制御用マイクロプログラムROMを有している。マイクロプログラムのサイクル時間は125ns(8MHz動作時)である。3つのエグゼキュータ、すなわち論

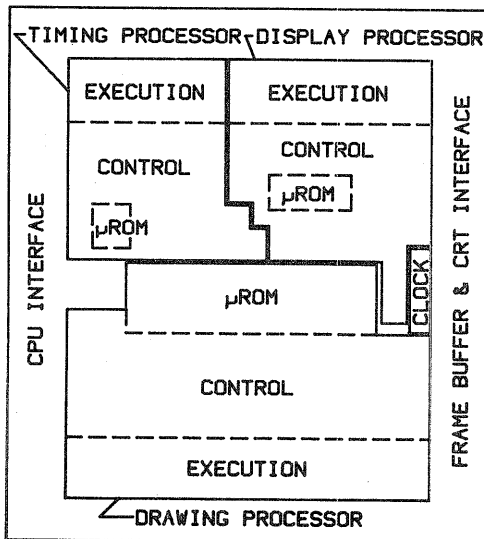
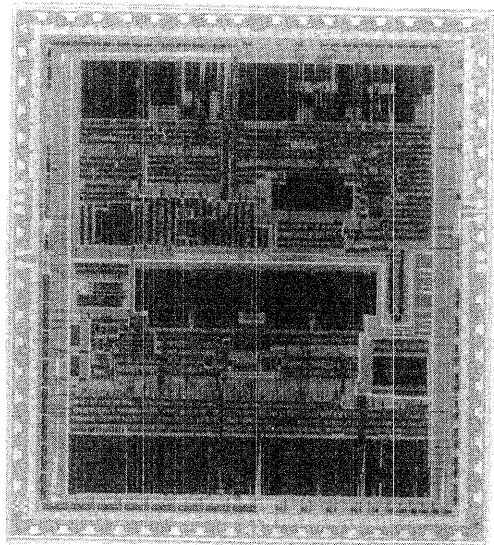


図3 ACRTCのチップ写真



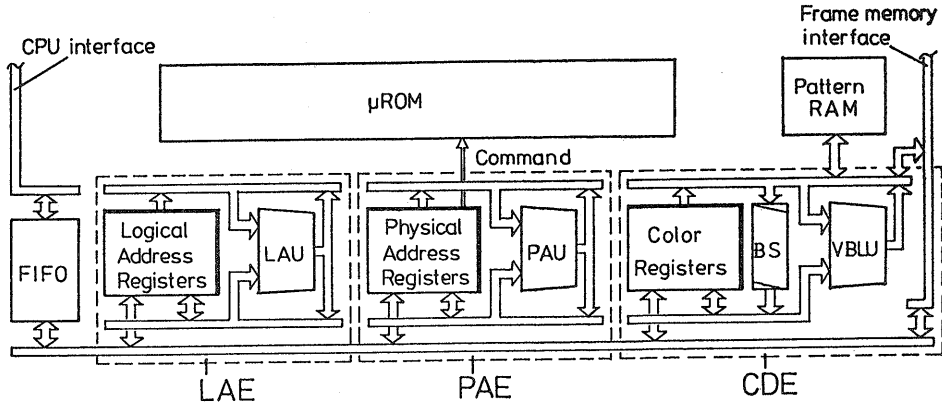


図4 描画プロセッサの内部構成

理アドレス・エグゼキュータ (LAE)、物理アドレス・エグゼキュータ (PAE)、カラーデータ・エグゼキュータ (CDE) は、内部バスを介して結合されており、水平型マイクロ命令で並列に制御される。

LAEはコマンドとパラメータに対応した描画アルゴリズムに基づく演算を実行し、X-Y座標系での画素アドレスを順次算出する。

PAEは、LAEで生成される論理アドレス (X-Yアドレス) に対応するフレームメモリの物理アドレス (リニアアドレス) を算出する。

CDEは、画素データの演算を実行する。1画素を構成するデータは1から16の範囲でプログラマブルであり、カラーや階調データを扱う場合にも容易に処理できる。

4.2 アドレス空間

ACRTCでは、グラフィック・コマンドの座標パラメータはフレームメモリのリニアアドレス (物理アドレス) ではなく、X-Y座標系 (論理アドレス) に基づいている。論理アドレスから物理アドレスへの変換はACRTCが管理する。CPUのソフトウェアでは煩雑な物理アドレス演算を行う必要はない。メモリの構成や表示画面の構成を制御するパラメータはACRTC内部で管理されるため、グラフィック・ソフトウェアの移植性を高めることができる。

図5は、論理空間と物理空間及び表示画面の対応関係を示したものである。同図は、4枚のカラー・プレーンから成る4ビット/画素 (同時16色または16階調) の場合の例である。物理的なメモリ構成は

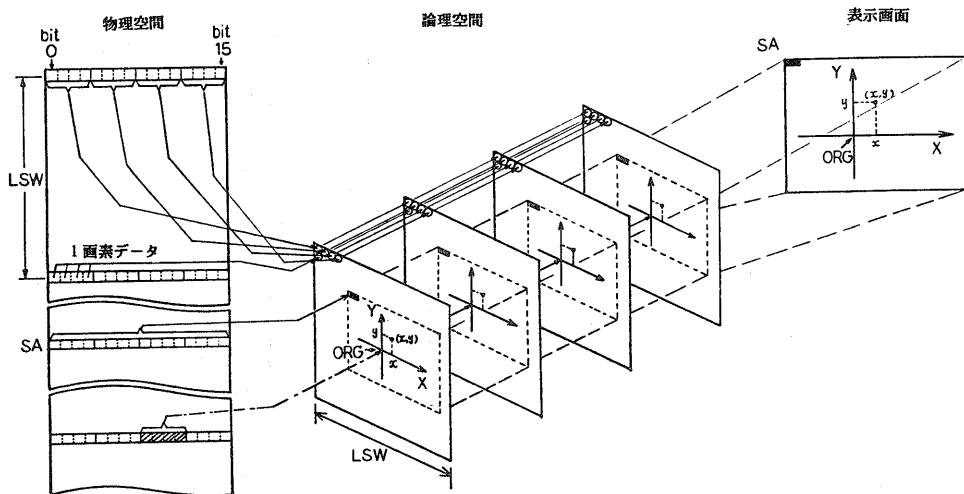


図5 フレームメモリのアドレス空間

1語が16ビットで、リニアアドレスが付されている。メモリの1語内の連続する4ビットが1画素に対応し、水平に連続する4画素分の情報がメモリの1語に記憶される。物理空間と論理空間の対応付けは、論理空間の横巾(LSW)及び、原点(ORG)と物理アドレスの対応関係によって管理される。また、この物理空間の1部または全部が実際の映像として表示画面上に表示される。この対応関係は表示開始アドレス(SA)によって関係付けられる。

4.3 アドレスの計算

表2は論理アドレスと物理アドレスの計算を要約したものである。LAEは論理アドレス・ポインタ(X, Y)を、PAEはフレームメモリのビットアドレスを記憶する物理アドレス・ポインタ(PA)を、それぞれ有している。例えば、描画点が右に1画素動くときは、Xに1が加算されると同時にPAにはカラープレーン数を指定するパラメータNが加算される。図5の例ではN=4である。また、描画点が上に移動する場合には、Yに1が加算されると同時にPAからはWが減算される。ここで、Wは画面の横幅の総ビット数(すなわちLSW×N)を表すパラメータである。

論理アドレスと物理アドレスの関係はORIGINコマンドで初期化される。その後は論理アドレス・

表2 アドレス計算

Pointer Direction	Logical Address (X, Y)	Physical Address (PA)
Right	X = X + 1 Y = Y	PA = PA + N
Left	X = X - 1 Y = Y	PA = PA - N
Up	X = X Y = Y + 1	PA = PA - W
Down	X = X Y = Y - 1	PA = PA + W

ポインタと物理アドレス・ポインタは、それぞれの空間内を常時対応関係を保ちながら移動する。

4.4 カラー描画演算

ACRTCのグラフィック描画はカラー情報を含む画素を単位として実行される。CDEは高速のカラー描画処理を実行する。1画素の描画は、フレームメモリからその画素を含む1語を読み出し、対象画素の更新演算を実行した後再びフレームメモリに書込むことによって完了する。

図6は、4ビット/画素の場合を例に、このカラー描画処理を説明するものである。まず、ACRT

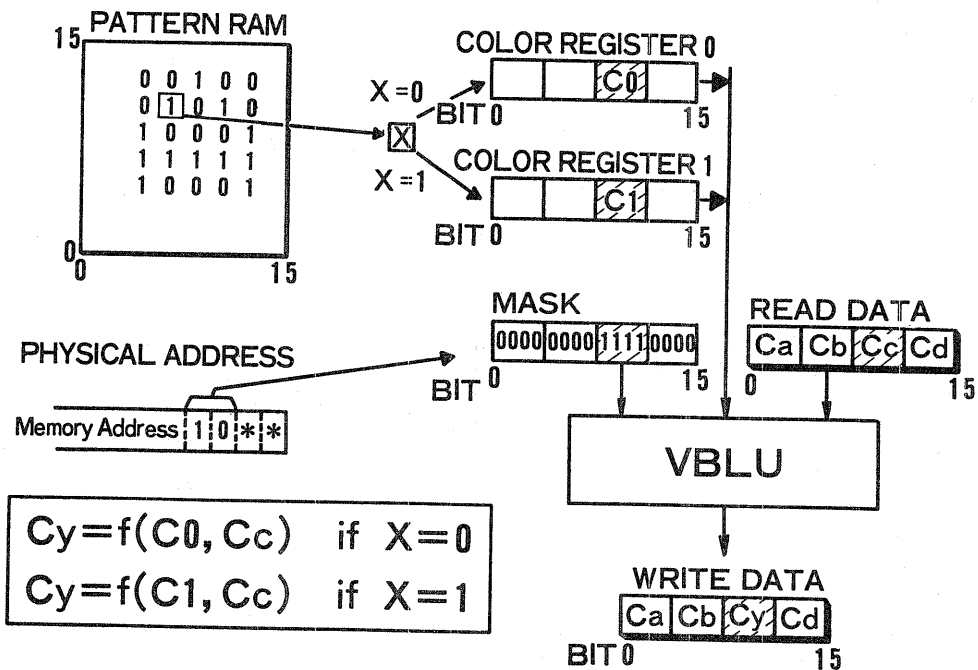


図6 カラー描画処理

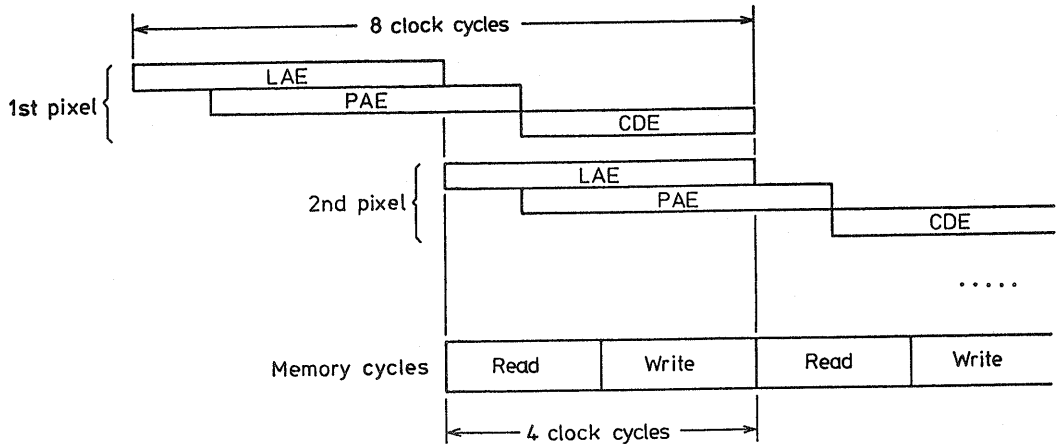


図7 パイプライン処理

CはPAで指定されるアドレスからのメモリの1語を読み出す。1語は16ビット構成であり、PAの下位4ビットを除く上位のビットがメモリアドレスを指定する。したがって、この例では同時に4画素の情報が読出されることになる。4画素のうちの1画素を特定するために、PAの下位情報をデコードしてマスクデータが生成される。

一方、線種や模様パターンを記憶するパタンRAMからはパタンの1ビットの情報が読出される。この1ビットの情報は2本の色レジスタのいずれかを選択するのに用いられる。可変ビットフィールド論理ユニット(VBLU)では、マスクで指定されたビットに対してのみ読出しデータとカラーデータ間の論理演算(AND, OR, EOR, 条件付置換など)が実行される。得られた結果を再びフレームメモリに書込むことによって1画素の描画処理が終了する。

4.5 パイプライン処理

描画プロセッサの3つのエグゼキュータは、高速描画のためパイプライン処理を行っている。図7は直線描画の場合の例を示す。直線描画はBresenhamのアルゴリズム[1]に基いている。1つのマイクロ命令では、LAE, PAE, CDEの各エグゼキュータに対して1つの演算を指定できる。LAEではアルゴリズムの実行のために1画素ごとに4マイクロサイクルを要す。PAEでは32ビット長のPAの更新演算に4マイクロサイクルが必要である。また、CDEでは読出し、演算、書込みの処理に3マイクロサイクルを要す。1画素分の演算を行うこれら一連の処理には始めから終わりまで8マイクロサイクルが必要であるが、パイプライン化することによって実効的には4マイクロサイクルで順次処理でき

る。この結果、動作周波数が8MHzの場合、直線描画時間は1画素当り500nsとなる。このときのフレームメモリサイクルは250nsである。各エグゼキュータに負荷を分散することによって、このような高速性が得られている。

5. 描画コマンドと処理性能

5.1 高機能コマンド

ACRTCは38種のコマンドを内蔵している。表3は、代表的なグラフィック描画コマンドのリストである。直線や円などの線描画のほか、塗りつぶし

表3 代表的な描画コマンド

コマンド	パラメータ	機能
AMOVE	X, Y	カレント・ポイント(CP)の移動
RMOVE	DX, DY	
ALINE	X, Y	直線描画
RLINE	DX, DY	
ARCT	X, Y	長方形描画
RRCT	DX, DY	
APLL	n, X, Y, ..., Xn, Yn	直線群の描画
RPLL	n, DX, DY, ..., DXn, DYn	
APLG	n, X, Y, ..., Xn, Yn	多角形の描画
RPLG	n, DX, DY, ..., DXn, DYn	
CRCL	R	円描画
ELPS	a, b, DX	楕円描画
AARC	Xc, Yc, Xe, Ye	円弧描画
RARC	DXc, DYc, DXe, DYe	
AEARC	a, b, Xc, Yc, Xe, Ye	楕円弧描画
REARC	a, b, DXc, DYc, DXe, DYe,	
AFRCT	X, Y	矩形領域の塗りつぶし(タイリング)
RFRC	DX, DY	
PAINT		閉領域の塗りつぶし(タイリング)
DOT		1ドット描画
PTN	PZ	パターン描画
AGCPV	Xs, Ys, DX, DY	矩形領域のコピー
RGCPV	DXs, DYs, DX, DY	

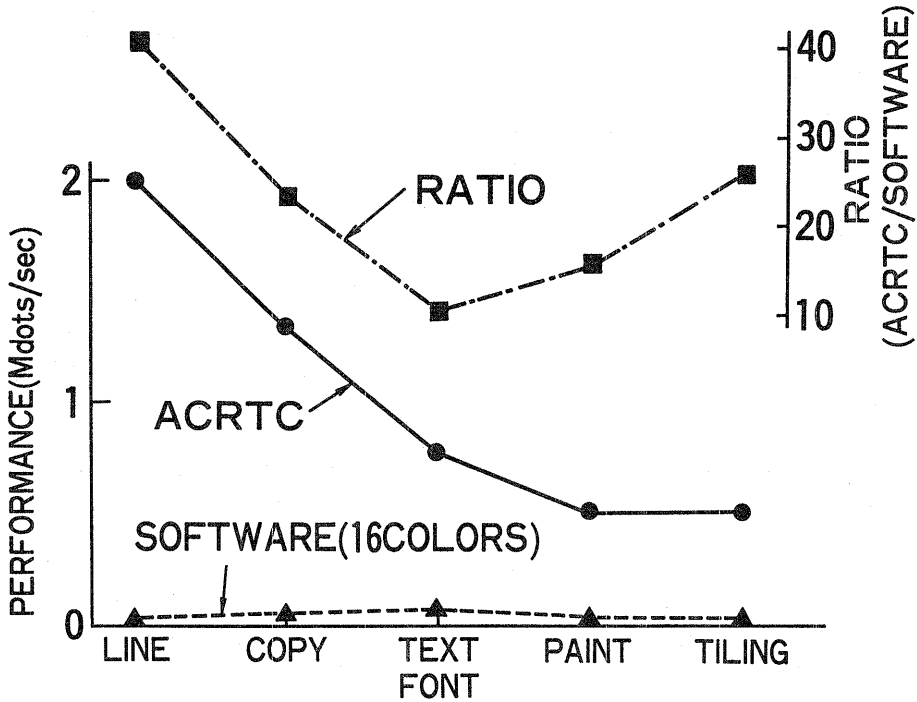


図8 描画性能

やコピー等の強力な2次元コマンドを備えている。線描画の線種情報や面描画の模様パタンは32バイトのパタンRAMを用いて自由に定義できる。

ペイント・コマンド (PAINT)は、任意の閉領域内を高速に塗りつぶすことができる。模様パタンを用いた塗りつぶしも可能である。

グラフィック・コピー・コマンド (AGCPY, RGCPY)はフレームメモリ内の矩形領域を別の領域に高速転送する。転送元と転送先のデータ間には種々の演算モードを選択でき、90°単位の回転やミラー反転も可能である。画素単位的高速転送を実現するため、CDEは16ビットのパレルシフタ (BS)を内蔵している。このコマンドは、ラスタオペレーションの基本コマンドとして、マルチウィンドウやソフトウェア・カーソルなどに適用できる。

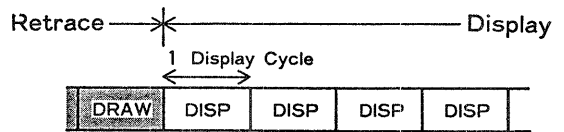
5.2 コマンドの描画性能

図8は、16ビットのマイクロプロセッサ (HD68000)によるソフトウェアとの比較で描画性能を評価したものである。代表的な描画機能について、ACRTC及びソフトウェアによる場合の性能と、両者の性能比を示している。1画素当りの描画時間では、直線 $0.5\mu s$ 、コピー $0.75\mu s$ 、任意図形の塗りつぶしは $2.25\mu s$ となる。ACRTCはソフトウェア処理

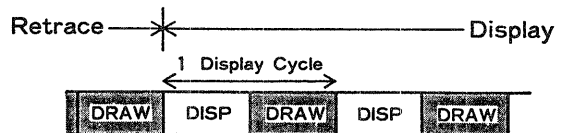
に比較して、いずれの場合にも10~40倍に性能が向上する。

5.3 デュアル・アクセスによる高速描画

ラスタスキャンCRTに安定した画像を表示するためには、CRT上での表示期間中は表示データを得るためのフレームメモリ・アクセスを優先して行わなければならない。このため、表示しながら描画する場合は前節で述べた性能よりも低下することに



(a) Single Access Mode



(b) Dual Access Mode

図9 アクセスモード

なり、十分な描画サイクルの確保が問題となる。

A C R T C は効果的な方法として、表示期間中にも描画サイクルを確保できるデュアルアクセス・モードを提供する。図9は(a)シングルアクセス・モード、(b)デュアルアクセス・モード、の2つの場合におけるフレームメモリ・アクセスの関係を示す。シングルアクセス・モードでは表示を優先すると描画サイクルは帰線期間中に限定される。描画を優先して行うことも可能であるが、描画サイクルが多い場合にはちらつきを生ずる原因となる。これに対しデュアルアクセス・モードでは、帰線期間に加えて表示期間の半分を描画サイクルに利用できる。このモードで用いるには、シングルアクセス・モードと比較して1回の表示用読出しサイクルで2倍のデータを読出す必要があるが、メモリサイクルを2倍にするか表示用読出しバス幅を2倍にすることで対処する。

通常表示期間の比率としては全体の70~80%程度が必要である。例えば、表示期間が75%のものでは、シングルアクセス・モードでの描画サイクルは25%なのに対してデュアルアクセス・モードを用いると62.5%の描画サイクルを確保できる。描画アクセスが密に発生するコマンド(例えば直線、コピー)では、描画性能は描画サイクルの比にほぼ比例する。したがって、例えば直線の場合には、描画優先では2M画素/秒の性能が表示優先ではシングルアクセス・モードで0.5M画素/秒、デュアルアクセス・モードで1.25M画素/秒となる。また、描画メモリアccessに空きがあるコマンド(例えば塗りつぶし)の場合には、シングルアクセス・モードでは描画優

先に比較して性能低下が生じるが、デュアルアクセス・モードでは空きサイクルに表示メモリアccessするため、性能の低下は少ない。

5. むすび

以上、高速グラフィック描画機能を有するA C R T C のアーキテクチャについて述べた。マルチプロセッサモジュールとマルチエグゼキュータの2レベルからなるマルチプロセッサ構成を採用し、直線、円、楕円、塗りつぶし、コピー等の高度なグラフィック描画機能と、画面分割、ウィンドウ、スムーズスクロール制御等の多彩な表示制御機能を実現した。X-Y座標値をパラメータとする高水準コマンドを解釈し高速(直線500ns/画素)に描画実行できるため、安価で高性能のグラフィック・システムを構築できる。

グラフィック・システムの高性能化、高機能化のニーズはますます高まっている。今後、更に、グラフィック制御L S I のシリーズ化を推進する中で、将来のニーズを先取りして行きたい。

参考文献

- 1) Newman, W.M. and Sproull, R.F.: Principles of Interactive Computer Graphics (2nd edition), McGraw-Hill, pp.17-29 (1979)