

データ駆動形プロセッサ Q-p の性能評価

Evaluation of Data-Driven Processor Q-p

戸倉 毅* 辻 克子* 高倉 穂* 西川洋一郎** 原 秀次**
Tsuoyoshi TOKURA Yoshiko TSUJI Saki TAKAKURA Yoichiro NISHIKAWA Shuji HARA

明智光夫*** 小松宏二**** 芳田真一**** 岡本俊弥****
Mitsuo MEICHI Koji KOMATSU Shin-ichi YOSHIDA Toshiya OKAMOTO

西川博昭***** 浅田勝彦***** 寺田浩詔*****
Hiroaki NISHIKAWA Katsuhiko ASADA Hiroaki TERADA

*松下電器産業(株) システム研究所
Matsushita Electric Industrial Co., Ltd.

***三菱電機(株) 応用機器研究所
Mitsubishi Electric Corp.

*****大阪大学 工学部
Faculty of Engineering, Osaka University

**三洋電機(株) 中央研究所
Sanyo Electric Co., Ltd.

****シャープ(株) 超 LSI 開発研究所
Sharp Corp.

あらまし 並列処理を自然な形で表現できるデータ駆動の概念に基づいた、データ駆動形プロセッサ・システムの開発を目指し、その試作機 Q-p を開発した。本報告では、Q-p の基本的な機能について、各種のプログラムの実行により得られた測定結果を示すとともに、その評価を行う。

1. はじめに

ILLIAC IV 以来続けられてきた並列処理システムの研究が、VLSI 技術の進歩により、急速に具体的なものとして注目されるようになってきた。マルチ・マイクロ・プロセッサによる並列処理システムは、既に各種の分野で専用機として実用化されている。しかし、ソフトウェアの面からは、旧来の逐次処理による記述法が用いられており、並列処理の記述性・理解性に対する問題点が指摘されている。

著者らは、並列性を自然に表現できるデータ駆動の概念に基づき、履歴依存性を含めた並列処理構造を図的に陽に記述しうる、データ駆動言語 D³L を検討してきた⁹⁾。さらに、D³L およびその拡張言語である UL2 を高効率に実行するデータ駆動形プロセッサ Q-p を開発した¹⁾~⁸⁾、¹¹⁾、¹²⁾。Q-p はカラー・世代番号を用いた動的アーキテクチャを採用し、

- (1)完全分散形の高速制御機構
- (2)エラスティック記憶機構によるデータ転送・処理方式

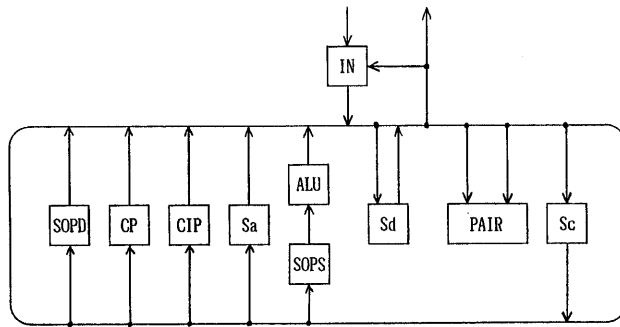
(3)システムクロックを必要としない、自己タイミング制御・処理機構などの特徴を持つ。

Q-p は、プログラムの実行過程を観測するために、転送路上を通過したバケットを時刻情報とともに収集する機能を持つ。この機能を用いて収集したデータを解析した結果および評価について論じる。

2. Q-p の概要

データ駆動形プロセッサ Q-p は、エラスティック転送路である非同期遅延線⁶⁾と、転送路と同速度で処理を実行する流れ処理機構⁷⁾、⁸⁾で実現されたプロセッサであり、図 1 に示す構成となっている¹²⁾。データフロー・グラフで記述される実行形式(プログラム)は、Sd(プログラム記憶部)に格納され ALU 等で実行される。実行形式の各命令は、高々 2 入力であり、2 入力命令の入力トークンは PAIR で対を形成する。

従って外部から入力されたトークンは、まず Sd に



Sd : プログラム記憶部	ALU : 演算処理部	CIP : 制御命令処理部
Sa : 配列データ記憶部	SOPS : パレルシフト、ゼロカウント部	CP : カラー管理部
Sc : 定数記憶、履歴依存処理部	SOPD : 除算、閉平命令処理部	IN : 入力制御部
PAIR : データ対生成部		

図 1 Q-p の構成(1 PE)

において命令コードと行き先ポインタをフェッチし、2 入力命令であれば、

Sd → PAIR → ALU → Sd

の経路で、1 入力命令であれば、

Sd → ALU → Sd

の経路で実行がすすむ。

データは 16 ビット幅固定小数点のみが扱え、一般的な算術論理演算をサポートしている(但し、除算・パレルシフトは非同期遅延線の転送速度では処理されない)¹²⁾。動的アーキテクチャを実現するカラー・世代番号⁴⁾¹¹⁾は、各 7 ビット持たせている。

尚、Q-p は、ほとんどの部品に TTL IC を用いて製作され、非同期遅延線および各流れ処理機構の転送速度は、240 nsec/バケットとなっている。

3. 評価環境

Q-p のハードウェア・システムの構成を図 2 に示す¹²⁾。システム内には、4 台のプロセッシング・エレメント(PE)がシャッフル型に結合されている。PE 間は全て非同期遅延線により結合されている。Q-p 自体は自律的に動作するプロセッサであるが、入力データの供給やプログラム・ロード、データ収集は、ホスト計算機 VAX11/750 が行う。

図 2 中の他の要素は次に示す機能を持つ。

- BUF : ホスト計算機からの入力データのバッファリングおよび投入を行う。データの投入は、ホスト計算機からの起動で開始し、データを投入する時間間隔を 1 μsec 単位で指定することができる。

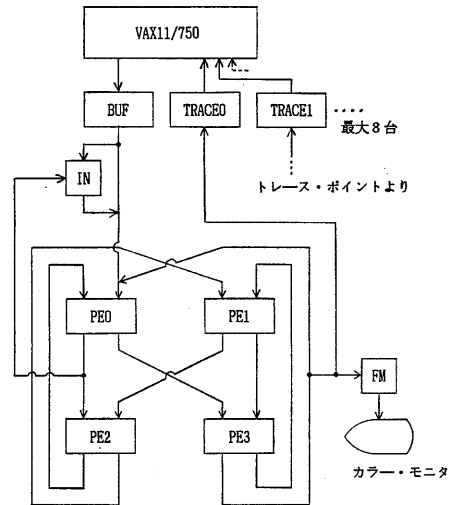


図 2 評価システムの構成

- TRACE : 任意の非同期遅延線接続点に挿入することにより、非同期遅延線を通過する全てのバケットを、転送路に影響を与えることなく収集する。収集されたバケットには、収集された時刻が同時に記録される。32 K バケットを収集可能。
- FM : 512×512×8bits×2frame のフレーム・メモリ。非同期遅延線と直接接続でき、バケット中のコマンドにより、書きこみ・フレーム切り換え・フレーム間転送が可能。尚、GDC は組みこまれていない。

Q-p で実行されるプログラムは、データ駆動形図的言語 UL2^{2) 11)} で記述され、ホスト計算機上の UL2 処理系³⁾により実行形式に変換される。また、実行形式を直接記述することができるアセンブラも準備されている。

○評価実験の手順

1. 評価実験用プログラムを BUF を経由して Q-p にロードする。
2. プログラムの入力ノード番号および世代番号を付けた入力データ・バケットを BUF に送る。
3. データ投入時間間隔を指定し BUF を起動する。これにより、BUF から入力バケットが Q-p に流れ込み、実行が開始される。
4. TRACE に収集されたバケットをホスト計算機内に取込み、解析・評価を行う。

4. 性能評価

4.1 評価方法

Q-p は、エラスティック転送路と流れ処理機構で構成されたプロセッサであるため、プロセッサ全体が長いパイプラインで構成されていると言える。従って、小さいプログラム（特に、並列度の小さいプログラム）を実行した場合には、パイプラインが埋まらないために実行性能が低い。このように Q-p は、通常のプロセッサ以上に、プログラムの性質に実行性能が影響される。

今回の性能評価では、各種プログラムの実行により、単位時間あたりの命令実行数（MIPS で表わす）

および、ALU 稼働率の時間変化等を実験により求めた。

4.2 シングル・プロセッサの性能評価

(1) 基本性能

Q-p の基本性能を調べるため、図 3 (a), (b), (c) の3種のモデル・プログラムを用いて実験した。プログラム(a)は、1入力命令を一定の並列度で実行するものである。(b)は、2入力命令を一定の並列度で実行する。(c)は、2入力命令のみからなるプログラムであり、実行に伴い並列度が変動するものである。(b), (c)共に、全命令の左右の入力に至る、入力端からの経路長(ランク)は等しい。また、(a), (b)については並列度を、(c)については平均並列度を、自由に設定して実験を行なうことが可能である。

○理論的動作

Q-p は、データを処理する各機能部を非同期流れ処理機構で構成し、機能部間は非同期遅延線路によりパイプライン状に結合している。非同期流れ処理機構は線路の転送速度とほぼ同等の処理速度を持つため、プロセッサの処理能力は線路の転送速度と線路上を流れるデータ量(ある時刻において、線路上にあるデータ数)及び、線路のパuffering能力で決定される。

非同期遅延線路は線路の1段当り1ワードのデータを保持でき、線路上を流れるデータは、線路の次段が空き状態の時前進する⁶⁾。このため、線路が理想的に動作する状態では、線路上のデータ量が線路段数の1/2の時データ流量(単位時間当りに流れるデータ数)

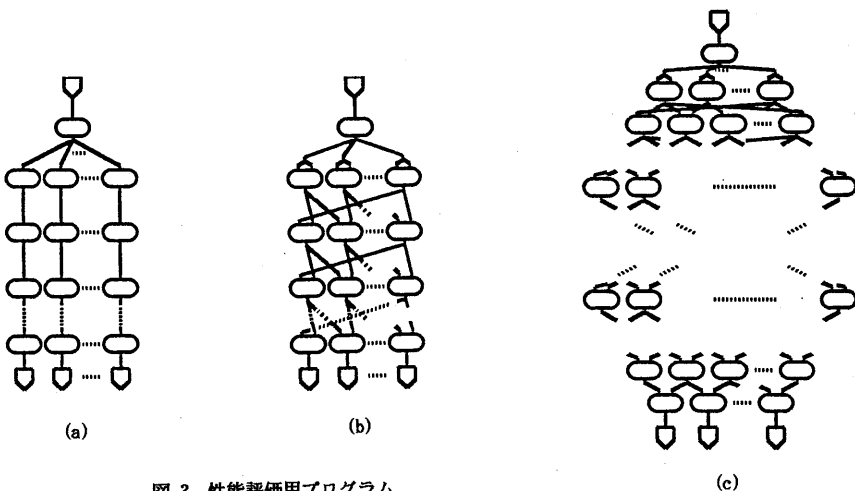


図 3 性能評価用プログラム

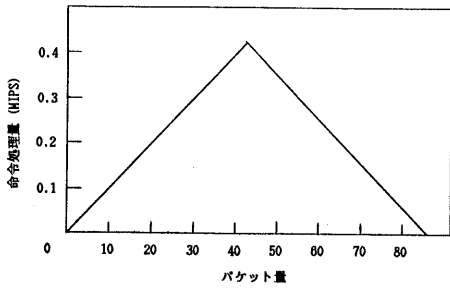


図4 理想状態でのパケット量と命令処理量の関係 (プログラム(a))

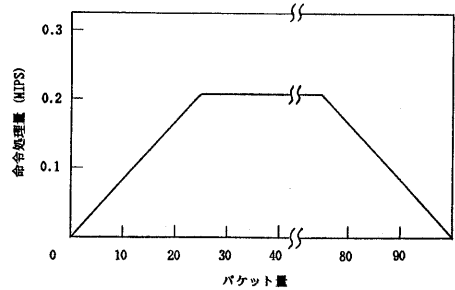


図5 理想状態でのパケット量と命令処理量の関係 (プログラム(b))

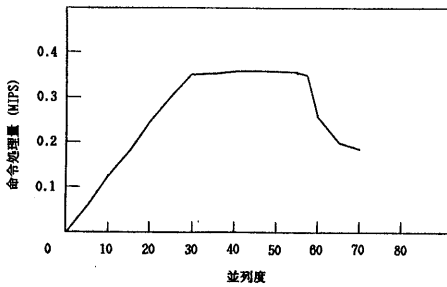


図6 プログラム(a)の並列度の変化による命令処理量の変動(実測値)

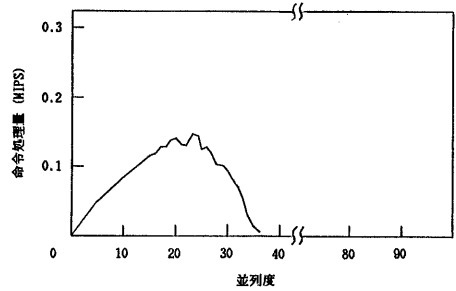


図7 プログラム(b)の並列度の変化による命令処理量の変動(実測値)

が最大となる。データ量が線路段数の 1/2 以下の場合にはデータ流量はデータ量に比例して増加するが、1/2 以上ではデータ量の増加に伴いデータ流量は減少し、データ量が段数に等しくなるとデータは前進できなくなり、データ流量は 0 となる。

Q-p では、線路 1 段の転送を 60 nsec に設計しているため、線路の転送速度は最大 240 nsec/パケットとなる (1 パケット = 2 ワード)。

プログラム(a) は Sd → ALU → Sd の基本経路で実行されるため、ALU における命令処理量は線路のデータ流量に比例する。実験において、この基本経路の線路段数は 171 段に設定しており、理想状態での線路上のパケット量と命令処理量の関係は図 4 のようになる。

プログラム(b) では、実行される命令がすべて 2 入力命令であるため、Sd → PAIR → ALU → Sd の経路で実行が進む。PAIR では 2 つのトークンの対を生成し、1 つのトークンを出力する。また Sd では、1 つのトークンに対して 2 つのトークンを出力する (コピー)。このため、Sd → PAIR のパスが他のパスの 2 倍のデータ流量となり、ALU の稼働率はプログラム (a) を実行した場合の最大値の 1/2 に制限される。

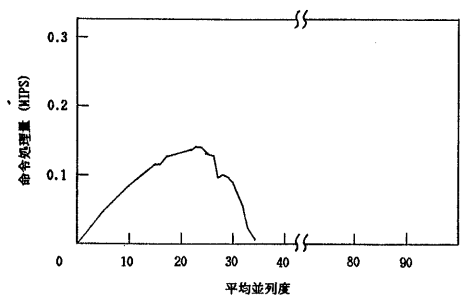


図8 プログラム(c)の平均並列度の変化による命令処理量の変動(実測値)

この点は、PAIR の機能が 2 組のトークンを 1 つのトークンに圧縮して送出する機能であり、入出力間でデータ流量の不均衡が生じているためである。経路上のデータ量と命令処理量の関係は図 5 に示すようになる。図中パケット量の増加に対して命令処理量が一定となる部分は、Sd, PAIR が最高速で処理を行っている部分であり、この時 ALU → Sd のパスには非同期遅延線の段数の 1/2 以上のパケットがバッファリングされている状態にある。

○実験結果

プログラム(a) を実行した結果を、プログラムの並列度に対する命令処理量のグラフに示す(図6)。図の横軸はプログラムの並列度となっているが、これは線路上のバケット量とほぼ等価なものである。この結果によると、命令処理量は、線路上のデータ量が線路段数の約1/3に相当する29並列までは直線的に上昇し、その後2/3に相当する57並列まではほぼ一定値を示した後低下する。このグラフにおいて、命令処理量の最高値を示している29~57並列の間での非同期遅延線のバケット転送能力は、285 nsec/バケットであり、3.52~3.59 MIPSの処理能力を示している。これは、実行経路中の最も遅い部分の影響をうけたため、バケット転送能力の設計値240 nsec/バケットに達していないと考えられる。このことより、Q-pでは、各機能部が非同期に実行されるためその処理速度にはバラツキが存在するが、線路のエラスティック性により吸収され、比較的広い範囲の並列度において高効率の実行が行えることを示している。

プログラム(b) を実行した結果を図7に示す。図中、並列度が15程度までは理想的な動作を示しているが、それ以降は上昇率が低下し、理想的動作に比べかなり小さい並列度で性能が低下している。これは、PAIRの内部構造に起因するものである。PAIRはリング状の2つの非同期遅延線を基本としているため⁷⁾、PAIR内のデータ量が増加するにつれ、リングを周回するバケットが増加し、PAIR内での滞留時間だけ実行時間が増加する。また、PAIR内のデータ量がさらに増加すると、PAIR内のリング状非同期遅延線の転送能力が低下し、全体の処理能力が大きく低下する。ただし、この結果においても、ピーク時(23並列)の性能は、理想時の70%の処理能力を示している。

プログラム(c) を実行した結果を図8に示す。この図の横軸は、プログラムの平均並列度をとっている。この結果から明らかなように、プログラム(c)の実行結果は(b)と同様の傾向を示す。すなわち、プログラムの並列度の変化をQ-pが吸収し、プログラム全体の平均並列度に見合った性能を引出していると言える。

(2) 多世代実行とプロセッサ内データ量の制御

前項で示したように、十分な並列度が確保されたプログラムに対して、Q-pは高い効率で動作する。しかし、並列度が小さいプログラムに対しても、ストリーム状に多世代実行を行うことにより、高い実行効率を得ることができる。Q-pでは多世代実行を可能とするためバケットに世代識別子である世代番号を付

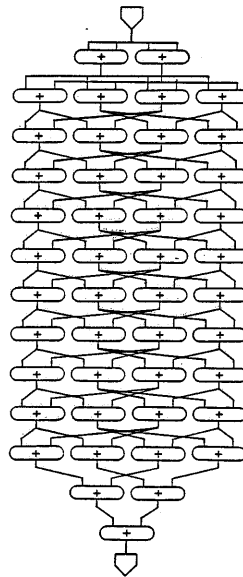


図9 実験用プログラム

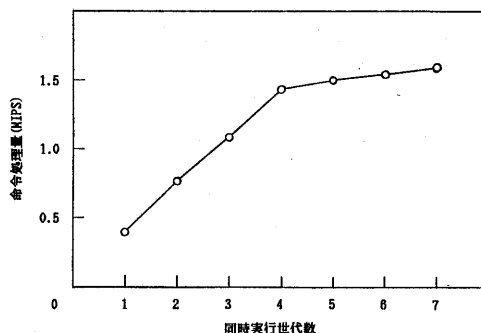


図10 多世代実行による命令処理量の向上

与している。

図10は、図9のプログラムを多世代実行した場合のMIPS値の増加を同時実行世代数に対してプロットしたものである。

このプログラムの場合、同時実行世代数が4世代までは、MIPS値が急速に増加している。さらに、同時実行世代数が5世代以上になると、MIPS値の増加傾向は徐々に鈍り始める。これは、処理量がQ-pの限界に近づいたためであり、8世代以上では処理のあふれによりQ-pはロック状態となる。この例では、1世代実行で0.4 MIPSに対して、7世代の同時実行により1.5 MIPSの実行性能が得られている。

このように、多世代実行により高い実行効率を得ることができるが、過剰な多世代実行はQ-pでは処理

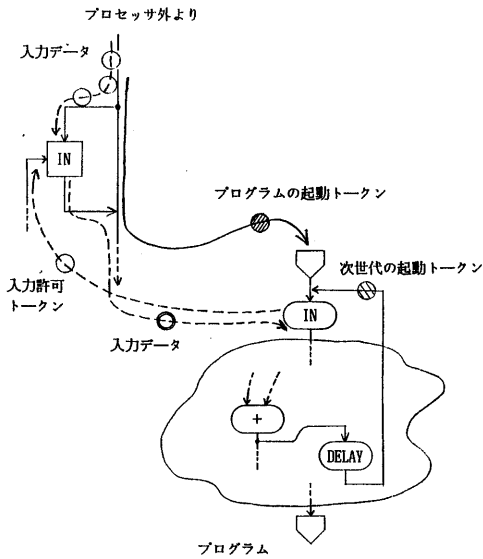


図 11 IN 命令による入力制御のイメージ

不能となる。信号処理等の分野では、等間隔の入力レート及び、均等な処理量が保証されている応用も多く、多世代実行が有効である。

データの入力レートが不定な場合や、データに対する処理量が変化する場合には、何らかの入力制限が必要である。このため、Q-p ではプログラムによりデータの入力を許可する IN 命令をサポートしている。IN 命令は入力処理部で実行される命令であり、外部からの入力トークンに対する入力許可トークンとして働く。従って、プログラムの構造に応じて IN 命令を配置することにより、プロセッサ内部の処理量に応じて、入力トークンを取り込むことが可能となる。

図 11 は、プログラムの実行のある段階で次世代の実行を許可する場合の模式図である。図 12 のプログラムを用い、6 世代同時実行を行う多世代実行の実験を行い、

1.49 MIPS

の実行性能を得た。この値は 2 入力命令のみからなるプログラムを実行した場合の最高速値に近いものである。

本入力制限の方式は、あくまでプログラマに制御をまかせるものであり、完全なものではない。しかし、プロセッサ内部の処理量を制御する 1 つの方法と言える。

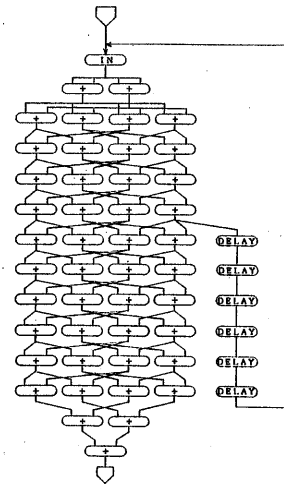


図 12 6 世代同時実行を IN 命令により実現するプログラム

4.3 マルチ・プロセッサの性能評価

マルチ・プロセッサによる並列処理は、対象とする問題やプロセッサの結合形態、並列処理の単位である粒度等により、性能が大きく影響され、大きな問題とされている¹⁰⁾。ここでは、Q-p のマルチ・プロセッサ実行について 2 つの基礎的な実験を行った結果を示す。

(1) マルチ・プロセッサによる Q-p の多世代実行

Q-p の 1 つの特徴である、多世代実行によるパイプライン形高速実行を 4 台のマルチ・プロセッサ環境で実験した。図 13 に示すプログラムを図中の点線で示したパイプライン形にプロセッサに配置し、60 世代の実行を行った結果、1 台のプロセッサによる性能の 3.5 倍の性能が得られた。単純なプログラムによる結果ではあるが、Q-p がマルチ・プロセッサにおいても効果的に使用できることを示している。

図 13 では、プログラムをパイプライン状に分割したが、プロセッサの負荷均等の条件下で、関数単位の分割、プログラムのランクに注目した縦割分割についても同様に実行した結果、1 プロセッサの 3.2 ~ 3.5 倍の性能を得た。

(2) プロセッサ間通信遅延のシステムへの影響

並列処理システムでは、プロセッサ間の通信量・通信速度がシステムの性能に大きな影響を与える。Q-p では、プロセッサ間接続に非同期遅延線を用いているが、LSI 化を想定した時、プロセッサ間通信速度はプ

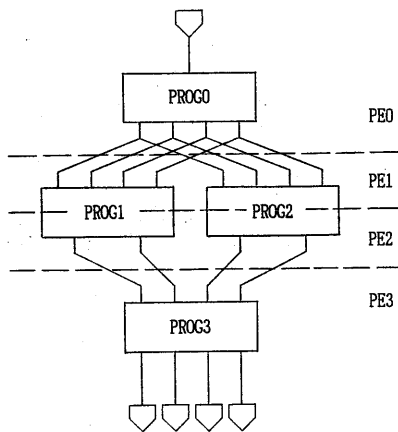


図 13 マルチ・プロセッサの実験用プログラム

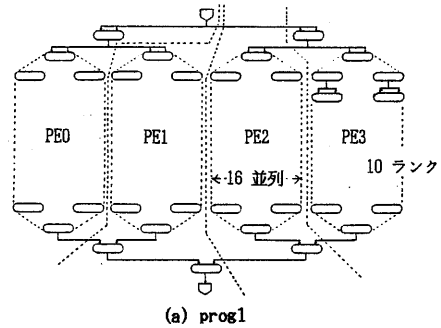
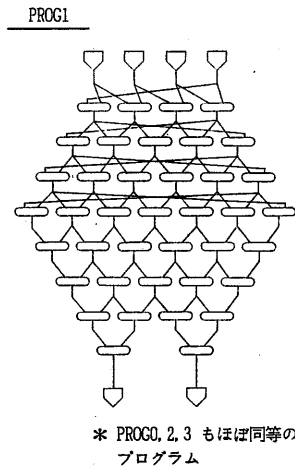


図 15 プロセッサ間通信遅延の実験用プログラム

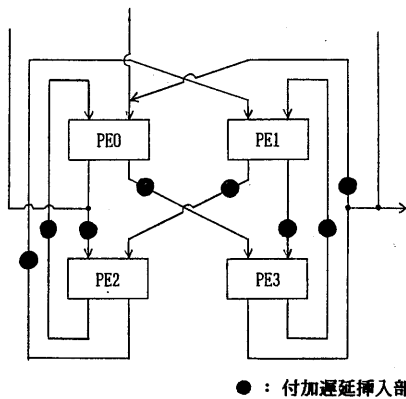


図 14 プロセッサ間通信遅延の挿入

ロセッサ内の転送速度に対して確実に遅くなると考えられる。このとき、システムの性能がどのように影響を受けるかについて実験を行った。

実験では、図 14 に示すように、各プロセッサ間を接続する非同期遅延線に 0 ~ 8500 nsec の遅延を挿入して実行性能を測定した。

図 15 に示す 2 種類のプログラムに対し、付加遅延の影響を測定した結果を図 16 に示す。プロセッサ内転送速度の約 70 倍の遅延付加に対しても、システムの性能は約 1/2 の低下にとどまっている。この結果は、図 15 のプログラムについてのものであるが、通信量と通信速度の関係に 1 つの示唆を与えていると考えられる。

4. 4 応用プログラムの実行

具体的応用プログラムに対する、UL2 の記述性・Q-p の動作を確認するため、コンピュータ・グラフィックスの分野からレイ・トレーシング法による物体の陰影表示を選び、プログラミングおよび実行をおこ

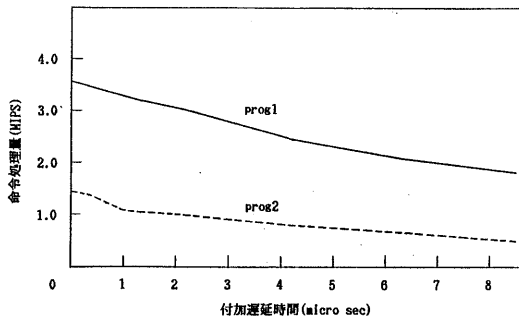


図 16 プロセッサ間通信遅延の増加による命令処理量の低下

なった。尚、光線の反射は1回のみとし、物体(球に限定)の反射は全反射としている。光源は2つの点光源としている。また、浮動小数点演算は整数演算の組み合わせで実現している。

図 17 にモニタ TV に表示された出力結果を示す。この出力例は、256×256 の格子点の輝度を計算し、512×512 の領域に出力したものである。本例では、4 台のプロセッサに同じプログラムを配置し、走査線単位に負荷分散を行っている。実行時間は、1 PE の実行で 155 秒、4 PE の実行で 39 秒であった。本例は、並列処理に非常に適した例であるため、4 PE による速度が 1 PE の場合のほぼ 4 倍となっている。

また、本応用例では分散したプロセッサからの計算結果の収集には非同期遅延線の合流機構をそのまま利用でき、特別な機構なしに、並列処理によるグラフィック出力が実現できている。これは、Q-p のマルチ・プロセッサ・システムの有効性を示していると言える。

5. むすび

本報告では、データ駆動形プロセッサ Q-p の性能評価について述べた。シングル・プロセッサの基本性能評価により、非同期遅延線および流れ処理で構成された Q-p により高速な計算が可能なることを明らかにした。特に、ストリーム型の実行により、並列度の小さなプログラムに対しても高い実行性能が得られることを示した。

また、具体的プログラムの例として、レイ・トレーシング法による陰影表示プログラムを作成し、UL2 によるプログラミングから Q-p による実行までの動作を確認した。

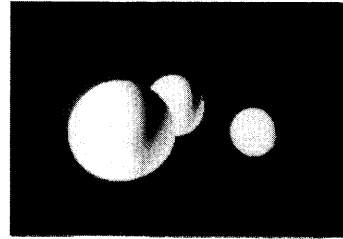


図 17 レイ・トレーシング法による 3 次元物体の陰影表示結果

Q-p の問題点の 1 つである、プロセッサ内部資源のあふれに対しても、1 つの解決手段を提案した。しかし、この手段は根本的な解決法ではないため、今後新たな制御法を検討するとともに、アーキテクチャ面からの再検討も必要である。

本研究は、通商産業省重要技術研究開発費補助金(80工技総第1537号)の援助を受けて行った研究の一部である。

参考文献

- (1) 寺田他：“データ駆動形プロセッサ Q-x の設計思想”，情報処理学会第32次全国大会講演論文集，5R-1(1986)。
- (2) 明智他：“図的データ駆動形言語 UL1 の仕様”，ibid.,5R-2(1986)。
- (3) 西川他：“図的データ駆動形言語 UL1 の言語処理系”，ibid.,5R-3(1986)。
- (4) 戸倉他：“データ駆動形プロセッサ Q-p のアーキテクチャ”，ibid.,5R-4(1986)。
- (5) 浅野他：“データ駆動形プロセッサ Q-p の構成”，ibid.,5R-5(1986)。
- (6) 小守他：“データ駆動形プロセッサ Q-p の転送系”，ibid.,5R-6(1986)。
- (7) 三浦他：“データ駆動形プロセッサ Q-p における処理機構”，ibid.,5R-7(1986)。
- (8) 宮田他：“データ駆動形プロセッサ Q-p における記憶機能”，ibid.,5R-8(1986)。
- (9) 西川他：“履歴依存性を許すデータ駆動図式”，信学論(D),Vol. J68-D, No. 10, pp. 1169-1178(1983)。
- (10) 所：“並列処理システムの展望”，情報処理，vol. 27, No. 9, pp. 1049-1055(1986)。
- (11) 嶋他：“データ駆動形プロセッサ Q-p の実行制御方式”，本研究報告(1986)。
- (12) 三浦他：“データ駆動形プロセッサ Q-p のハードウェア”，本研究報告(1986)。