

データ駆動形プロセッサQ-pのハードウェア

Hardware of Data-Driven Processor Q-p

三浦宏喜*	清水雅久*	小守伸史**	福原 毅**	嶋 憲司**
Hiroki MIURA	Masahisa SHIMIZU	Shinji KOMORI	Tsuyoshi HUKUHARA	Kenji SHIMA
松本 敏***	宮田宗一***	浅野 一****	浅田勝彦*****	寺田浩詔*****
Satoshi MATSUMOTO	Souichi MIYATA	Hajime ASANO	Katsuhiko ASADA	Hiroaki TERADA

*三洋電機(株)中央研究所
Sanyo Electric Co., Ltd.

***シャープ(株)超LSI開発研究所
Sharp Corporation

*****大阪大学 工学部
Faculty of Engineering, Osaka University

**三菱電機(株)応用機器研究所/LSI研究所
Mitsubishi Electric Corporation

****松下電器産業(株)システム研究所
Matsushita Electric Industrial Co., Ltd.

1. はじめに

VLSI技術の急速な進歩に伴い、計算機システムは大規模なものとなり、並列処理や分散形制御がますます重要なものとして注目されているが、システムが大規模になるほど、ハードウェアとソフトウェアのギャップは大きくなり、旧来のプログラム記述によるソフトウェア生産は困難を増すばかりである。

このような状況の中で、著者等は、プログラム作成が極めて容易な高機能素子の実現を目指して、ソフトウェアからハードウェアに至るまで一貫してデータ駆動原理を採用し、図的データ駆動形言語及びそれを高効率に実行するデータ駆動形プロセッサQ-pを開発した^{1)~12)}。

Q-pは、非同期遅延線⁶⁾によるエラスティック転送路と、転送路と同速度で処理を行う流れ形処理機構¹⁾⁷⁾を基本として構成されたプロセッサである。

本報告では、2章でQ-pのシングルプロセッサの構成と動作について述べた後、3~5章で代表的な処理ハードウェアについて説明し、6章でハードウェア規模を報告する。

2. Q-pの全体構成と動作

2.1 構成

Q-pのシングルプロセッシングエレメント(1PE)の全体構成の一例を図1に示す。この構成は、非同期遅延線によるエラスティックな転送機構(BRN, JNT)に

よって構成された環状の転送路(メインリング)と、このメインリングに接続された種々の機能要素(Sd, PAIR, ALU, etc.)及び、入力処理部(BUF, IN)、モニタ部(TRC)から成り、PE内の全ての転送路は、40ビット幅である。なお、図示されていないが、転送路のバッファ段数を増加させるためのバッファモジュールが、各所に組み込まれている。

本構成では、環状の転送路は時間多重的な共通転送路として動作し、全ての転送路はデータ駆動原理に起因するデータ流量のゆらぎを吸収する緩衝記憶として機能する。さらに、空間的に重複しない複数区間での転送は、空間分割的にも同時に行うことができる。本転送系は、このような時間・空間分割多重化動作により、通常のバス系には見られない非常に高い転送能力を持ち得ることを特徴としている。

また、分岐部では、バケットを分岐先が空いている際に分岐させる空き分岐と、分岐先の状態にかかわらず分岐させる絶対分岐とを選択でき、合流部では、バケットを本線を優先して合流させるか本線・支線を均等に合流させるかを選択できる。従って、要素間の接続の変更とこれらの設定の変更により種々の実験的検証が可能である。

各モジュールは、TTL ICを実装したのプリント基板によって構成されている。詳細なハードウェア規模については後述する。

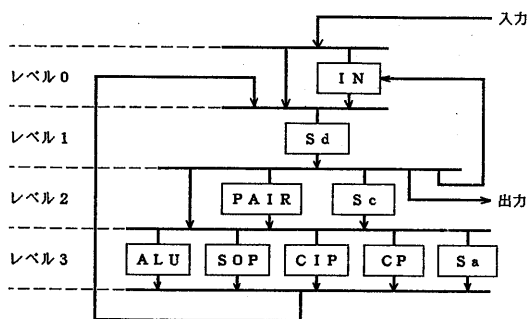


図3 . 実行方式

行方式と関連づけながらQ-pのハードウェアの実行動作について説明する。Q-pで実行される命令は高々2入力命令であるため、2入力の加算(左オペランドA+右オペランドB)を実行する場合を例にとると、以下のようになる。

(1) レベル0

入力バケット1 (データ=A, SEL=000 0 000, COLOR=c, NODE=N1)及び、
 入力バケット2 (データ=B, SEL=000 0 000, COLOR=c, NODE=N2)が、ホストからBUFを介して入力され、INを経由してメインリングに合流する。

(2) レベル1

レベル1では、バケットは、SELの値によって分岐し、プログラム記憶(Sd)に達する。Sdではセレクションコード、オペレーションコードのフェッチ、及びノード番号のつけかえが行われる。この例の場合、

入力バケット1



オペランドバケット1(A, 010 1 001, c, N3, +)

入力バケット2



オペランドバケット2(B, 010 0 001, c, N3, +)

となって出力され、再びメインリングに合流する。

(3) レベル2

レベル2では、バケットは、SELの値の上位4ビットによってデータ対生成部(PAIR)または定数記憶部(Sc)に分岐し処理が終了するとSELの上位4ビットがクリアされる。

この例の場合、オペランドバケット1はPAIRの左

入力に、オペランドバケット2はPAIRの右入力にそれぞれ達する。PAIRでは左オペランドバケットと右オペランドバケットのCOLOR, およびNODE(合計20ビット)が一致すれば、オペランド対を作成し、SELの上位4ビットをクリアしてオペレーションバケットとして出力する。即ち、

オペランドバケット1 → ← オペランドバケット2



オペレーションバケット(A, B, 000 0 001, c, N3, +)となり、オペレーションバケットは、メインリングに合流する。

定数を含む処理の場合は、Scにおいて定数が読み出されてオペレーションバケットが生成される。

(4) レベル3

レベル3では、バケットはSELの値の下位3ビットによって各機能要素に分岐し、処理が終了するとSELの下位3ビットがクリアされる。

この例の場合、オペレーションバケットはALUに入力される。ALUでは、入力データにオペレーションコードで示される処理を施し、SELの下位3ビットをクリアし、リザルトバケットとして出力する。即ち、

オペレーションバケット



リザルトバケット(A+B, 000 0 000, c, N3)

となり、リザルトバケットはメインリングに合流する。

演算命令以外に、動的にカラーを獲得・解放する命令の場合はカラー管理部(CP)で、条件分岐や再帰・共通関数呼び出しを制御する制御命令の場合は制御命令処理部(CIP)で、また配列データの書き込み・読み出し命令の場合は配列データ記憶部(Sa)でオペレーションバケットが処理される¹¹⁾。

リザルトバケットはSELの値によって再びSdに分岐し、レベル1に達する。即ち、2入力演算命令では、

Sd → PAIR → ALU → Sd

の経路で実行が進む。また1入力演算命令では、SdでSEL=000 0 001がフェッチされ、

Sd → ALU → Sd

の経路で実行が進む。なお2入力演算の場合の実行経路には、最少180段のラッチが存在する。

以上に述べたように、各バケット分岐部がセレクションコードを解釈して所定の分岐処理を行い、さらに各要素が行うセレクションコードの修飾により、バケットが自動的に転送され、その間にオペレーションコードで示

される所定の処理が施される。除算・開平部(SOPD)以外の要素は、全て流れ形処理の要件を満たしており、転送系と同等のレートで処理を行なう。

現状のQ-pにおけるデータの転送・処理速度は、平均的に約240ns/packetである。

3. 演算処理部(ALU)

3.1 演算処理部の概要

データ駆動原理採用の最大の利点は、ハードウェア水準のあらゆる処理実行に半順序性が保証されることにある。即ち、処理発火の条件が満足されたオペランドの組は、その他の処理の進行とは無関係に、前進的に処理を進めることが可能となる。この条件のもとでは、パイプライン的な処理を極限まで追求しても、処理間のインタロックが全く不要であり、パイプラインの各単位段に必要な制御は、その段の処理実行に必要な制御だけに限られ、大局的な制御を必要としないことになる。Q-pにおける処理の基本的概念として導入された流れ形処理は、このようなデータ駆動方式の利点をそのまま活用したものである。特に、Q-pの演算処理部における処理は流れ形処理の典型であると言える。

演算処理部における流れ形処理方式は、C素子によって非同期に駆動されるデータラッチ間にデータ処理要素を挿入することにより、データの処理と伝送とを一体として行う処理方式であり、投入されたデータに対してそのデータ固有の処理を行い、他のデータに対してはいかなる副作用も及ぼさないという特長をもつ。これによってハードウェア水準のデータ処理に完全な関数性を付与することができ、系のパイプライン効果を極限まで高めることができる。

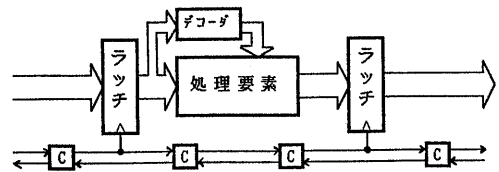


図4. 流れ形処理の基本要素

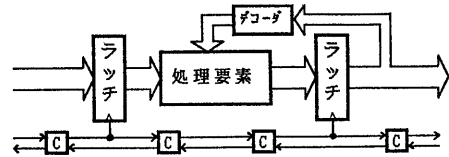


図5. 演算処理部の基本要素

3.2 演算処理部の構成

流れ形処理機構の基本設計に際しては、1データラッチに1パケットが格納されることを前提としている。即ち、1語パケットを前提としており、流れ形処理の基本構成要素は図4のようになる。

しかし、Q-pでは実験機としての性格上、2語パケットを採用しており、1語目に命令コード等の制御情報を保持し、2語目に被演算データを保持した構成となっている。従って、演算処理部の流れ形処理の基本構成要素は図5に示すように、前段ラッチからの命令コードによって指定された処理を後段ラッチの被演算データに対して施す「制御フィードバック形」の構成をとっている。演算処理部は、複数の基本構成要素を直列に接続し、演算処理を複数の単純な処理に分割して各要素に分散配置したものである。

図6に演算処理部のハードウェア構成を示す。処理要素は、4つの4ビット算術論理演算器と16ビットデータ

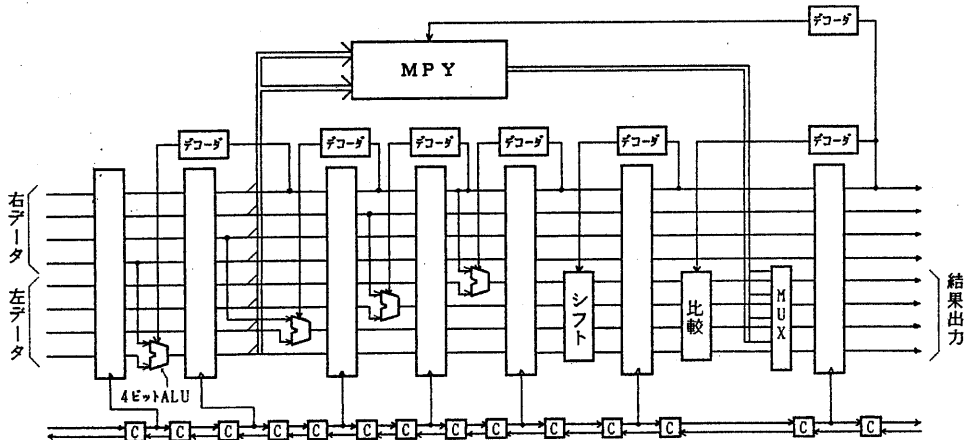


図6. 演算処理部の構成

のシフト・ローテイトを行うシフト回路、16ビットデータの正負・ゼロを判定する比較回路、及び16ビット乗算器である。

3.3 演算処理部の動作

既に述べたようにQ-pの演算処理部に入力されるオペレーションバケットには、その1語目に演算処理の命令コードが、2語目に演算の対象となる16ビットデータが保持されている。図6の各処理段に先行して到着する命令コードはデコーダによってデコードされ、各処理要素に対する制御信号として出力される。各処理要素はこの制御信号に応じて、後続して到着する被演算データに対して処理を施す。2項及び単項の算術論理演算（乗算を除く）は、4つの4ビット算術論理演算器によって下位から順に4ビットずつ演算を施すことによって実行される。大小比較命令は、4つの算術論理演算器によって引き算された結果の正負・ゼロを判定することによって実行でき、シフトに関しても算術論理演算の結果をシフトするといった複合処理が可能である。また、乗算器は別経路に置かれ、乗算結果とその他の演算結果とが選択的に出力される構成となっている。これら各処理要素における処理は、転送系の速度を全く阻害せずに行え、演算処理部における処理レートは、転送系のバケット転送レートに等しい。

3.4 演算処理部の特長

Q-pの演算処理部は、流れ形処理機構の典型的な実現例であり単純化した制御・処理機構を関数的に分散配置し、徹底したパイプライン処理を行うことによって極めて大きなデータ流量が得られることを特長とする。

4. カラー管理部(CP)

カラー管理部は、再帰・共通関数呼び出しを実現するため、カラーを獲得・解放する命令を実行する。Q-pのカラー管理部は、図7に示すように、カラー群を格納しておくためのカラーエントリーキュー（以後、カラーキュー）を持ち、以下の処理機能を果たす。

- (1) カラーキューへのカラーの初期ローディング
(システムリセット後に自動的に実行する)
- (2) カラーキューからのカラーの貸与
(カラー獲得命令の実行)
- (3) 貸与したカラーのカラーキューへの復帰
(カラー解放命令の実行)

カラーキューはその構成上、非同期遅延線による転送系になじみ易く、カラー管理部においても流れ形処理が

実現されている。

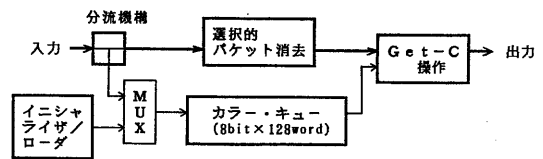


図7. カラー管理部の概略構成

5. データ対生成部(PAIR)

5.1 データ対生成部の概要

データ駆動形処理方式の実現に際しては、処理の起動原理即ち、オペランドの対の生成あるいはオペランドと命令との対生成など、処理発火機構の実現法が大きな問題となる。即ち、演算処理機構の処理能力に見合った高いレートで、大量のオペランド対（オペレーションバケット）を供給する対生成機構の実現の成否がシステムの処理能力を決定することになる。

データ対生成部は、左右のオペランドバケットのタグ(COLORおよびNODE)の一致を検出してオペランド対を生成する。従って、未発火のオペランドバケットの一時記憶機能とそれらの間のタグ一致検出機構とをいかに効果的に実現するかが大きな問題となる。

Q-pでは、データ対生成部にも流れ形処理の概念を適用し、非同期遅延線のもつエラスティックな記憶・転送機能を活用することによって、これらの問題を解決し、非常に高速の流れ形連想機能を実現している。

5.2 データ対生成部の構成と動作

Q-pのデータ対生成部は、図8に示すように、縦続接続した複数(通常10個)の対検出モジュールと2個の合流モジュール、1個の分岐モジュール、及びバッファモジュールから成っており、これらによって、互いに逆方向にバケットを転送する2つの非同期遅延線転送リングが構成されている。

左右のオペランドバケットは、2つの転送リングに合流モジュールを介して流入する。2つの転送リング相互間には、リングに記憶できるデータ語数の半数以上にわたって、相互に逆行するオペランドバケット間のタグの一致を検出する対検出機構が配置されている。この一致検出区間において左右オペランドバケットのタグの一致が検出されると、すれちがいざまに右オペランドが分岐モジュールを含む出力側の転送リングに移行し、オペランドの組(データ対)が生成される。生成されたデータ対は、分岐モジュールで検出されて、オペレーションバケ

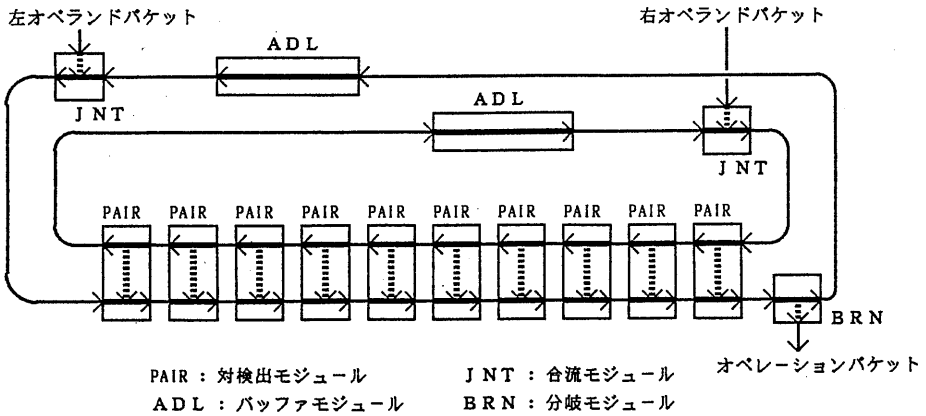


図 8 . データ対生成部の構成

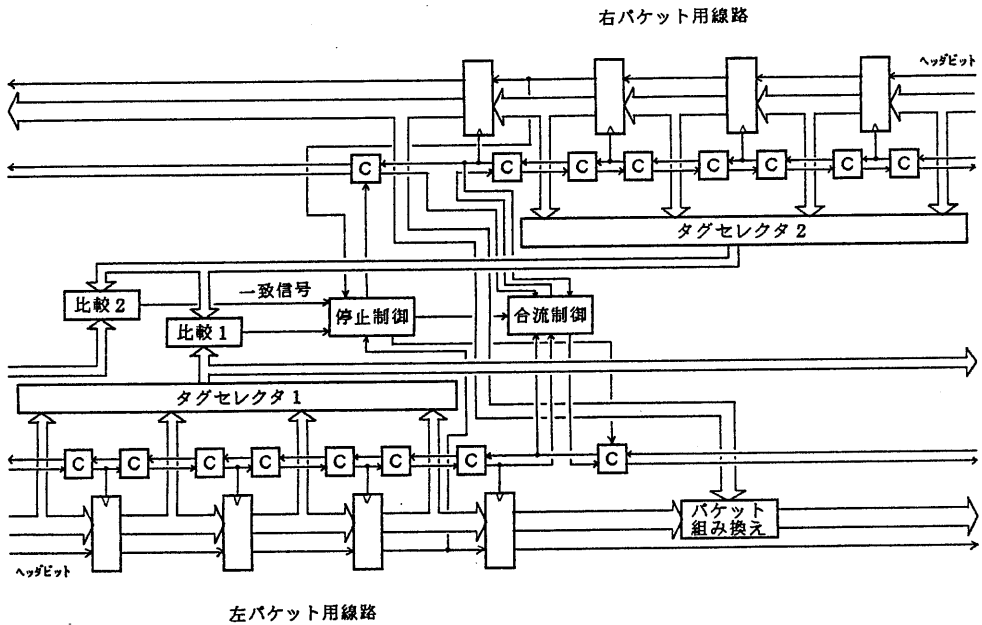


図 9 . 対検出モジュールの構成

ットとして出力される。未発火のオペランドバケットは対検出がなされるまで、転送リング上を周回し続け、相手のバケットを待ち合わせることになる。

5.3 対検出モジュールの構成と動作

対検出モジュールは、図 9 に示すように、各々 4 段のデータラッチを含む左バケット用転送路、右バケット用転送路、2 個のタグセクタ、2 個の比較器、バケット停止制御回路、オペランドの合流制御回路、及びバケット組換え回路などから構成される。

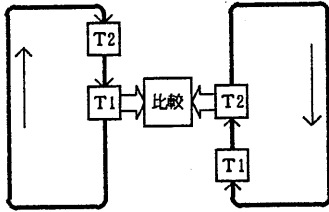
タグセクタには、4 つのデータラッチからタグフィ

ールドの内容が入力される。タグセクタは、このうち最も先行して転送されているバケットのタグを選択して出力することによって、バケットが数段のデータラッチを転送される間タグを保持する。比較器 1 はタグセクタ 1、2 の出力を比較して一致の検出を行う。比較器 1 が一致状態になると、左右のオペランドバケットのうち先着したバケットが停止制御回路によって停止する。もう一方の転送路上に後着した相手のバケットは、先着したバケットの停止を解除するとともに、合流制御回路、バケット組換え回路を起動し、右バケット用転送路から左バケット用転送路にオペランドが合流することにより

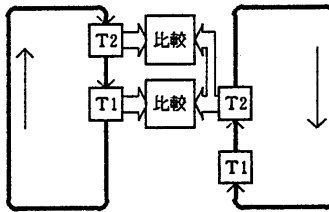
オペレーションバケットが生成される。

比較器2では、タグセレクト2の出力と隣接モジュールのタグセレクト1の出力が比較される。比較器2が一致状態になると、右オペランドバケットが停止制御回路によって停止する。しかる後、左オペランドバケットが隣接モジュールより入力されると比較器1が一致状態となり、前記と同様にしてオペレーションバケットが生成される。

比較器1、2がともに不一致状態のときは、オペランドバケットは、各転送路を通過していくのみとなる。



(a) 1対1の比較



(b) 2対1の比較

図10. 2対1比較によるデッドロックの回避

このように、一方の転送路の2個のオペランドバケットと他方の転送路の1個のオペランドバケットの間で、2対1の比較を行っているのは、1対1比較に起因するデッドロックを回避し、対検出の効率を上げるためである。即ち、図10に示すように、1対1の比較では、各転送リングのリング長、及び転送速度が全く等しい時に対となるべき2つのバケットが永久に比較段で出会うずに周回し続けるデッドロックが生じる。一方、2対1の比較では、対となるバケットは比較段で必ず出会うことになり、デッドロックは回避できる。

また、互いに逆方向に周回する2つのバケットはリングを一周する間に2度すれちがうため、タグの比較機構はリング全体にわたって配置される必要はなく、リングに記憶できるデータ語数の半数以上にわたって配置されていれば充分である。

5.4 データ対生成部の特長

Q-pのデータ対生成部は、

- (1) データ対生成が同時に複数個所でできるパイプライン形の並列処理により、極めて高いデータ流量が得られること、
- (2) 転送系のエラスティック性により、待ち合わせ記憶内でのガーベージ処理が全く自動的に行われること、
- (3) バケットを転送しながら一連の処理を行うため、
 - ・一致検出のための時間を極めて短縮できる
 - ・比較のためのハードウェアを約半分に削減できる
 - ・記憶容量に依存しない一定のデータ流量が得られるなどの特徴を持ち、極めて高速、高機能の連想記憶機能となっている。

6. Q-pのハードウェア性能と規模

既に述べたように、Q-pは、データ駆動原理のハードウェア上の実現とも言える「流れ形処理」を基本としており、

- (1) 完全分散形の高速制御機構により、通常の実現法に見られる集中形の制御機構を排除している。
 - (2) エラスティック記憶機構によるデータ転送・処理方式の実現によって、バス系による転送機構を排除している。
 - (3) 自己同期形の制御・処理機構の採用により、システムクロックの供給が不要である。
- という好ましい特徴を有している。

このような特徴によりQ-pは、プロセッサチップ上の素子を全て機能的に活用できるとともに、素子動作速度の向上を完全に活用でき、さらには設計効率を大幅に向上させることが期待でき、VLSI化に極めて適した構成となっている。

VLSI化に際しての問題点の一つは、ハードウェア規模である。Q-pのハードウェア規模を表3に示す。ただし論理ゲート数は3入力NAND換算とし、利用率の極めて低い制御用ROMやマイクロプロセッサは除外した。

表3に従って1PE当りの論理ゲート数を算出すると約13万7千ゲート(82万トランジスタ)という膨大な素子数となる。(※のボードは除く)。しかし、82万トランジスタの約80%は転送系のハードウェアであり、さらにその約70%は、データラッチ回路が占めている。そこで、

- (1) 実験機としての性格を除外し、システムの最適化をはかることにより、転送系のハードウェアは現状の約50%に削減できると考えられること、

ボ ー ド 名	略 称	ボード1枚当りの 論理ゲート数	ボード1枚当りの メモリ規模(kビット)	1PE当りの ボード枚数
ADLバッファボード	ADL	3,100		5
分岐ボード	BRN	3,100		16
合流ボード	JNT	2,800		15
プログラム記憶ボード	Sd	3,100	300	1
配列データ記憶ボード	Sa	2,300	1,000	1
定数記憶・履歴依存処理ボード	Sc	3,000	200	1
対検出モジュールボード	PAIR	1,500		10
演算処理ボード	ALU	1,700		1
バレルシフト・ゼロカウントボード	SOPS	800		1
除算・開平ボード	SOPD	800		1
制御命令処理ボード	CIP	2,100		1
カラー管理ボード	CP	1,100	1	1
入力制御ボード*	IN	1,200	1,500	1
入力ボード*	BUF	1,000	3,000	1
データトレースボード*	TRC	1,000	3,500	-

表3. Q-pのハードウェア規模

(2) データラッチ回路は、現状の18トランジスタ構成から3トランジスタ構成にできること、を考慮して簡略化すると約30万トランジスタとなり、Q-pのハードウェアが極めて規則的に配置可能であることも考えると、近い将来のVLSI技術をもってすれば単一チップ上で実現できる見通しが得られたと言える。

7. おわりに

本報告では、データ駆動形プロセッサQ-pのハードウェアについて述べた。シングルプロセッサの構成を示しQ-pがプロセッサとしてどのように動くかを説明した。Q-pにおける代表的な処理機構である、演算処理部、カラー管理部、及びデータ対生成部について述べ、流れ形処理方式の有効性を明らかにした。さらに、Q-pのハードウェア規模を報告し、VLSI化の見通しについても触れた。

今後は、具体的な応用分野の開拓とそれに伴うハードウェアの最適化、及びVLSI化のための更に詳細な検討が必要であると考えている。

最後に、本研究をご指導ご支援いただいた関係各位に厚く感謝する。なお、本研究は、通商産業省重要技術研究開発費補助金(60工技総第1537号)の援助を受けて行った研究の一部である。

参考文献

- (1) 寺田他：“データ駆動形プロセッサQ-xの設計思想”，情処会第32回全国大会，5R-1(1986-3)。
- (2) 明智他：“図的データ駆動形言語UL1の仕様”，情処会第32回全国大会，5R-2(1986-3)。
- (3) 西川他：“図的データ駆動形言語UL1の言語処理系”，情処会第32回全国大会，5R-3(1986-3)。
- (4) 戸倉他：“データ駆動形プロセッサQ-pのアーキテクチャ”，情処会第32回全国大会，5R-4(1986-3)。
- (5) 浅野他：“データ駆動形プロセッサQ-pの構成”，情処会第32回全国大会，5R-5(1986-3)。
- (6) 小守他：“データ駆動形プロセッサQ-pの転送系”，情処会第32回全国大会，5R-6(1986-3)。
- (7) 三浦他：“データ駆動形プロセッサQ-pにおける処理機構”，情処会第32回全国大会，5R-7(1986-3)。
- (8) 宮田他：“データ駆動形プロセッサQ-pにおける記憶機構”，情処会第32回全国大会，5R-8(1986-3)。
- (9) 岡本他：“データ駆動形プロセッサQ-pのエミュレーションシステムと性能評価”，情処会第32回全国大会，5R-9(1986-3)。
- (10) 寺田他：“データ駆動形プロセッサQ-p”，信学会データフローワークショップ予稿集(1986-5)。
- (11) 嶋 他：“データ駆動形プロセッサQ-pの実行制御方式”，信学会コンピュータシステム研資(1986-11)。
- (12) 戸倉他：“データ駆動形プロセッサQ-pの性能評価”，信学会コンピュータシステム研資(1986-11)。