

## 光結合3次元VLSI上におけるソーティング

$$T=O(\log^2 N), AT^2=O(N \log^5 N)$$

### A Sorting Scheme in 3-Dimensional VLSI

静岡大学工業短期大学部情報工学科 長谷川 誠  
College of Eng. Shizuoka Univ. Makoto HASEGAWA

東北大学工学部情報工学科 重井 芳治  
Faculty of Eng. Tohoku Univ. Yoshiharu SHIGEI

#### あらまし

光結合された3次元VLSI上でパイロニック・ソートを実現することにより、データ数Nの場合に関するソーティング問題を時間 $T=O(\log^2 N)$ 、 $AT^2=O(N \log^5 N)$ 、 $VT^{3/2}=O(N \log^4 N)$ で実行できる。これは、Thompsonが2次元VLSIに対して与えた面積時間複雑度( $AT^2$ )の下限である $\Omega(N^2 \log N)$ よりも良好な結果である。

並列処理システムにおいて、N倍の資源の投入によってN倍を越える性能の向上が実現したのはこの3次元VLSIシステム上に於けるFFTとソーティングとが初めての例である。3次元VLSIシステムに基づいた構成方法を考えることで、幾つかの重要な問題に関して2次元VLSIを遙かに上回る性能を得られる可能性が明らかになって来たことは、その実現へ向けての努力が十分に報われるものであろうことを示唆しているように思える。

#### 1. はじめに

3次元ICの有する可能性の大きさに対する認識が深まりつつある。その機運は黒川等による優れた解説[KURO86]に良く表されている。3次元構造の上では問題のマッピングに高い柔軟性を得ることが出来るため、システムレベルでの適切な構成法を考えることに依って計算量の大幅な縮減が可能であることがFFTの場合に関してはずで知られている[HASE86]ところで

あるが、ここでは3次元構造VLSI上に於けるソーティング問題の計算量を検討し良好な性能の得られることについて示す。大量データに対する高速ソーティングは強く望まれる[DOHI82]とされておりながら平面VLSI上では実現可能な程度の所用面積でかつ十分な性能を得ることは難しい問題である。

VLSIの登場によってデジタルシステムの動作速度は大きく改善された。ところがVLSIチップの内部においては、その動作速度は広域通信用の長距離配線を充放電する駆動遅延によって規制されチップ面積のかなりの部分は配線によって占有されてしまっている。

この為に、局所通信だけで問題の解法を実現できるアルゴリズムの発見の為に一大レースが繰り広げられ現在も進行中である。幾つかの問題に関してはすでに目覚ましい成果が得られている。しかしこの研究が進むにつれて、純粹に局所通信のみで実現できるクラスの方がむしろ例外的なこと、それどころか効率的に解を得る為には本質的に広域通信を必要とするような問題が存在することが認識されるようになって来た。しかも、重要であって高速化が切望されている問題が実は幾つもこのカテゴリーに属していることが分っている。高速フーリエ変換(FFT)とかソーティングとかといった問題がその代表的なものである。

これに対して、光結合された3次元VLSI上で

イトニックソートを実現することにより、データ数Nの場合に関するソーティング問題を時間 $T=O(\log^2 N)$ ,  $AT^2=O(N \log^5 N)$ ,  $VT^{3/2}=O(N \log^4 N)$ で実行できる事を示す。これは、Thompsonが2次元VLSIに対して与えた面積時間複雑度( $AT^2$ )の下限である $\Omega(N^2 \log N)$ よりも良好な結果である。

これまでの並列計算機は、N倍の資源を投入したとしても、それに見合った速度の向上が期待できる訳ではなかった。ところが、3次元VLSIを採用する事に依って、問題に依ってはN倍の資源を投入することに依ってN倍を超える性能の向上を達成できる方式の可能性が現れて来たわけである。

## 2. バイトニックソート

ここではソーティング・アルゴリズムとして双単調ソート(Bitonic sort)を用いる事にする。このソーティング方法を最初に考えたのはBatcher [BATC68]であるが、以下ではStone [STON71]とKnuth [KNUT73]に基づいて説明する。ここで言うバイトニック列とは一方が上昇順で他方が下降順の同じ長さの2つの列を接合して作られた列の事である。列 $\{a_1, a_2, \dots, a_{n-1}, a_n, \dots, a_{2n}\}$ が $a_1 \leq a_2 \leq \dots \leq a_n$ ,  $a_{n+1} \geq a_{n+2} \geq \dots \geq a_{2n}$ なる関係を満足するバイトニック列である時、この列に関して、 $MIN_i = \min(a_i, a_{n+i})$ と $MAX_i = \max(a_i, a_{n+i})$ のオペレーションを適用して生成される2つの列に関して、

- (I) 新たに生成される $\{MIN_1, MIN_2, \dots, MIN_n\}$ と $\{MAX_1, MAX_2, \dots, MAX_n\}$ とは何れもバイトニック列である、
- (II)  $\{MAX_1, MAX_2, \dots, MAX_n\}$ 列の任意の要素は $\{MIN_1, MIN_2, \dots, MIN_n\}$ 中の何れの要素の値よりも大きい、との関係が成り立っている。したがって、長さが半分になった部分列に対して再帰的にこの操作を適用を行うことの $O(\log N)$ 回の繰り返しによってソーティングが実現できる。その為に必要な単位操作としては、着目している列の長さがmのとき距離(m/2)だけ離れた列要素相互間に関しての比較交換が用意できれば十分である。

図1に8入力に対するバイトニックソータの場合の信号流れ図を示す。矩形で表現されているのが比較交換

ユニットであり、その左側から与えられた2つの入力値の大小関係を判定した上で矩形内の矢印の方向に整列して右側の2つの出力端子から出力する。

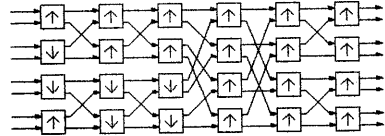


図1: 8入力に対するバイトニックソート

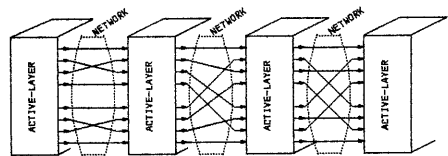


図2: 三次元構造上での構成

## 3. システム構成

そもそもソーティングという概念自体が、効率の実現の為に広域通信を本質的に必要としている。したがって、2次元VLSIとして実現することを考える限りにおいてはその為に生ずる長距離配線に対する駆動遅延が基本的な制約条件となっていた。

図1に示した信号流れ図に対応して、N入力のソータを実現するための構成を考えることにする。比較交換を実行する処理ステージが $O(\log N)$ 段に渡って順番に並んでおり、各処理段の相互間は等経路長ネットワークを通して光結合されている(図2)。それぞれの処理段は信号流れ図の中の各処理列に対応した機能を実現していて、その中には並列に動作するN個の独立した比較交換要素が含まれている。入力は図の左側から与えられ、最終結果は右側へ出力される。

各比較交換要素は受光素子・比較交換部・発光素子の3部分から構成されている(図3)。受光部は入力として受け取った前段からの光信号を電気信号に変換して処理部へ引き渡し、比較交換の結果は発光部で光信号に変えられて後続段へと送り出される。それぞれ

の処理段は並列に動作し得るこのような比較交換要素がN個集合した配列 (array)であり、物理的には受光層・演算層・発光層の3層から成る3次元VLSIとして形成することができる。この様な比較交換器アレイを含み処理をつかさどる演算ステージと相互結合を実現する結合ステージが交互に繰り返されて積み重なった形態を考える。

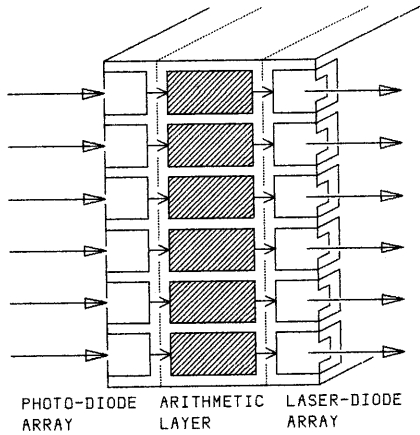


図3: 処理ステージの構造

【等経路長ネットワーク】

結合ステージにおいては通信媒体として光信号を用いており、同一ステージ内で相互結合されるどの2点間を取っても経路長の等しい等経路長ネットワーク (Identical-Path-Length network)によって実現されているものとする。このネットワークは図に示したように、結合されるノードのどの2点間を取ってもその経

路を他のノードによって遮られることがないので、光伝播の媒体としては光導波路・自由空間・透明平板等のものが自由に使える。

このネットワークの中では異なった経路間の信号が互に干渉し合うことが無いので、物理的に実現可能でさえあれば複数のデータストリームが並列に同時に存在しうる。また、ある1つの経路のデータストリームにおいては、先行するビットデータの送達が完了したら直ちに後続のビットの送達を開始しても良い。したがって、ある経路の中に複数のビットデータが時間順序にしたがって同時に存在することが出来る。演算ステージにおける各ノードは、先行する演算ステージの2つのノードから結合ステージを通して送られて来る2つの信号を整列させて後続する演算ステージの対応するそれぞれのノードに向けて送出する比較交換動作を実行する。一つの演算ステージにはこの比較交換ノードがN個含まれており、それらは並列に動作する。

4. 評価規準

時間計算量・面積時間性能に加えてRosenbergの主張する体積性能[ROSE83]についても示す。体積性能は一樣な材質で実現された場合のその材料の使用量に結びつけてコストの表現を行なっている概念である。現在用いられている評価規準一般にいえることであるが、処理能力を表現する時間性能の定義として何を採用すべきかとの問題、あるいは3次元構造ではあっても従来の意味での3次元ICとはいささか様相を異にする場合の問題等に関連して、それらの適切な評価規準に

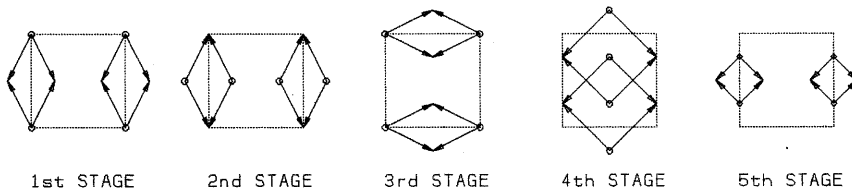


図4: 等経路長ネットワークの結合パターン

ついてはもっと議論の必要なところであろう。

これをアルゴリズムの実現に当っての困難度の尺度として考えるならば、面積評価の方が良く対応している。一方、最終製品としての製造コストの指標としては、歩留りが十分確保できるとの条件の下に [HIBI86]、材料コストとしての意味での体積評価量が有効であろう。

現時点で一般に用いられている評価規範のいずれを採っても、平面VLSIに対して本方式が優位にあることが後に示される。

## 5. 光結合VLSIモデルに対する仮定

光結合されたVLSIモデルの時間・面積性能評価を行う上で用いる仮定を以下に述べる。

### [仮定01: データ転送率 (光結合系)]

光伝搬路を通してデータを転送するためには、1ビット転送当たり単位時間を要する。

十分な長さのデータを直列転送するものとし、発光素子の駆動回路がパイプライン化されているとすれば成立する。

### [仮定02: 光結合の駆動遅延]

光結合された部分に関しては、光伝搬路減衰率は十分に低いものとする。このとき、距離に依存した駆動遅延は無視することができる。

光通信チャンネルとして低損失光導波路あるいは自由空間を利用できるならば、この仮定は満足し得てであろう。

もし光伝搬路が十分に低減衰率であるとは言えないときには、伝搬距離Lに対して $O(L)$ の駆動遅延を考えなければならない。

### [仮定03: 光結合の伝搬遅延]

光速の有限性に起因する伝搬遅延そのものは無視できるものとする。

配線結合に対するVLSIモデルにおいて、情報そのものの移動に要する時間 (伝搬遅延) は十分小さい

ものとして無視されて来た (というより、検討の対象にさえなっていない)。したがって、光結合の場合にも同様の扱いとする。

## 6. 配線結合2次元VLSIに対する結果

本方式との比較の対象とするためにThompsonによって得られた配線結合2次元VLSI上におけるソーティング処理に関する計算量の要約をまず示し、次にCardが指摘した電流密度限界の存在によってそれらがどのように影響を受けるかについて簡単に記す。

### 6. 1 Thompsonの結果

[面積時間複雑度(AT<sup>2</sup>)の理論的下界]

Thompson [THOM80]によると、データ数Nのソーティングに対する (面積 \* 時間<sup>2</sup>) 性能に関しては $\Omega(N^2 \log^2 N)$ より優れた実現法は存在し得ないとされていた。さらに新しい結果 [THOM83]では、理論的下界は $\Omega(N^2 \log N)$ であるとされている。

[シャッフル結合ソート]

シャッフル結合上のバイトニック・ソートは $T=O(\log^2 N)$ ,  $A=O(n^2/\log^2 N)$ ,  $AT^2=O(N^2 \log^4 N)$ で実現できる [THOM83]。

[メッシュ結合ソート]

メッシュ結合ソーティングは $T=O(N^{1/2})$ ,  $A=O(N \log^2 N)$ ,  $AT^2=O(N^2 \log^2 N)$ で実現できる [THOM83]。

### 6. 2 Cardの定理 [CARD86]とその影響

Thompsonの得た結果の前提となっているのは、長さLの配線を駆動するのに必要な時間は $O(\log L)$ まで短縮できるとのMeadの主張であった [Mead82] [Mead80]。その為には指数型ドライバーを使う。ところがCardの指摘によると [Card86]、現在のVLSI上の配線の電流密度がエレクトロマイグレーションを引き起こし始める限界にすでに近いため指数型ドライバーのような好きなだけ大きな電流を配線に流し込む事が可能なことが前提とした構成は実現性に問題がある。したがって、長さLの配線に対する駆動遅延は次の様にならざるを得ない。

【定理1】 任意のVLSIレイアウトにおいて、長さLの配線を充放電する遅延は $O(L)$ である [CARD86]。

この定理が示している制約条件のもたらす影響を代表的な2つのVLSIソーティングに関して考えてみることにする。

【電流密度限界でのメッシュ結合ソーティング】

バイトニックソートに必要な比較交換ステップが、電流密度限界を考慮しない時には、全体として $O(\log^3 N)$ の時間でできる。比較交換ステージ間において次の動作の準備の為のデータの転送に $O(N^{1/2})$ ステップを要する。ソーティング全体としての遅延時間は $O(N^{1/2})$ となる。

ところが、電流密度限界を考慮しなければならない時には、隣り合ったプロセッサ間の配線を駆動することが問題となる。その配線長が $O(\log N)$ であるので、1段当たりのルーティング時間としては $O(\log N)$ を想定せざるを得ない。この時、面積時間複雑度は以下の様になる、

$$A = O(N \log^2 N), \quad T = O(N^{1/2} \log N),$$

$$AT^2 = O(N^2 \log^4 N).$$

【電流密度限界でのシャッフル結合ソーティング】

シャッフルエクスチェンジ結合では演算ステージ相互間における最長の配線が何れも $O(N/\log N)$ であることから、相互結合網に於けるルーティング遅延が $O(N/\log N)$ となってしまふ。したがって、

$$A = O(N^2/\log^2 N), \quad T = O(N \log N),$$

$$AT^2 = O(N^4).$$

この様に電流密度限界を考慮に入れなければならないいとすると、メッシュ結合ソーティングの方がシャッフル結合ソーティングよりも高速となるわけである。

7. 性能評価

【パイプライン型ビット直列比較交換器】

本方式の為のパイプライン動作が可能なビット直列

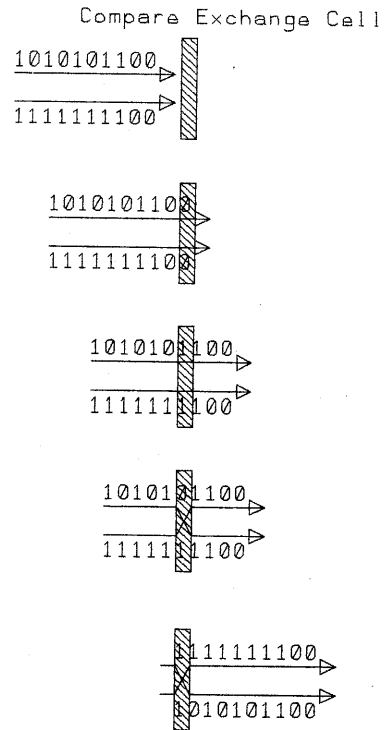


図5: ビット直列比較交換器のパイプライン動作

比較交換器がゲート数 $O(1)$ および面積 $A=O(1)$ 、遅延 $T=O(1)$ で実現できる。これは二つの入力列 $a, b$ に対するビット直列入力端子と、 $\max(a, b)$ および $\min(a, b)$ の二つの出力に対するビット直列出力端子を有するモジュールである。入出力データ・ストリームのデータ形式は最上位ビット(MSB)を先頭とする直列ビット列として表現されている。本方式で要求される比較交換動作について以下に述べる。データ語は上位桁からビット直列に入力されるものとする。比較交換器では、各ビット単位時間内に2つの入力値を比較して出力方向を適切な方向に切替える事が可能であるとする。2つの入力ストリームのビット値が同一である間は、入力そのまま出力へコピーされる。2つの入力値に初めて異なったビットの現れた時に大小比較を行なって出力方向の切替えを行い、いったん切替えが行われるとそのデータ語の終了までその状態を保持する。切換

えが行われるまでの出力値は2つの出力端子の何れを取っても同一であるから(そのビット列の由来は異なるにもかかわらず)、出力されるデータ値を問題にする限りはこの動作により比較交換機能を実現できる。

この動作を各動作サイクルごとに各ビットに対して行なうものとする、あるビット入力に対して大小比較を行なって出力方向を切換えるのに要する時間が最小サイクル時間となる。この方式では各単位時間ごとに1ビットの出力を生成する事が可能である。

相互結合ネットワーク内でのルーティング所要時間が経路ごとに異なっている可能性のある場合には、先行段から受取った入力ビット列を一旦バッファリングした上で、2つの入力データの同期を取りながら先頭のビットから順番に比較交換器に引渡さなければならぬ。

等経路長ネットワークを使っているので、入力データストリーム相互間のシグナルスキューの問題に煩わされることが無い。2つの入力データストリームは常に完全に同期していると考えて良い。この意味で本方式に取って同一経路長ネットワークは本質的な重要性を有している。

#### 【ルーティングの時間要量】

仮定から等経路長ネットワークによるルーティングの所要時間は $O(1)$ と考えることができる。ビット直列転送を仮定していたから、 $O(\log N)$ ビット長のデータ語がネットワークを通過するには $O(\log N)$ の時間を要する。しかしながら、ネットワーク内における遅延そのものは $O(1)$ であり、本方式では比較交換ユニットもルーティングネットワークも共にパイプライン動作を行っているので、ルーティング時間としてはある信号の先頭がネットワークの入力端から出力端まで移動するのに必要な時間を取れば十分であり $O(1)$ となる。

以上の事から、それぞれのステージにおいては $N$ 個のビット直列比較選択器(面積 $O(1)$ )に依って1回分の単位操作が達成でき、その所要時間は $O(1)$ である。結合ネットワークを通して次段へ転送するのに要する時間は、光速が十分に大きくて伝播遅延が無視で

きる時には、 $O(1)$ である。これが $O(\log^2 N)$ 段繰り返されるわけだから、総面積は $O(N \log^2 N)$ で総所要時間は $O(\log^2 N)$ であり出力周期は $O(\log N)$ となる。したがって、Thompsonの評価規準[THOM83]に従えば本方式の時間性能は $T_d = O(\log^2 N)$ ・面積性能は $A_d = O(N \log N)$ となる。面積時間性能に関しては $A T_d^2 = O(N \log^5 N)$ 、ということになる。いずれを取るにしても2次元構造VLSIの下界が $A T_d^2 = \Omega(N^2 \log N)$ であるから大幅な性能向上が期待できるわけである。

Rosenbergの主張する「平面VLSIにおける $A T_d^2$ に相当する評価量は3次元VLSIにおいては $V T_d^3$ である」との意見に従うならば[ROSE83]、 $V T_d^3/2 = O(N \log^4 N)$ ということになる。ただし、本方式では同時に $O(\log N)$ 個のインスタンスを扱うことができるから各インスタンス当たりの体積である $V_d = O(N \log N)$ をここでは用いている。

平面VLSI上で実現可能な程度の面積占有量であって最適実現に近い方式の一つがメッシュ上の双単調ソートであるが、その面積性能は $A = O(N \log^2 N)$ 時間性能は $T_d = O(N^{1/2})$ 面積時間性能が $A T_d^2 = O(N^2 \log^2 N)$ である。それと比較しても本方式の優位性は明らかである。

以上の結果を表1に示す。配線結合2次元VLSIに於ける時間性能の評価は経路長 $L$ に対して駆動遅延 $T = O(\log L)$ であることを前提として来たのであるが、最近の研究によれば実現可能な広域通信コストの下界が $T = O(L)$ であることがはっきりしてきた[CARD86]、それに対応して、2次元VLSI上でのこれまでの面積時間評価は改定を余儀なくされる。したがって、本方式の2次元VLSIに対する優位性はさらに確固としたものと成りつつあるといえよう。

## 8. 実現方法

これまでは実現の難易に関する考慮抜きに構成方法について述べて来たが、ここでは近い将来に利用できるような素子技術を想定しての実現方法について考えてみる。構成のエlegantさと言う点からは、信号流れ図のとおり比較交換処理ステージと相互結合ステージとが交互にサンドイッチ状に重ね合わされたものが

表1: 各ソーティング方式の面積・時間性能

	面積効率( $A_d$ )	時間効率( $T_d$ )	$A T_d^2$	出典
本方式				
(体積評価)	$V_d: N \log N$	$\log^2 N$	$VT^{3/2}: N \log^4 N$	
(面積評価)	$N \log N$	$\log^2 N$	$N \log^5 N$	
.....				
下界(平面VLSI)	---	---	$\Omega(N^2 \log N)$	[THOM81]
.....				
電流密度制約時				
N-proc. bitonic. Mesh	$N \log^2 N$	$N^{1/2} \log N$	$N^2 \log^4 N$	
N-proc. bitonic. S-E	$N^2 / \log^2 N$	$N \log N$	$N^4$	
.....				
電流密度非制約時				
N-proc. bitonic. Mesh	$N \log^2 N$	$N^{1/2}$	$N^2 \log^2 N$	[THOM83]
N-proc. bitonic. S-E	$N^2 / \log^2 N$	$\log^3 N$	$N^2 \log^4 N$	[THOM83]
単一プロセッサ	$\log N$	$N \log^2 N$	$N^2 \log^5 N$	[THOM83]

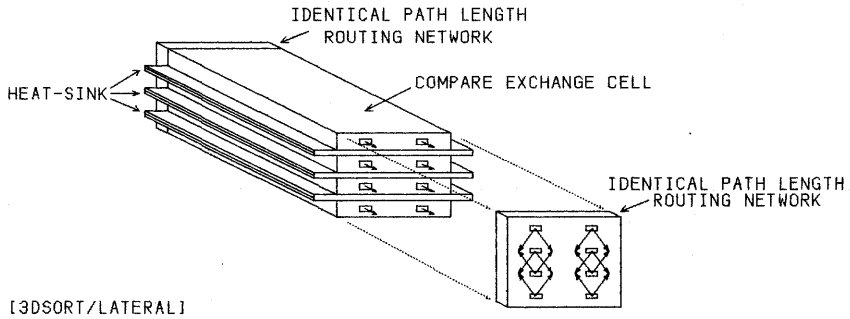


図6: 考えられる構成方法の一例

魅力的であるが、その為にはかなり多層の能動素子層を三次元ICとして実現できなければならない。一体として形成する層数の増加と共に後から形成される層の不良率は急激に増加するであろうから、現状ではこれは大変に実現が困難なことである。また、たとえ制御が可能であったとしても、放熱と歩留りの点から問題が多い。ところが幸いな事に、光結合ステージは媒体としてのみ存在すれば良いのであって、最初から作りつけて置く必要はない。これが配線結合とは大きく異なる点である。したがって、比較交換機能と光入出力機能とを合せ持った処理ステージと媒体としての役割をはたす光結合ステージとをまず別々に作って置いて、正常に動作する物を選択して積層すればよい。機能単位が縮小される分だけ収率も向上するし、最終アセンブリの不良率はごく小さなものとなる。発熱量の大きい構成要素を含んでいる点で、放熱の問題が本方式に取って大きな問題となる物と考えられる。これに対しては、能動層を信号の流れる方向にスライスした形で構成し、スライスの間にベリリア系のセラミックを挟み込むことで対処できる。これは現在のマルチチップキャリア実装技術と類似の手法として実現できる。この時、比較交換ユニットの載ったスライスの両端にE/O交換素子が実装された物が基本的な構成単位となり、それをN枚積み重ねた物に依って処理ステージが構成されることとなる。

#### 9. むすび

3次元VLSIの役割は、2次元VLSIが集積度の限界に達した時の為の代替物に留るものではなく、それ自体がまったく新しい世界を拓く糸口となり得る。一般的な計算能力に対する評価はまだ成されてはいないものの、重要な幾つかの問題に関して2次元VLSIを遙かに越える性能を得られる可能性が明らかになった来たことは、その実現に向けての努力が十分に報われるものであろう事を示唆しているように思われる。

#### 謝辞

かつて、雲を掴むような訳の分らない議論に散々つきあわせてしまった東北大学重井研究室の大学院生諸氏に深く深くお礼を申し上げます。ようやく、少しきちんとした形を取ることが出来るようになって来ました。京大の安浦博士からは非常に適切なコメントを賜わり感謝に堪えません。慶応大学の相磯教授と黒川氏からは大変興味深いお話を伺い大変に勇気付けられました。著者の一人が現在所属する静岡大学浜松キャンパスの諸兄姉に感謝いたします。皆さんとのきたんの無い議論がこの研究の為の環境を醸し出してくれました。

#### 参考文献

[BILA84]

Bilardi, G. and Preparata, F.P.:  
An Architecture for Bitonic Sorting with  
Optimal VLSI Performance, IEEE Trans. Comput.  
Vol. C-33, No. 7, pp. 646-651 (Jul. 1984).

[CARD86]

Card, H.C., Pries, W. and McLeod, R.D.:  
Contributions to VLSI computational  
complexity theory from bounds on current  
density, INTEGRATION, Vol. 4, No. 2, pp. 175-183  
(Jun. 1986).

[DOHI82]

Dohi, Y., Suzuki, A. and Matsui, N.: Hardware  
sorter and its application to data base  
machine, Proc. 9th Int'l Symp. Comput. Archit.  
pp. 218-225 (Apr. 1982).

[HASE86]

Hasegawa, M. and Shigei, Y.:  $AT^2 = O(N \log^4 N)$ ,  
 $T = O(\log N)$  Fast Fourier Transform in a Light  
-Connected 3-Dimensional VLSI, Proc. 13th  
Int'l Symp. Comput. Archit. (1986).

[HIBI86]

日比野靖氏(NTT)の御教示に依る。



[KNUT73]

Knuth,D.E.: The Art of Computer Programming,  
Vol.3: Sorting and Searching. Reading,MA:  
Addison-Wesley (1973).

[KURO86]

黒川恭一、相磯秀夫: 三次元 I C, 情報処理,  
Vol.27, No.7, pp.718-729 (Jul.1986).

[MEAD80]

Mead,C. and Conway,L.:Introduction to VLSI  
Systems. Reading,MA:Addison-Wesley(1980).

[MEAD82]

Mead,C. and Rem,M.: Minimum Propagation  
Delays in VLSI, IEEE J.Solid-State Circuits,  
Vol.SC-17,No.4,pp.773-775 (aug.1982).

[MORA79]

Moravec,H.P.:Fully Interconnecting Multiple  
Computers with Pipelined Sorting Nets, IEEE  
Trans. Comp. Vol.C-28, No.10, pp.795-798  
(Oct.1979).

[ROSE83]

Rosenberg,A.L.:Three Dimensional VLSI:  
A Case Study, J.ACM, Vol.30, No.3 pp.397-416  
(Jul.1983).

[STON71]

Stone,H.: Prallel processing with the  
perfect shuffle, IEEE Trans. Comput., Vol.C-  
20,pp.153-161 (Feb.1971).

[THOM77]

Thompson,C.D. and Kung,H.T.: Sorting on a  
Mesh-connected Parallel Computer, C.ACM, Vol.  
20, pp.263-271 (Apr.1977).

[THOM80]

Thompson,C.D.: A Complexity Theory for VLSI,  
Ph.D. Dissertation, Carnegie-Mellon Univ.  
(Aug. 1980).

[THOM83]

Thompson,C.D.:The VLSI Complexity of  
Sorting, IEEE Trans.Comp.,Vol.C-32,No.12,  
pp.1171-1183 (Dec. 1983).

[VUIL83]

Vuillemin,J.: A combinational limit to the  
computing power of VLSI circuits, IEEE Trans.  
Comp. Vol.C-32, No.3, pp.294-300 (Mar.1983).