

多相脈流電源による ジョセフソンプロセッサの設計

岡田義邦、濱崎陽一、仲川博、河村裕樹
電子技術総合研究所 武蔵工大

ジョセフソン論理素子は、シリコン素子に較べて、遅延・電力積が小さく、超高速計算機を実現する素子として期待されている。しかし、論理素子特性はシリコン素子と異なる点も多く、従来の論理回路の単純な置き換えでは回路設計はできない。このため、電源駆動法を含めた設計方式を確立する必要がある。ここでは、従来のAC電源駆動方式の欠点を克服するものとして、当所で提案した多相脈流電源の手法、最適な相数などについて述べるとともに、否定回路挿入のためのスプリット電源方式、パイプライン回路の構成法について考察し、最後にこれをもとに設計したジョセフソンプロセッサの構成例を示し、そのシミュレーション結果によれば小規模なプロセッサの場合、現在の素子速度で、命令の先読み無しで1GIPS級の処理速度が可能である事を報告する。

Design of Josephson Processor Based on Multi-phased Pulse Power Supply

Yoshikuni OKADA, Youichi HAMAZAKI, Hiroshi NAKAGAWA, Hiroki KAWAMURA*
Electrotechnical Laboratory, *Musashi Institute of Technology
Tsukuba City, Japan Tokyo, Japan

Josephson Logic circuits show much better speed/power characteristic than silicon circuits. It is expected to make super-computer with the Josephson circuit. But, we cannot simply substitute Josephson gates for silicon gates in the logic design, because the characteristics of these two logical elements are different. It is required to establish design method for Josephson logic systems. We describe here the multi-phased pulsed power supply, which we proposed to overcome the defects of AC power supply proposed by IBM, the effect of the number of phases, splitted power supply to introduce "not" operation in the circuit, and design method of the pipeline circuit. Finally, we show an example of the Josephson processor based on these methods. The results of its logic simulation shows that the high speed small-scaled processor with one GIPS is possible under the devices now we have developed, without pipeline operation.

1 はじめに

ジョセフソン論理素子は遅延・電力積がシリコン素子に較べて、非常に小さく、この面からは高速計算機のための論理素子として極めて優れた特徴を有している。また、最近では、鉛に代わるニオブ系材料の採用により、信頼性の高い素子の開発が進んでいる。この結果、1000ゲート以上の規模の論理回路素子、ROM、RAMなどの基本素子の開発が進み、小規模のプロセッサであれば試作できる段階となっている。当所では、大型プロジェクト「科学技術用高速計算システムの研究開発」の一環としてジョセフソン計算機技術に関する研究を進めている。ここでは、当所で開発を進めている基本素子、電源方式を述べ、最後にこれらに基づくプロセッサの設計例とシミュレーション結果を示す。

2 ジョセフソン論理回路

ここでは、ジョセフソン素子を論理演算を行なうために使用するための、実現方法や回路方式についてシリコンなどの半導体素子との相違点を述べる。

2.1 ジョセフソン論理ゲート

2つの超電導体の間にきわめて薄い絶縁物をサンドイッチ状にはさみ、電流を流すと超電導電子が絶縁物をトンネルして流れ、しかも接合部分には電圧が生じない。これがジョセフソン効果である。ジョセフソン接合に流れる電流を増加して行くと臨界電流を越えたところで超電導状態が壊れ電圧状態へと遷移する。逆に電圧状態から電流を減少していくと履歴曲線を描き、非線形抵抗を示す。図1にその特性を示す。臨界電流 I_0 は、接合にかかる磁界の強度などにより変化する。

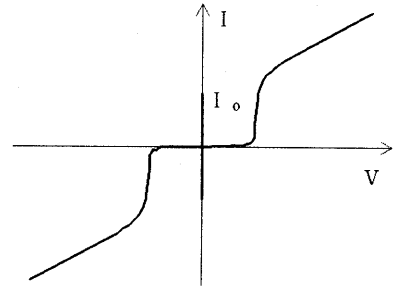


図1 ジョセフソン素子特性

ジョセフソン素子を論理回路に用いるには、超電導状態にある接合を外部からの入力により電圧状態に遷移させることによりスイッチを構成し、論理動作をさせるようにする。電圧状態への遷移は、外部磁界により臨界電流を減少させる方法と、電流を注入することにより臨界電流以上の電流を流す方法がある。前者の例としてはSQUID型のゲートがある^{1,2)}。電線研では、電流注入方式（直接結合方式）で高速に動作し広い動作余裕を持つ4JLスイッチングゲート（以下4JLゲートと略す）を開発した³⁾。図2に4JLゲートの回路を示す。

2.2 ラッチモード動作と双対線路方式

一般に超電導状態のジョセフソン接合を電圧状態に遷移させるには臨界電流を越える電流を流せばよいが、逆に電圧状態から超電導状態に戻すには接合に流れる電流を一度ゼロにする必要がある。このようにジョセフソンゲートに入力が無くなった後も電源電流が流れ続ける限り電圧状態を保持する動作をラッチモード動作という。これまで発

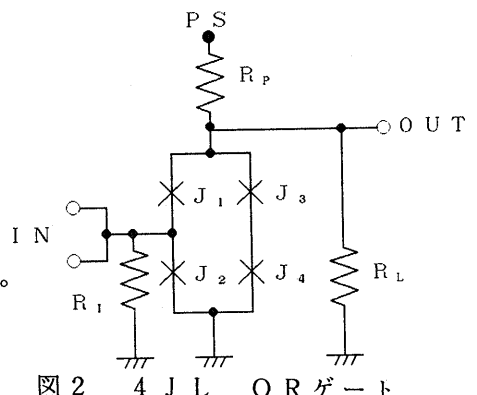


図2 4JL ORゲート

表されているジョセフソン論理ゲートは小数の例外を除いてすべてラッチモード動作であり、4J1ゲートもその1つである。

ジョセフソンゲートの超電導状態を0に、電圧状態を1に対応させると、ラッチング動作をする論理ゲートでは単調増大な論理演算すなわち論理和と論理積の組合せしか実現できない。一般の論理演算に欠かせない非単調増大演算である否定を実現するには、時間遅れ回路により生成されるタイミング信号と入力信号との到着順序によりスイッチングを生じるタイムドインバータと呼ばれる疑似的な否定回路を用いる方法と、最初に入力信号の肯定、否定両信号を生成しておき論理和と論理積のみにより演算する方法がある。後者は、途中の信号の肯定と否定の両方が演算されて行くことから、デュアルレイル（双対線路）方式と呼ばれる。

タイムドインバータを用いる方式は、入力信号がタイミング信号に先行する必要があるために時間余裕を十分に取る必要があるため高速動作に問題があり、またタイミング信号を作るための回路量が増える問題がある。他方双対線路方式では、肯定、否定両方の信号を作る必要があるために、回路量が大きくなるが、演算速度は速い。双対線路方式において、入力信号から肯定否定両方の信号を生成する回路があるならば、演算の結果として得られる信号は肯定か否定の片方だけで済むために、回路量の増加は少なくて済む。本論文の設計では、双対線路方式を採用することにする。

3 多相脈流電源

すでに述べたように、ラッチモードで動作するジョセフソン論理回路では、すべてのゲートを超電導状態に戻すために、周期的に電源を切る必要がある。また、順序回路を構成するためには、連続的な演算をする必要がある。その方法としては、IBMから提案された交流電源方式⁴⁾や筆者らが提案した多相脈流電源方式⁵⁾などがある。

3.1 交流電源方式とその問題点

交流電源方式は、図3 aに示すような波形の交流電源で図3 bのような構成の回路を駆動するものである。回路は、DCラッチ⁶⁾と組合せ回路からなるループである。電源の極性の変わる区間(R)で組合せ回路のすべてのゲートが超電導状態に戻され、データはDCラッチに保持される。電源の安定な区間(OP及びOP')でDCラッチの出力信号から組み合わせ回路による演算が行なわれる。

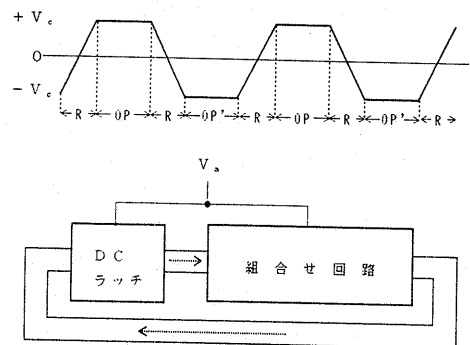


図3 交流電源方式

この方式には次のような問題点がある

- ① DCラッチを必要とする。そのため次のような問題点を生じる。
 - 1) 組合せ回路の電源極性がデータの入出力時で逆になるために直接結合ができない。
 - 2) 電源極性が反転する区間(R)で演算が中断する。
 - 3) DCラッチは永久電源ループを含むために、論理ゲートなどに比べて素子面積が大きい。

②パンチスルーの確率を低く抑えるために、電源の極性の変化する点での変化率を低く抑える必要があり、そのため電源周波数を高くできない。

以上のことから、交流電源方式は素子面積が大きく、高速動作に問題があり、4 J Lゲートなどの直接結合回路に適さない。

3. 2 多相脈流電源方式

上記欠点を解決するための筆者らは多相脈流電源方式を提案した。多相脈流電源方式は、電源を隣合う相がオーバーラップするような複数相の単極性脈流電源とし、データの保持をラッチモードで動作するラッチで保持するものである。

その例として2相脈流電源方式の電源波形と回路構成を図4に示す。回路は2

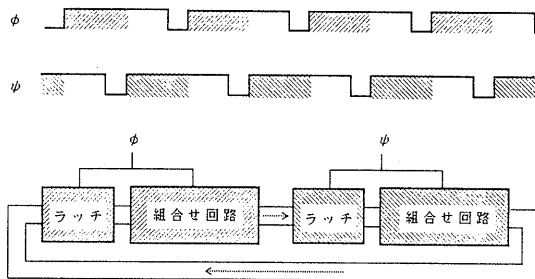


図4 2相脈流電源方式

つの電源 ϕ と ψ のそれぞれで駆動される、ラッチと組合せ回路の組が2つループをなす構成となっている。電源 ϕ で駆動される回路の動作は次のようである。

- ① ϕ の立ち上がりで、 ψ で駆動される組合せ回路（ ψ 組合せ回路と記す）の出力結果を ϕ ラッチが取り込み、双対線路方式のための肯定否定両方の信号を ϕ 組み合わせ回路に与える。 ϕ ラッチの出力は ϕ 電源が安定である間、保持される。
- ② ϕ 組合せ回路は ϕ 電源が確立すると論理演算を始め、次の ψ 電源の立ち上がりまでに終わる。出力はその後 ϕ 電源が安定である間保持される。
- ③ ϕ 電源がオフの間に、ラッチと ϕ 組合せ回路のすべてのゲートが超電導状態に戻る。

電源 ψ で駆動される回路についても、 ϕ と ψ が入れ替わるだけで動作は同様である。図4aでハッチを掛けた部分が、それぞれの回路が実質的に演算を行なっている時間である。相数が2より大きい場合についても、回路構成や動作は同様である。

多相脈流電源方式の特徴としては次のようなものが挙げられる。

- ①演算の中断が起きないために、交流電源方式に比べて高速である⁷⁾。
- ②ラッチも組合せ回路と同じ技術で構成できるために、素子面積が小さく、素子作成も容易である^{8,9)}。
- ③電源の極性が変わらないことから直接結合型の素子に適し、さらに電源の休止期間（0である時間）が長いことからパンチスルーの確率が低くなる。

3. 3 多相脈流電源方式の相数

演算は回路のループ1周（1相分の周期）が演算の基本周期となる。

2相と多（ > 2 ）相の比較を比較した場合：

1. 1 多相の場合には相合わせを行なう必要があるため回路設計が面倒となる。
1. 2 各相間のタイミングを正確にあわせた電源をチップ中の回路に支給しなければならぬため相数が多いほど電源供給回路が複雑となる
1. 3 相数が多いほど否定回路の挿入は容易となる。
1. 4 3相以上の場合回路の将棋倒し現象が起きないため、ラッチを省くことも可能である。

以上のうち初めの2項は2相が有利な事項である。1・3の欠点は後述の splitted 電源の採用により避けられる。また、1・4はラッチが否定回路生成のため必要である事、ラッチの回路面積はそれほど多くないことを考えると致命的欠点とは言えない。

次に2相と多相の各相のサイクルが全て等しい場合と各相間の時間差が等しい場合について考察してみる。

サイクル周期が等しい場合：

基本周期が等しいことからパイプラインの処理量（パイプへの流入・流出量）は同じである。従って、上述の得失を考えると2相電源が有利である。

各相間の時間差が等しい場合：

各相間の時間差（例えば図4で ϕ と ψ の立ち上がりの時間差）が全て等しくDとする。この場合、N相の基本周期は $N \times D$ となり、Nが小さい程基本周期は短くなるため2相電源が有利となる（図5）。

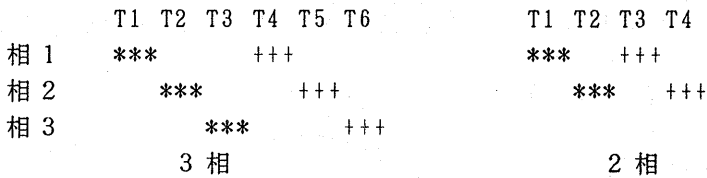


図5 2相と3相の比較

以上の考察から2相電源が多（ > 2 ）相電源より一般論として有利であると結論できる。但し入出力など速度の遅い動作との組合せでは、2相と $2 \times N$ 相との混合なども考えられる。多相脈流方式が通常のパイプライン方式と一見似ているために、相数が多いほど有利と錯覚しがちであるが、この2つの方式は演算様式が全く異なるため、仮りにN相がN倍の能力を持つと言うことは有り得ない。

4 スプリット電源

ジョセフソン論理ゲートでは、論理和と論理積の間に作り易さの差が大きい場合が多い。4J1では論理積はその前後に論理和あるいはバッファゲートが接続されねばならないという制約があるため、多入力論理積を実現するには同じ入力数の論理和に比べて大幅に回路量が増す。双対線路方式では否定操作がラッチ部分のみに限られ、肯定と否定の両回路が論理的に双対な形になるために、論理積の数が増え、タイムドインバータ方式に比べて不利になる場合がある。このような場合に安易に電源の相数などを操作するのは、危険であり、大規模な回路においては不可能に近い。この問題を解決する

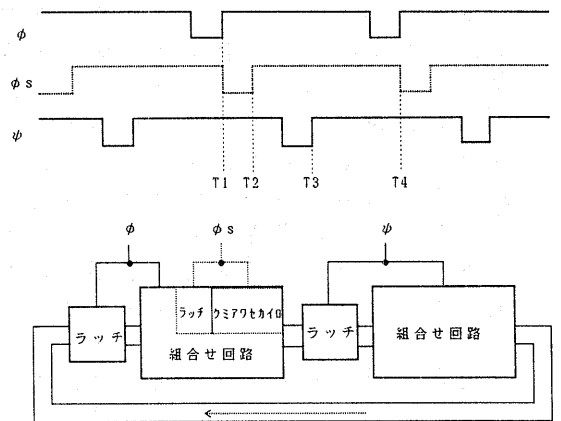


図6 スプリット電源の例

ために、筆者らはスプリット電源を提案した¹⁰⁾。

スプリット電源方式は、途中で否定操作が必要となる回路は、否定操作より後
をスプリット電源により駆動される回路で行ない、多相電源の回路と同様にスプ
リット電源の立ち上がりでラッチによる否定操作を行なおうとするものである。
図6に2相電源の場合のスプリット電源の例を示す。スプリット電源 ϕ_s で駆動さ
れる回路は ϕ で駆動される回路の一部となり、演算の結果は ψ で駆動される回路
への入力となる。スプリット電源の満たすべき条件は、①周期は他の電源と同じ、
②その立ち上がりT2は主たる電源 ϕ の立ち上がりT1より遅く、次の電源 ψ の立ち
上がりT3より早い、③その立ち下がりT4はつぎの電源 ψ の立ち上がりより遅いこ
とである。以上の条件を満たす電源の実現方法としては、多相電源の内の1相の
位相を遅らせたものが挙げられる。また、必要ならばスプリット電源を複数設け
ることも可能である。

5 ジョセフソンプロセッサの設計・シミュレーション例

ここでは、2相脈流電源、4JLに基づく直結型ジョセフソン論理素子、双対線
路回路に基づくジョセフソンプロセッサ
の設計例について述べる。一般に多相脈
流電源による順序回路は、図4のよう
になるが、実際には図7の様な渦流パイ
プラインとなる事が多い。図7において
は、各ループ間で相が連続するようにデー
タの送受を行なうように結線される必要
がある。各ループ内においては、各相は等
しいサイクル数を持つ必要がある。

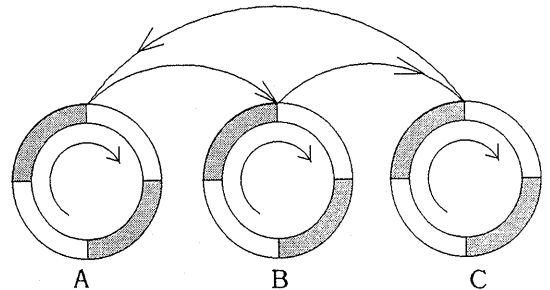


図7 渦流パイプライン

各ループ内のサイクル数は異なってい
てもよいが制御が複雑となるため、同一
のサイクルを持つことが望ましい。図7は、

サイクル数2の2相電源の場合である。プロセッサの場合には一般に、①命令フ
ェッチ、②デコード、③オペランドフェッチ、④実行、の各フェーズを回路上で
分担する事になる。例えば、図7のAで①、②を、Bで③を、Cで④を実行する
場合には、Aの前半の1サイクルで命令フェッチを、後半1サイクルでデコード
を、Bの前半1サイクルでオペランド番地の計算を、後半1サイクルでオペラン
ドフェッチを、Cでは2サイクル使って演算を行なう事ができる。この場合、見
かけ上の命令実行速度は2サイクルとなる。

以下では、簡単な4ビットプロセッサの設計・シミュレーション例について述
べる。プロセッサの設計に使用した基本素子は次のようなものである。なお、括
弧内のパラメータは、(ファンイン、ファンアウト、遅延時間)である。

*組合せ回路素子： 2入力OR₁ (1, 2, 15 ps)、
2入力OR₂ (2, 4, 15 ps)、
2OR-AND回路 (1, 2, 30 ps)

*ラッチ回路： 正ラッチ、双対ラッチ (1, 2, 30 ps)

*メモリ： ROM (1, 2, 200 ps)、

RAM (1、2、アクセス: 380 ps、サイクル: 900 ps)

これらの組合せ回路、ラッチ、ROMの特性値は、いずれも当所で試作済みの回路をもとにしている。

図8にプロセッサのブロック図を示す。図中で、丸隅の組合せ回路(命令デコーダ、次番地制御、ALUの前半)は相φで、方形の、組合せ回路(ALUの後半)と命令メモリは相ψで動作する。ラッチには2種類あり、フィードバック回路をもち常に入力データを保持する能力のあるスタティックなラッチ(図中ではAcc, C, MD, MH, ML, SP, スタック)と状態値が常に更新されてしまうテンポラリなラッチ(PC, IR)とがある。典型的な演算命令を例にとると、

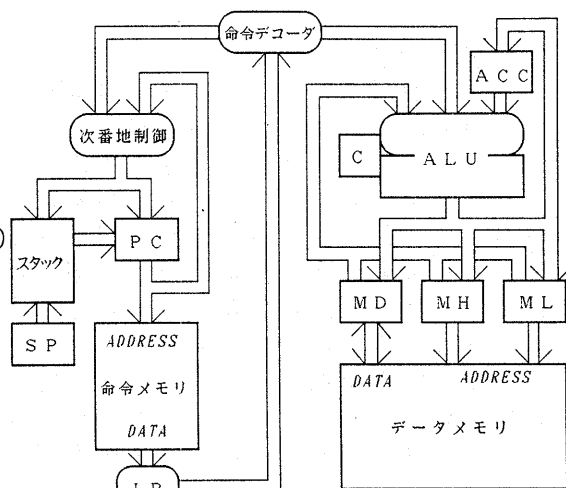


図8 プロセッサのブロック図

表1 相φとψの割り当て(レジスタ演算命令の例)

	相ψ	相φ	相ψ
<u>コントローラ</u>	命令フェッチ	命令デコード 次番地制御	
<u>RALU</u>		ALUの前半実行	ALUの後半実行

表2 プロセッサの仕様

データ幅: 4ビット、 データメモリ: 256ニブル 命令種類(命令数): 分枝命令(3、条件付き: 6)、 算術・論理演算命令(13)、シフト命令(2)、 メモリR/W(各1)	命令: 9ビット、
---	-----------

このプロセッサは表1のように相を割り当られて命令を実行する。この割り当てにおいては、コントローラとRALUは1相だけずれてパイプライン的に命令を実行するために一つの命令の処理時間は1.5サイクルであるが、相φにおける次番地制御に必要なプロセッサ状態は前の相ψによって用意されている。従って、条件付き分枝においてもこのパイプラインは乱されることがないため、実質上はパイプライン無しと考える事ができる。

このプロセッサ回路をシミュレーションした結果の1サイクルでのクリティカルパスは、配線による伝搬遅延を考慮にいれない場合、約900ピコ秒となった。従って、回路が集積化でき、伝搬遅延時間を100ピコ秒と仮定した場合には約1GIPSの処理速度となる。表2に設計・シミュレーションの対象としたプロセッサの主な仕様を示す。プロセッサ規模が大きくなった場合には、ゲート段数の増加と配線遅延時間が増加してくるため、パイプライン方式をとらざるを得な

いが、実装方法の開発により、これ近い処理速度が期待できると思われる。

6 終わりに

以上、当所で提案した4 J L直接結合、多相脈流電源による回路設計とスプリット電源、プロセッサ回路の設計及びシミュレーションの例について述べた。また、シミュレーションの結果、小規模のジョセフソンプロセッサの場合には、パイプライン無しで約1 G I P Sの処理速度が得られる可能性を報告した。回路構成のための部品となるラッチ、組合せ回路は当所ですでに試作済みである。大規模化した場合には、伝搬遅延が問題とはなるが、実装技術の開発と方式上の工夫により、これに近い処理速度も可能と思われる。

最後に、研究について御支援・御指導頂いた柏木次長（ジョセフソンコンピュータ技術特別研究室長兼任）、高田進クライオエレクトロニクス研究室長、シミュレーションをサポートされた幸坂、黒沢主任研究官ならびに御討論頂いたジョセフソンコンピュータ技術特別研究室諸氏に謝意を表す。

参考文献

- 1) Klein & Herrell: "Sub-100 ps Experimental Josephson Interferometer Logic Gates", IEEE J. of Solid-state Circuits, vol. SC-13, No. 5, 1978
- 2) Gheewala: "Josephson-Logic Devices and Circuits", IEEE Trans. on Electron Device, vol. ED-27, No. 10, 1980
- 3) Takada, Kosaka & Hayakawa: "Direct Coupled Four Josephson Junction Logic Gates", Proc of IC SQUID '80, Berlin, 1980
- 4) Arnett & Herrell: "Regulated ac Power for josephson interferometers for latching logic circuits", IEEE Trans. Magn., vol MAG-15, Jan. 1978
- 5) 岡田、浜崎、曾川、大東、仲川、早川: "多相脈流電源方式によるジョセフソン論理回路"、電子通信学会技術報告ED81-148, 1982
- 6) Davidson: "A Josephson Latch", IEEE J. of Solid-state circuit, vol SC-13, 1978
- 7) 浜崎、岡田、曾川: "2相脈流電源方式の速度評価"、昭和59年度電子通信学会総合全国大会、1984
- 8) 浜崎、岡田、大東: "ジョセフソン・ラッチ回路"、昭和57年度電子通信学会総合全国大会、1982
- 9) 仲川、黒沢、高田、早川: "ジョセフソン4ビットシフトレジスタ"、電子通信学会技術研究報告、sce85-35, 1985
- 10) 岡田、浜崎、高田、仲川: "多相脈流方式におけるスプリット電源の提案"、電子情報通信学会創立70周年記念総合全国大会、1987