

並列画像生成方式とそのアーキテクチャ

和字慶 康、大宅 伊久雄、吉田 隆義

沖電気工業株式会社、研究開発本部、総合システム研究所

画像生成は、科学技術計算の可視化処理 (Visualization) の機能として重要性をもってきた。また、高速数値計算と画像生成を複合したグラフィックスーパーコンピュータも出現しはじめた。本論文では、画像生成を異なる並列処理方式で行うアーキテクチャについて提案する。ここでは画像生成の基本演算処理を幾何計算処理とピクセル処理とに分け、それぞれを並列処理で実行し高速化をはかっている。幾何計算処理では、MIMD方式によるハイパーキューブネットワークを用いているが、大量なデータ通信に適した高速転送制御方式を採用した。また、ピクセル処理部では、高速なピクセル演算とメモリ更新を実現するため、SIMD方式による高機能画像メモリ方式を採用した。

PARALLEL PROCESSING AND ITS ARCHITECTURE FOR IMAGE GENERATION

Yasushi WAUKE, Ikuo OYAKE, Takayoshi YOSHIDA

Systems Laboratory, R & D Group, Oki Electric Industry Co., Ltd.
11-22, Shibaura 4-Chome, Minato-Ku, Tokyo 108, Japan

Image generation becomes very important to man-machine interface for visualization in scientific and engineering computation. Graphic super-computers are now available in a commercial field, which have the functions of both high speed computation and graphics. A parallel approach to image generation and its architecture is presented in this paper. The architecture consists of two major components, a geometric processing part and a pixel processing part. Some important aspects of the architecture are addressed.

1. はじめに

画像生成には、形状モデル生成のための幾何学処理、表示処理としての座標変換、隠面消去、陰影処理等の膨大な計算を要する。その中でも隠面消去のアルゴリズムを中心にハードウェア化を施したマシンが開発されてきた。^{1) 5)}しかし、対話性、リアルタイム性への要求に応えるためには、隠面消去の高速化に加えて座標変換等も高速に処理する必要がある。そこで、従来の画像生成方式とそれに基づくアーキテクチャ³⁾における高速化への諸問題点を解決すべく、ビジュアルシミュレーションの画像生成機能に対処した並列方式に基づくアーキテクチャを提案した。²⁾

本論文では、3次元モデルの色彩画像生成における処理の高速化に重点を置き、3次元モデルの動的な変化を実時間で画像に反映させることを目的とするアーキテクチャについて述べる。このアーキテクチャは、SIMD方式とMIMD方式を組み合わせた多層並列処理方式を採用している。各並列処理方式及び本アーキテクチャの構成要素である幾何計算処理部のハードウェア構成については、参考文献2)に詳述しているので、ここでは、ピクセル処理部のハードウェア構成について詳細に述べる。

2. 並列画像生成装置

並列画像生成装置は、衛星画像の3次元表示などいわゆるビジュアルシミュレーションを並列処理方式により高速に実行し、マンマシンインタフェースの飛躍的な向上をめざしたものである。

本並列画像生成装置の機能面での特徴は次のとおりである。

- ・多種多様な3次元画像情報（画像配列、線要素、面要素）を色彩画像として高速に表示する。
- ・高解像度CRT（2000×2000レベル）の採用。
- ・透視変換、隠面処理、滑らかな濃淡づけなど多様な表示方式をサポート。

図1にシステムの全体構成を示す。基本的には、3次元画像表示のための処理を従来のパイプライン処理の幾何計算処理とピクセル処理に分散させた方式である。

幾何計算処理部は、浮動小数点演算を強化したプロセッサであり、座標変換処理、クリッピング処理やモデルの生成などのアプリケーションが実行される。幾何計算処理部におけるプロセッサ間の結合ネットワークは、プロセッサ間通信の様々なデータフローの可能性を想定して、ハイパーキューブネットワーク接続方式⁴⁾を採用している。このハイパーキューブネットワーク結合を持つマルチプロセッサは、画像生成に用いる場合、より多くのデータ転送が必要となる。そのため、プロセッサ間では高速なデータ伝送を行っている。

ピクセル処理部は、ピクセルプロセッサ、高機能画像メモリ及びビデオ発生器より構成される。ピクセルプロセッサは、面要素、線要素などの表示要素のピクセル展開を行う。画面の高精細化に伴う画像メモリの増大、色彩画像の表現によるビットプレーン数の増大、滑らかな濃淡づけの補間機能などの処理の増大に対し、高速表示するために分散メモリ方式を採用している。分散メモリとは、画像メモリを分割し、それぞれに画素演算機構を外付けし、各演算機構をSIMD (Single Instruction Multiple Data_stream) 方式でピクセルプロセッサが制御する方式である。本並列画像生成処理方式では、高解像度CRTに画像データを表示する際に、色情報と輝度情報の乗算をDA変換を行う直前に行っているため、高速のデジタル-アナログ変換と乗算機能が必要である。従って、ビデオ発生器には高速に動作するデバイスHEMTを用いている。

ソフトウェアの全体構成を図2に示す。制御プロセッサ(CP)上には、汎用のオペレーティングシステム(OS)の他、幾何計算用プロセッサ(GP)との接続用デバイスドライバ、他装置との接続用通信ソフトウェア、各GPへのアプリケーションプログラム(AP)やデータのダウンロード用の制御プログラム、CP自体のAP及び表示処理ソフトウェアが搭載される。GPには、ハードウェアの一部としてのネットワーク制御用ファームウェアの他、専用モニタ、表示処理ソフトウェア及びAPが搭載される。ピクセル処理用プロセッサにはハードウェアの一部であるピクセル処理用ファームウェアが搭載される。

幾何計算処理部は、MIMD (Multiple Instruction Multiple Data_stream) 方式のマルチプロセッサであり、各プロセッサ上のプロセスは、メッセージ通信により他プロセスと交信する。この通信機能は、各プロセッサに搭載される専用モニタにより実行される。専用モニタが実行する機能は、ユーザプロセス間通信、自プロセッサ内の資源管理、ネットワーク内エラー処理及びアプリケーション実行制御などである。

表示処理ソフトウェアは、幾何計算処理部でモニタの上位に位置し、アプリケーションプログラムとインタフェースを持つソフトウェアである。このソフトウェアは、各種アプリケーション言語と容易にインタフェースをとることが可能であり、アプリケーションプログラムに3次元画像生成のために、ビューイングパイプライン機能や表示要素の作成、描画用などの諸機能を提供する。

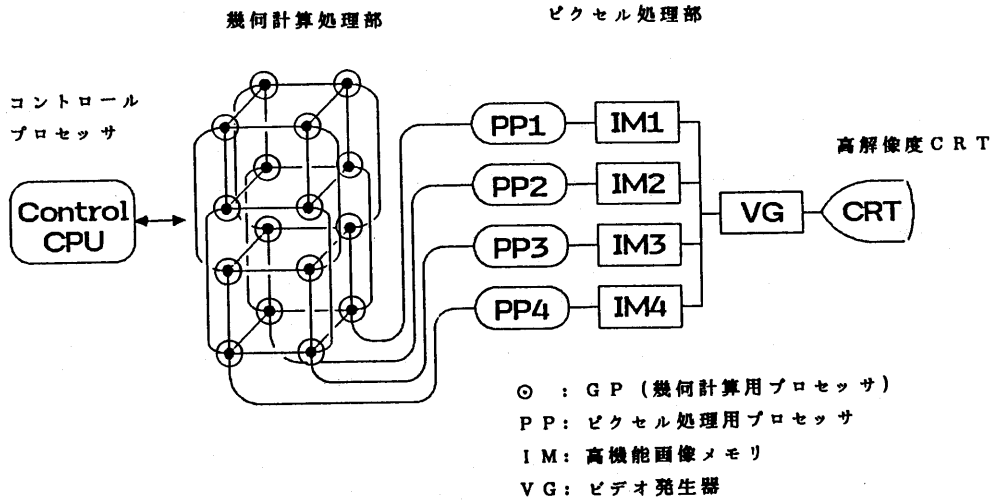


図1 システム構成

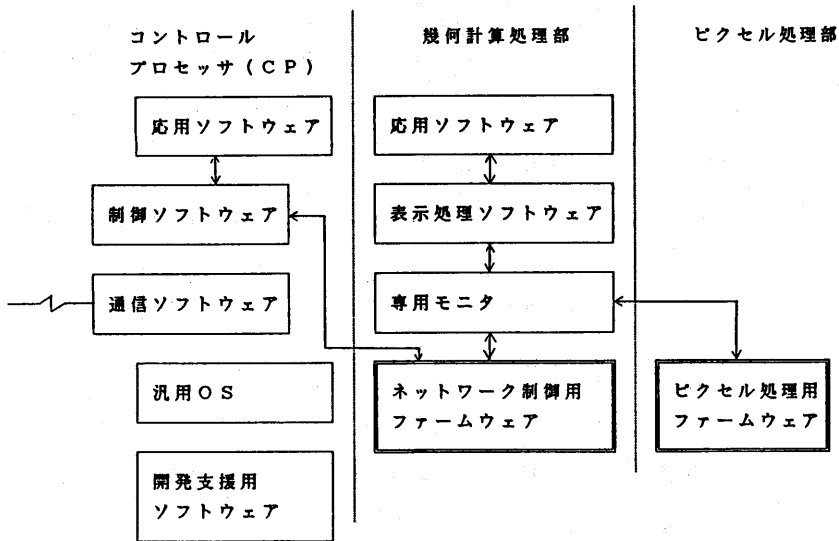


図2 ソフトウェア構成

3. ハードウェア構成概要

並列画像生成装置は、図1に示すように、制御プロセッサ、画像生成部および高解像度CRTから成る。画像生成部には、2つの異なるタイプの並列処理システムとして、幾何計算処理部とピクセル処理部がある。

幾何計算処理部は、16台のGP (Geometry Processor) をハイパーキューブ状に結合したもので、座標変換、クリッピング等の幾何計算を極めて高速に実行できる。ピクセル処理部では4台のPP (Pixel Processor) が、各々の高機能画像メモリIM (Image Memory) に、3次元カラー画像を生成し、ビデオ発生器VG (Video Generator) を通じて高解像度CRTに表示する。高機能画像メモリと呼ぶのは、3次元画像表示処理で特に頻繁に使用される画素単位の処理を画像メモリ内部に分散して行っているためである。後述するように、各IM内部には48個の演算器 (フィールドオペレータ) が使われている。制御プロセッサCPは既存のパソコンあるいはワークステーションであって、インタフェース回路GP I F、メンテナンスバス (MTバス) を通じて16台のGPと、4台のPPに結合されており、並列処理システム全体の制御を行う。本システムの諸元を表1に示す。

表1 システムの諸元

項 目	諸 元	
コントロール プロセッサ (CP)	本 体	ワークステーション
	インタフェース	GPIB、RS232c、システムバス
幾何計算処理部 (GP)	CPU	XL8032シリーズ (120nSec) × 16個 Max 8MIPS/node 8MFLOPS/node
	通信用LSI	(Tx+Rx) × 64ペア (100Mbps) GaAsで構成 HCC: ハイパキューブ結合網のノード間通信を制御する専用 プロセッサ
	メモリ	Data: 1Mword/32bit DRAMとSRAMで構成 Direct Mappingによるキャッシング アクセス頻度の高いデータ格納とキャッシュコヒー レンシの保証用に高速SRAMで構成したコモンメ モリ領域を持つ Code: 256Kword/64bit以上 Max 1Mword Static column mode accessによるコードアクセス
	結合方式	ハイパキューブネットワーク結合 (16台)
ピクセル処理部 (PP)	プロセッサ	専用ピクセルプロセッサ × 4 (走査変換、メモリ制御等)
	FOP	専用フィールドオペレータ (ピクセル展開等)
	メモリ	R, G, B, I各6bit、Z値12bit/Pixel 2048 × 2048 Pixel
	プロセッサバス	16bit
	ビデオバス	384bit
ビデオ発生部 (VG)	DA変換	I-HEMT (約400MHzで動作) 乗算器内蔵
	PS変換	ECLゲートアレイ使用
CRT	サイズ	20インチ (カラー)
	解像度	横2048ドット × 縦2048ライン
	垂直周波数	60Hzノンインタレース
	水平周波数	128KHz
	ドットレート	約360MHz
GPIF	CPU	i8086
	インタフェース	CPとGPIBで接続し、MTバスを介して装置の制御を行う

4. 幾何計算処理部 (GP)

幾何計算処理部は、MIMD方式のマルチプロセッサ構成で、プロセッサ間接続はハイパーキューブネットワークアーキテクチャを採用している。各プロセッサ上のプロセスは、メッセージ通信により他プロセッサ上のプロセスと通信する。

幾何計算処理部の構成要素であるGPは、3次元画像表示に必要な座標変換、クリッピング等の幾何計算を高速に行う演算部GE (Geometric Engine) と、他プロセッサとの通信制御をするハイパーキューブネットワークコントローラHC (Hypercube network Controller) からなる。GPは、幾何演算を高速に実行するGE部とハイパーキューブネットワークを制御する通信制御部を2種の専用バスで分離し、GE、HCの役割を分担制御し幾何計算の高速化とマルチプロセッサにおける通信のオーバーヘッドを軽減している。従って、GE部での通信に関する処理は、通信用 packets を組み立てる処理のみである。

GPのハードウェアでは以下の点について考慮した。

- ① CPUの処理速度とデータ転送速度のバランスをとるため高速メモリアクセス方式を採用
- ② 通信制御によるオーバーヘッドの軽減のために、CPUバスと通信用バスを分離
- ③ ①の理由からプロセッサ間通信のデータ転送速度をできる限りCPU側データ転送速度に近づける
- ④ CP-GP間、GP-PP間のインタフェース
- ⑤ GP単体及びマルチプロセッサのデバッグ

GPを構成する1ノードのハードウェア構成については、参考文献2)に詳述されているので、ここでは、表2に簡単にGPの諸元を示す。文献2)と異なる仕様は、メモリ容量とHCCの内部構成の一部である。

表2 GP1ノードの諸元

ブロック名	内容	ブロック名	内容
CPU	PSU:XL8136 8MIPS(8MHz) IPU:XL8137 FPU:XL3132 8MFLOPS(8MHz)	GEHCIF	演算部と通信部のバスを分離し、非同期で処理
		HC	ハイパーキューブ結合の通信プロトコルを制御 (Max32Mbyte/Sec)
Code memory	容量:256Kword~1Mword/64bit 256×4bitのDRAM 制御:Static column modeでアドレスの境界が256wordを越えない時120nSec/wordで高速にアクセス	Port IC	Tx:32bitのバラシリ変換 100Mbps以上 Rx:32bitのシリバラ変換 100Mbps以上 GaAsによる通信用IC
Data memory	容量:1Mword/32bit 1M×1bitのDRAM 制御:Direct mappingによるcaching Non_Cache でアクセスできる Common memoryを有する アクセス時間 120nSec キャッシュ容量 8Kword/32bit アクセス時間 120nSec ヒット時 600nSec ミスヒット時 Data memory-I/O間のDMA転送 CPUにバス権を優先させ、メモリ-I/O間のデータ転送はサイクルスチールで行う	DB	GE部及びHC部のハード/ファーム/ソフトウェアのデバッグを行うために各種レジスタのRead/Write や、RUN / STOP/STEP実行の制御を行う Code/Data Address及びTimerによるハードウェアブレイクポイント機能を有する 256Kword/96bitのプログラムデバッグトレースメモリを有する (Data/Code Address Bus, Data Bus その他数十本の制御線)

5. ピクセル処理部

ピクセル処理部は、多種多様な多角形の走査変換を行う走査変換処理部と変換されたデータをピクセル展開する高機能画像メモリ部とから成る。ピクセル処理部には、2種類の専用LSIがあり、幾何計算処理部で座標変換、クリッピングされた面要素、線要素、画像配列データを受け取り、ピクセルに展開して2次元または3次元の画像を生成するための表示処理を行う。以下に、ピクセル処理部の処理方式とハードウェア構成について述べる。

5.1 ピクセル処理部の構成

ピクセル処理部は図3に示すように、4枚のPPユニットと1枚のVGユニットからなる。各PPユニットには、ピクセルプロセッサと高機能画像メモリのR、G、B、I、Zフィールドが搭載されている。1ユニットの画像メモリは2048×512画素あるいは1024×1024画素の画像データを記憶でき、4ユニットで2048×2048画素の全画面を満たす。R、G、B、Iフィールドは各々6bit/pixelで色と輝度を示し、Zフィールドは12bit/pixelで深度を示す。RフィールドとGフィールドを合せたRGフィールド、あるいはBIフィールドは、ビデオ信号として読みだされる点を除けばZフィールドと同じ構成である。

図3中のVGユニットは、ビデオリフレッシュコントローラ(VRC)、4個の並直列変換用シフトレジスタ(SR)、3系統のHEMT製の乗算器とDA変換器から構成される。4枚のPPユニットとは合計400本近いビデオバスによって接続されている。これは16画素分のR、G、B、Iデータ(16×16×4bit)を並列に転送するために必要となるものである。この接続をスタックコネクタで実現する。

5.2 走査変換処理部(PPユニット)

PPユニットの内部は、図4に示すように、16bit幅のPPバスの周りにPPLSI、制御メモリWCS(Writable Control Storage)、MM(Main Memory)、GPインタフェースから成るピクセルプロセッサと、RG、BI、Z各フィールドの高機能画像メモリが接続されている。各フィールド内部の画像メモリ(MEM)は16インタリーブされており、16インタリーブの各々にフィールドオペレータ(FOP)が付けられている。このようにFOPを配置したことにより、X方向に連続する16画素の全フィールドに対して並列に画素レベルの処理を実行できる。RG、BIフィールドのビデオ発生器への読み出しも16画素同時に行われ、バッファレジスタ(REG)、ビデオバス用コネクタを通じてVGユニットに送られる。

(1) PPLSI

PPLSIの内部構成を図5に示す。PPLSIは、MPC部、ALU部、SC部、MC部とこれらを結合するPPバスから成る。MPC部は、WCSに記憶するマイクロプログラムを実行制御するシーケンスコントローラと、制御プロセッサ(CP)からプログラムやデータの転送、起動停止、メンテナンスを行えるインタフェース回路を含んでいる。ALU部は、16bitの加減算、論理演算、シフトを行うALU回路、64Wordのレジスタファイル(ALUM)、累算器(ACC)から成り、PPの制御用に使われる。SC部は面要素、線要素をピクセルに展開するプロセッサで、SCメモリ(SCM)に記憶された32頂点までの折れ線や多角形、円弧のピクセル展開を実行できる。MC部は、ピクセルやセグメント(水平線分)を画像メモリに書き込むためのコントローラであり、PPユニット内のすべてのFOPとMEMを制御する信号を発生する。

5.3 高機能画像メモリ部

高機能画像メモリは、PPLSI部から送られてきた画像データ(線要素、面要素等)をピクセル展開(色情報やZ値等の補間、比較演算)を行うFOPと生成された画像を格納するメモリからなる。

図6にFOPとメモリの構成を示す。PD12bitがPP側に、MD12bitがMEMに接続され、10数本の制御線はPPLSIのMC部からくる。その内部は、2個の12bitレジスタH、L、24bitレジスタACC、24bitALUその他の回路からなる。FOPは、MEMの読み出し、書き込みの他、RG、BI、Z各パラメータの内挿用累加算、Zフィールドにおける隠れ面処理用比較演算とMEMの書き込み制御、RG、BIフィールドにおける半透明処理用シフト混合演算等を実行する。

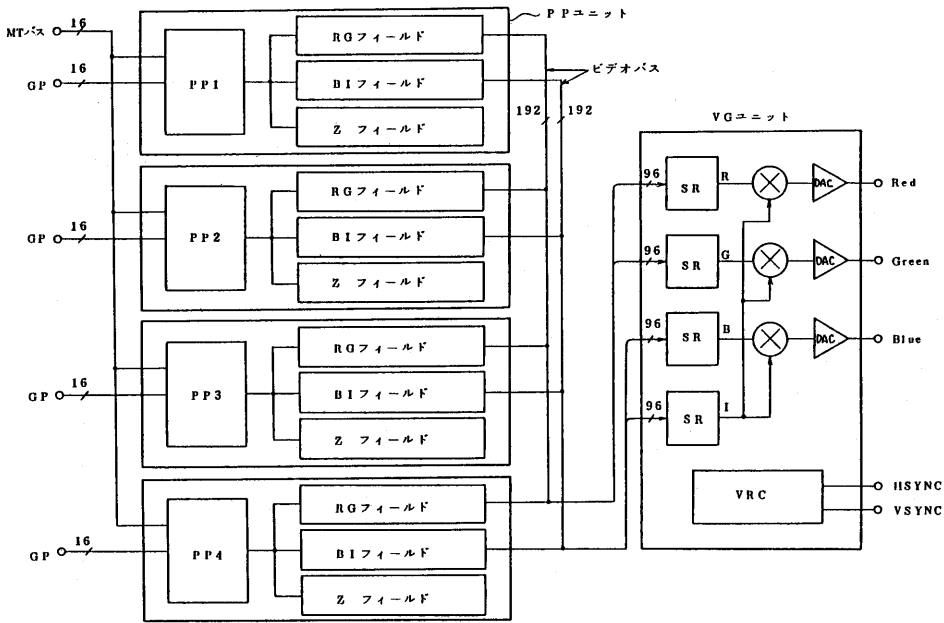


図3 ピクセル処理部

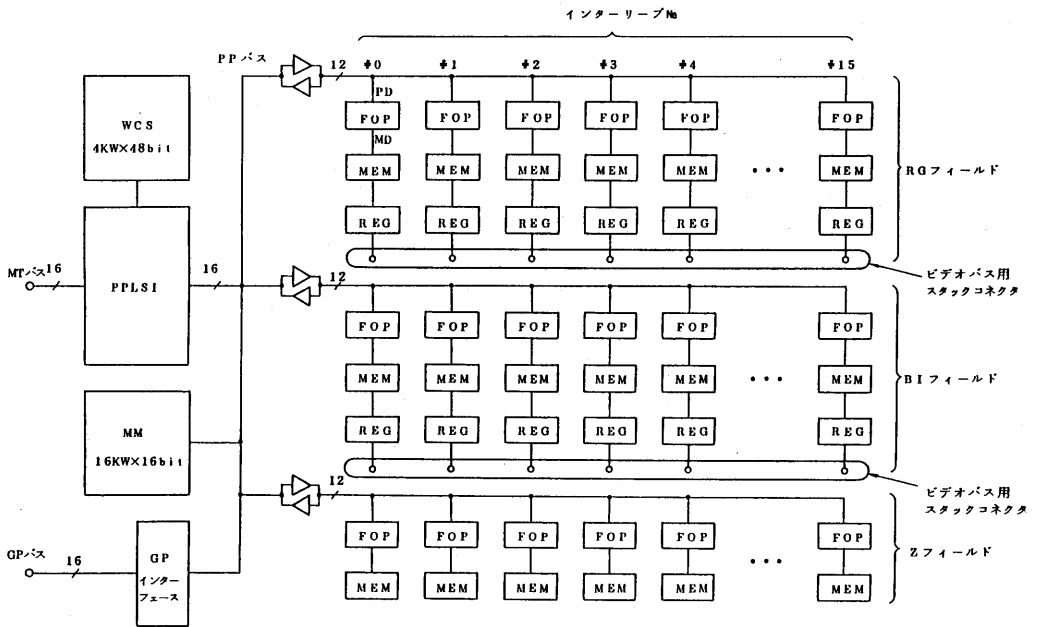


図4 PPユニット

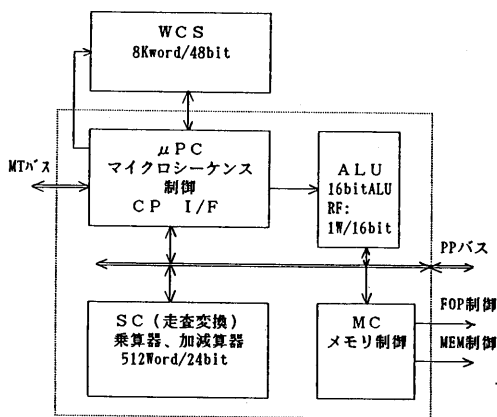


図5 PP_LSIの内部構成

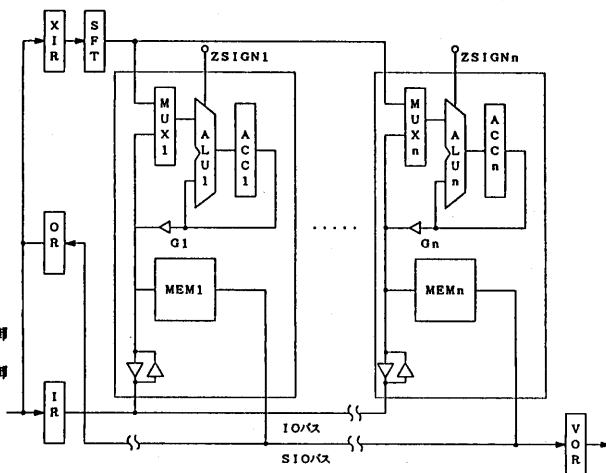


図6 高機能画像メモリ

6. おわりに

本論文では、アーキテクチャの概要と、幾何計算処理部の諸元、ピクセル処理部のハードウェア構成について述べた。現在、GP部の詳細設計、PP部の製造、各種LSIの設計・製造を行っている。その他重要な課題として並列プログラミングの開発支援環境の問題があるが、本論文ではそれにふれず今後の課題としたい。

本研究は通産省工業技術院大型プロジェクト「科学技術用高速計算システム」の研究開発の一貫としてなされている。

本研究において、日頃協力・助言を下される関係各位に感謝する。

[文献]

- 1) 新実, 富田 「グラフィックスと専用マシン」
bit, 17巻10号, 1985, PP51-75
- 2) 和宇慶、大宅、吉田 「並列画像生成とアーキテクチャ」
電子情報通信学会 "火の国ミニシンポジウム"
CPSY88-41 1988, 8/4, 5
- 3) W. Myers 「Staking Out Graphics Display Pipeline」
IEEE Computer Graphics and Applications, P60-65 July, 1984
- 4) J. C. Peterson, 「The MARK III Hypercube-Ensemble Concurrent Computer」
IEEE, 1985
- 5) 和宇慶, 吉田, 大宅 「3次元色彩図形表示処理用専用プロセッサHPRG」
計算機アーキテクチャ研究会、情報処理学会, 58-4, 1985
- 6) XL8032 Hardware Description May 6, 1987
WEITEK Corporation