

セルラアレイ型大規模並列プロセッサのアーキテクチャ

磯西 徹明 , 宮田 裕行 , 岩瀬 正

三菱電機(株) 情報電子研究所

人工衛星から送られてくる大規模な画像情報の処理を高速に行うことを主目的としたセルラアレイ型の大規模並列プロセッサを開発している。本並列プロセッサは、ビットまたはバイト単位の処理を基本とする基本演算要素(PE)を2次元格子状に接続したSIMD型のアレイプロセッサであり、様々なタイプの画像処理を効率良く高速に実行できるように種々の拡張を施している。本稿では、まず、セルラアレイ方式を採用した理由の述べ、次に本並列プロセッサの構成と特徴、命令セット、基本処理方式について述べる。現在、そのアーキテクチャの実用性を実証するために、8ビット演算器内蔵のPEを16台搭載したLSIを256石使用して構築したパイロットモデル、及び基本ソフトウェアの開発、評価を進めている。

An Architecture of Cellular Array Processor for Image Processing

Tetsuaki Isonishi, Hiroyuki Miyata and Akira Iwase

Information Systems and Electronics Development Lab.,
Mitsubishi Electric Corporation
5-1-1 Ofuna Kamakura 247 Japan

We are developing the Cellular Array Processor(CAP) which mainly aims at high speed image processing. The CAP consists of many processing elements (PEs) which are organized in a two-dimensional array; each has a local memory and an arithmetic logic unit operating in a bit- or byte-serial fashion. All the PEs are under the control of a single instruction issued by the array control unit. In order to improve the shortcomings of the traditional cellular array architectures, the CAP has the following characteristics; overlapping of execution and I/O, modified SIMD control, and so forth. The resulting architecture is expected to achieve high performance for various types of two-dimensional and image processing. In this paper, we describe the architecture of CAP with 4,096PEs using LSI/VLSI.

1. はじめに

逐次処理を基本とした従来の計算機では実用的な時間内の処理が不可能であった大規模な科学技術計算の一つに、人工衛星から送られてくる画像情報の処理がある。この人工衛星から送られてくる画像は、画像を構成する画素数、画像の枚数が非常に多く、膨大な処理時間を必要とする。さらに、その処理を行うために、表1. 1で示すように空間フィルタリングから、高速フーリエ変換（FFT）、幾何変換まで様々なタイプの基本処理とそれらを組み合わせた処理が必要であり、一般の画像処理装置に見られるように単機能のハードウェアを複数種類使用し、固定的な処理を行うだけでは不十分で、プログラマブルで高速なプロセッサが必要となる。

表1. 1 実行形式による画像処理の分類

実行形式	処理例
A 画素単位処理	2値化, 画像間演算等
B 近傍処理	非反復型 線形フィルタ, メジアンフィルタ等
	反復型 細線化, 距離変換等
C 大局処理	幾何変換, FFT等
D 追跡型・伝搬型処理	連結成分のラベル付け, 境界線追跡 エッジの追跡等

そこで、我々は、通産省工業技術院の大型プロジェクト「科学技術用高速計算システムの研究開発」の一環として、人工衛星から送られてくる大規模な画像情報を並列処理により高速に処理することを主目的としたセルラアレイ型大規模並列プロセッサ（以下CAP: Cellular Array Processorと呼ぶ）の研究開発を行っている^{(1)~(10)}。

CAPは、ビットまたはバイト単位の処理を基本とする基本演算要素（以下PE: Processing Elementと呼ぶ）を2次元格子状に多数接続するセルラアレイ方式を基本としたSIMD（Single Instruction Multiple Data Stream）型のアレイプロセッサである。

現在、4096台のPEを2次元格子状に接続した演算部を中心としたCAPパイロットモデルのハードウェア、基本ソフトウェアの開発及び評価を進めている。

本稿では、まず、画像処理とセルラアレイ方式の関係について述べてCAPのアーキテクチャとしてセルラアレイ方式を採用した理由を示す。次にCAPの構成を示し、その特徴について述べる。さらに、命令セット、基本的な処理方式について述べる。

2. 画像処理とセルラアレイ方式

一般的に画像処理は、次のような特徴がある。

(1) 比較的単純な同一処理を、繰り返して行うため並列処理が行い易い。

(2) 2次元配列の画素データを扱い、その周囲の画素データを使用する近傍処理が多い。

(3) 画素データの表現に必要なビット数が画像の種類によって一定でない（5~8ビット）。

このような特徴に対して、従来の逐次型の計算機では、(1) 並列処理が可能であるにもかかわらず、逐次的に繰り返し処理を行っている。

(2) 逐次型の計算機では、2次元配列のデータが1次元配列のメモリに配置されているため、その周囲の画素をアクセスするために多くのアドレス計算が必要となる。

(3) 汎用計算機及び科学技術計算用のスーパーコンピュータでは、8ビット演算で十分であっても32ビットまたは64ビットの演算器を使用しなくてはならないため処理効率が悪い。

そこで、CAPでは、単純な演算機能を持ったセルと呼ばれるプロセッサ（CAPではPE）を、多数、2次元格子状に配列し、全PEを同時動作させる2次元接続のセルラアレイ方式（以下セルラアレイ方式と呼ぶ）を採用して、並列処理による画像処理の高速化、効率化を図ろうとしている。セルラアレイ方式は、画像処理を行う上で逐次型の計算機に対して、次のような利点がある。

(1) 画素データとPEを対応させて処理することによりPEの数だけ並列に処理できる。

(2) 2次元配列の画素データは、2次元格子状に接続されたPE内のレジスタまたはローカルメモリに格納されている。その周囲の画素データのアクセスは、2次元配列の画素データ全体のシフト操作をPE間データ転送によって行うだけで良いので、複雑なアドレス計算を必要としない。

(3) 画素データのビット数に応じた演算をビットまたはバイト単位で繰り返して行えるので、処理効率が良い。

さらに、PEが単純であること、SIMD型のため制御部をPE単位に持つ必要がないことなどの特徴を持つため、大規模化による性能向上が容易に図れる。

以上のようにセルラアレイ方式は、画像を効率良く処理するのに適しており、海外では、MPP⁽¹¹⁾、DAP⁽¹²⁾、国内ではAAP2⁽¹³⁾などが同様な方式を採用している。また、他の処理方式によって画像処理の高速化を図っている並列プロセッサもある⁽¹⁴⁾。

上記のようにセルラアレイ方式は、基本的に画像処理に適しているが、次に示すような問題点もある。

(1) PE数が多いため、外部のメモリから全PEへのデータ入力、全PEから外部のメモリへのデータ出力に時間がかかる。

(2) SIMD方式であるため、オペランドの格納されているレジスタ及びローカルメモリのアドレス、命令が全PE同一で、柔軟性に欠けるため、処理効率が悪い。

(3) PE内の構成が単純であるため、1PEに着目した場合、基本演算が遅い。

(4) PE間の接続が近傍のPEとの間に限られるため、離れたPEどうしのデータ転送が行いにくい。

CAPでは、この様なセルラアレイ方式の問題点を解決し、人工衛星から送られてくる大規模な画像情報の、より高速な処理を目指している。

3. CAPの構成とその特徴

セルラアレイ方式の問題点を解決するために、我々は、ブロックパイプライン処理、PEの命令修飾機能及びアドレス修飾機能、並列データ転送方式、発火制御方式など、様々な処理方式をCAPに導入することを提案してきた^{(2), (5)}。本章では、これらの処理方式を実現し、CAPのアーキテクチャの実用性を評価するために開発しているCAPパイロットモデルについて述べる。

3.1 全体構成とシステムの特徴

CAPは、図3.1に示すようにに演算部とCAP全体を制御するCAP制御部から構成されており、このCAPと大規模データを格納する共有メモリ（以下SM：Shared Memoryと呼ぶ）を専用多重バスを介して結合し

たSIMD型のアレイプロセッサである。

さらに、演算部は、各PEを論理的に8近傍接続した 64×64 PEsの2次元アレイからなるセルラアレイ部、セルラアレイ部を制御する入出力制御部と演算制御部から構成されている。

CAPの制御プログラム及び画像処理などの応用プログラムは、CAP制御部内メモリに格納され、このCAP制御部で、スカラー演算やプログラムの実行順序制御、入出力制御部の実行制御及び演算制御部の実行制御を行う。

入出力制御部は、主にセルラアレイ部とSM間のデータ入出力を制御し、演算制御部は、CAP制御部から送られるアレイ命令に基づいてマイクロプログラムを実行し、演算を制御する。

以下にシステムの特徴を示す。

(1) CAP制御部、入出力制御部及び演算制御部は、独立に動作することができるため、「スカラー演算、アレイ演算、データ入力、データ出力を並列に実行」することが可能である。

(2) SMに格納されている画像データをセルラアレイ部のPE数に合わせて分割し、この分割画像単位にデータ入力、演算、データ出力をパイプライン的に繰り返して行うことにより、データ入出力のオーバーヘッドを少なくし、効率の良い並列処理を可能にしている。この方式を「ブロックパイプライン処理」と呼んでいる。

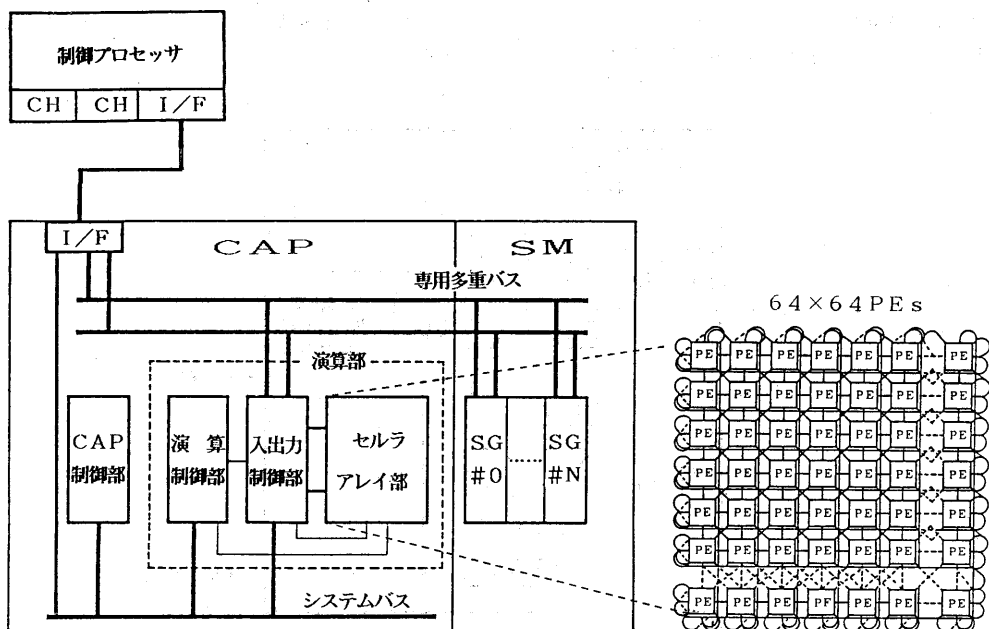


図3.1 CAPパイロットモデルの構成

(3) 演算制御部は、書き替え可能なマイクロプログラム用メモリを持っているため、画像処理の高速化に必要なアレイ命令を定義し、そのマイクロプログラムを作成することにより、命令の機能拡張が容易に図れる。

(4) セルラアレイ部の遊びが少なくし、できるだけ効率的に動作させるために演算制御部にはアレイ命令の命令キューを多段に持ち、CAP制御部から送られるアレイ命令の転送オーバーヘッドが陽に現れないようにしている。

3.2 PEの構成と特徴

セルラアレイ部の各PEは、図3.2に示すように主に演算制御部の制御の下で動作するレジスタファイル、レジスタ、ALU、ローカルメモリ、演算修飾または実行制御用フラグ(フラグ)、レジスタファイル及びローカルメモリのアドレス修飾器などから成るブロックと入出力制御部の制御の下で動作する入出力バッファ(I/Oバッファ)などから成るブロックから構成される。前者の演算用ブロックには、演算制御部から送られてくるアレイ命令を実行するための制御信号及びレジスタファイル、ローカルメモリのアドレス信号が送られてくる。これらの制御信号によって、ビットまたはバイト単位の演算を繰り返して複数ビットの算術・論理演算、PE間転送などが行われる。後者の入出力用ブロックには、SMとPE間のデータ入出力を実行するための制御信号が送られ、PEとSMとのデータ交換が行われる。

以下にPEの特徴を示す。

(1) レジスタ、ALUなどを8ビット化することによ

り算術・論理演算などを高速化している。また、レジスタファイル、ローカルメモリを効率的に使用できるように1ビット単位の演算を繰り返して行うビットシリアル演算も可能にしている。

(2) 演算の種類を指定するフラグ(演算修飾用フラグ)により、1命令で、例えば、各PE独立かつ同時に、加算、減算、No Operationの実行ができる(演算修飾機能)。

(3) PEで計算した結果を用いてレジスタファイルのビットアドレスを指定できる機能(レジスタファイルのアドレス修飾機能)により、PE内にシフトレジスタを設けずに各PE独立に異なった数のシフト動作を行うことができる。これにより、桁合わせ、正規化などを行う32ビット、64ビットの浮動小数点演算を高速に実行できる。

(4) PEで計算した結果を用いてローカルメモリ内に作成したテーブルのアドレスを指定できる機能(ローカルメモリのアドレス修飾機能)により、各PE独立に、異なったアドレスのデータを参照できる。この機能により、一つのテーブルのデータを頻繁に参照するような処理の高速化が図れる。

(5) PE内に格納されているデータを直接他のPEへブロードキャストする機能により、特に行列演算などを柔軟に行える。

(6) 2Kバイト/PEのローカルメモリ(4096PEsで8Mバイト)を有するため、セルラアレイ部とSMとのデータ交換を少なくするプログラミングが可能となる。

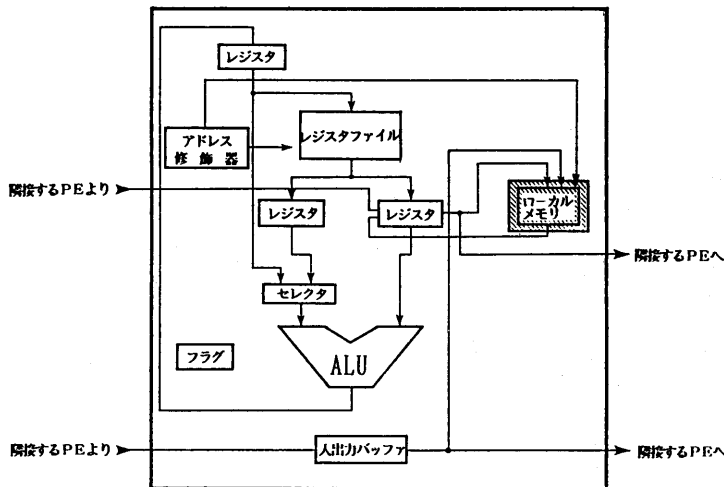


図3.2 PEの構成

(7) PEの演算用ブロックと入出力用のブロックを2つの制御部によって独立に制御できるため、演算用ブロックより入出力用ブロックのクロックを高速化でき、入出力の高速化を図れる。

3.3 共有メモリ (SM)

SM⁽¹⁰⁾は、CAPのホスト計算機である制御プロセッサとCAPとで、大規模画像データを共有するメモリである。図3.1に示すように、SMは複数のセグメント (SG#0~SG#N) と呼ばれるメモリ単位から構成され、それぞれのセグメントは、独立にデータのアクセスが可能で、次のような特徴がある。

(1) PEが2次元格子状に配列されたセルラアレイ部に、SM上の2次元配列データを様々なアクセス形態でマッピングできる2次元アドレッシング機能を持つ。

(2) 2次元データをブロック転送するため、高速なデータ転送が可能である。

(3) 複数のプロセッサ (図3.1では、制御プロセッサとCAPの入出力制御部) を接続できるマルチメモリポート機能を持つ。

(4) 1セグメントで4096×4096×1バイトの大容量記憶を持ち、ディスクなどの2次記憶装置を使用しなくても、大規模な画像データを格納できる。

3.4 ホスト計算機とのインタフェース

CAPは、ホスト計算機である制御プロセッサから制御され、その制御と、CAP制御部内メモリ及びSMとのデータ交換は、専用多重バス⁽¹⁰⁾に接続されている専用インタフェース (I/F) によって行われる。本インタフェースにより、制御プロセッサとSM、制御プロセッサとCAP制御部内メモリとの間で、最大3Mバイト/secの速度でデータ転送が行える。さらに、CAPのセルラアレイ部とSMとの間でデータ転送を行っているときでも、専用多重バスに空きがあれば制御プロセッサとSMとの間でデータ転送が可能となる。

上で示した構成のCAP、SM、ホストインタフェースを、16PEsを1チップ化したLSIを開発することにより電源部なども含めて図3.3で示すような720mm (幅) × 780mm (奥行) × 1400mm (高さ) の筐体にコンパクトに実装することができた。

4. 命令セット

CAPで行う画像処理は、制御プロセッサのFORTRANプログラムからサブルーチンコールによって起動がかけられ実行される。これらの画像処理プログラムは、CAP制御部内メモリにライブラリとして格納されている。本章では、このCAPのライブラリプログラムを構築するためのCAPの命令セットについて述べる。

3章で示したハードウェアを効率良く並列動作させる

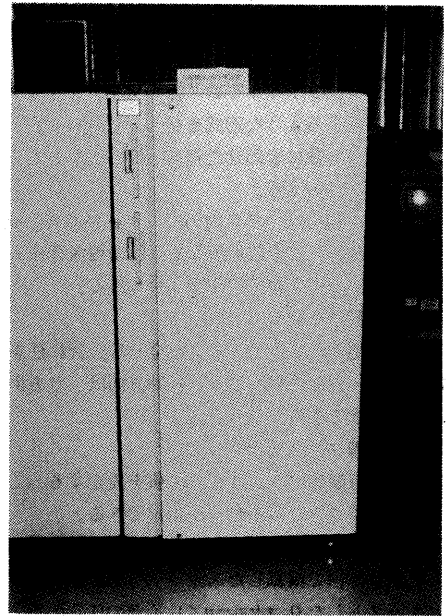


図3.3 CAPパイロットモデル

ために表4.1に示すようなアレイ命令、スカラ命令、入出力命令などを設定した。

表4.1 CAP機械命令の種類

アレイ命令	PE内データ転送命令
	固定小数点演算命令
	浮動小数点演算命令
	論理演算命令
	PE間転送命令
	実行制御フラグ操作命令
	ブロードキャスト命令
スカラ命令	リダクション命令
	マクロ命令
	データ転送命令
	算術演算命令
入出力命令	論理演算命令
	分岐命令
	SM ↔ セラアレイ部
その他	SM ↔ CAP制御部メモリ
	セラアレイ部 ↔ CAP制御部メモリ
	同期命令

4.1 アレイ命令

CAP機械命令のなかで中心的な位置を示す命令で、演算制御部の制御のもとで、セルラアレイ部の全PE一齐に実行される。この命令は、図4.1に示すようにPE内のレジスタファイルやローカルメモリをビット単位でアクセスできるような形式を持つ。これにより、画素データのビット数に合わせた演算、PE間転送などが機械命令レベルで行える。

アレイ命令の中には、PE内のデータ転送命令、固定小数点演算命令、浮動小数点演算命令、論理演算命令、などの他に、次のような特徴的な命令もある。

(1) PE間転送命令

PE内に格納されているデータを全PE一齐に任意のPE数だけ同一方向に移動する。移動方向は、8方向のうち1つを選択できる。

(2) 実行制御フラグ操作命令

PE内の実行制御フラグに任意の値を設定する。これによりPE単位で異なった動作が指定できる。

(3) ブロードキャスト命令

CAP制御部内で演算したスカラデータを全PEにブロードキャストしたり、セルラアレイ部の任意の行、任意の列のPEに格納されているデータを、それぞれ同一列、同一行のPEにブロードキャストする。

(4) リダクション命令

セルラアレイ部に格納されているアレイデータをスカラデータにリダクションする命令で、アレイデータの論理和、論理積、最大・最小値などを求める。

(5) マクロ命令

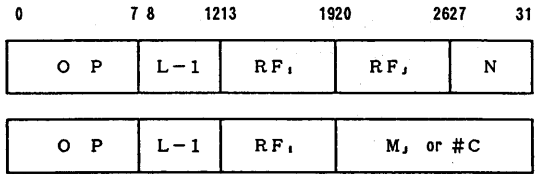
画像処理でよく使用する機能を機械命令化したもので、1PE内に格納されている複数のデータの中央値を求める、ローカルメモリに格納されているルックアップテーブルをPE内データをアドレスとしてアクセスする、PE内フラグにより加算、または、減算のどちらかを行う、などの命令がある。

4.2 スカラ命令

スカラ演算や、順序制御を行うのがスカラ命令で、CAP制御部で実行され、データ転送命令、算術・論理演算命令、分岐命令などから構成される。また、スカラ命令では、アレイ命令で使用する演算制御部のレジスタ（例えばリダクション命令の実行結果が格納されるレジスタ）、入出力命令で使用する入出力制御部のレジスタ（例えば、共有メモリの2次元領域を指定する制御データが格納されているアドレスのポインタレジスタ）へのデータ設定、データの読み出しも行う。

4.3 入出力命令

入出力命令は、SMとセルラアレイ部との間の入出力を行う命令を中心として次のような命令があり、その実行は、入出力制御部のハードウェア制御によりブロック



- OP : オペレーションコード
- L : データのビット幅
- RF_i, RF_j : レジスタファイルのアドレス
- N : 転送PE数, シフトビット数
- M_j : ローカルメモリアドレス
- #C : 即値データ

図4.1 アレイ命令の形式例

転送で行われる。

(1) SM・セルラアレイ部間転送命令

SMからセルラアレイ部へ入力するINPUT命令、セルラアレイ部からSMへ出力するOUTPUT命令の他に、INPUTとOUTPUTを同時に実行するINPUT OUTPUT命令がある。これらの命令のオペランドデータのビット幅として8ビット以外に、16ビット、32ビット、64ビットの指定ができる。

(2) SM・CAP制御部メモリ間転送命令

SMに格納されているデータの一部をCAP制御部メモリに転送して使用する場合に用いる。また、その逆の場合も同様である。

(3) セルラアレイ部・CAP制御部メモリ間転送命令

CAP制御部メモリに格納されているデータをセルラアレイ部に転送して使用する場合に用いる。また、その逆も同様である。

4.4 その他の命令

CAPでは、アレイ命令、スカラ命令、入出力命令の3種類の命令を、お互いの命令の実行に矛盾が起きないように実行するために、同期命令を設定している。

5. 処理方式の例

CAPにおける処理方式の例として、分割画像単位にデータ入力、演算、データ出力をパイプライン的に繰り返して行うブロックパイプライン処理の例、そして、セルラアレイ部において分割画像単位に行うアレイ演算の例を示す。

5.1 ブロックパイプライン処理の例

図5.1に、ブロックパイプライン処理の例を示す。図5.1(a)では、SMのセグメント0に格納されている画像を4分割し、これを分割画像単位に切り出し、

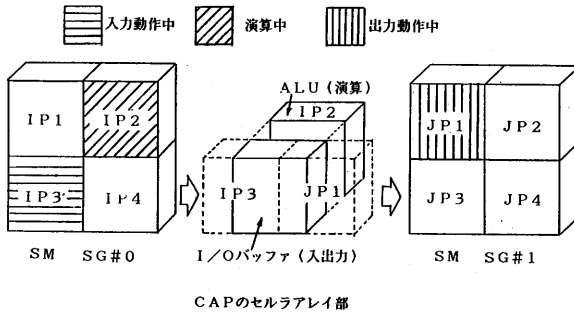


図5. 1 (a) ブロックパイプライン処理

- ① スカラ演算 (主にデータのアドレス計算)
- ② INPUT (データ入力: IP1)
- ③ スカラ演算
- ④ WTR (入力動作が終了するまで次の命令を実行しない)
- ⑤ INPUT (データ入力: IP2)
- ⑥ スカラ演算
- ⑦ アレイ演算 (IP1)
- ⑧ スカラ演算
- ⑨ WTR
- ⑩ WTD (アレイ演算が終了するまで次の命令を実行しない)
- ⑪ INOUT (データ入出力: IP3 & JP1)
- ⑫ アレイ演算 (IP2)
- ⑬ スカラ演算
- ⑭ WTR
- ⑮ WTD

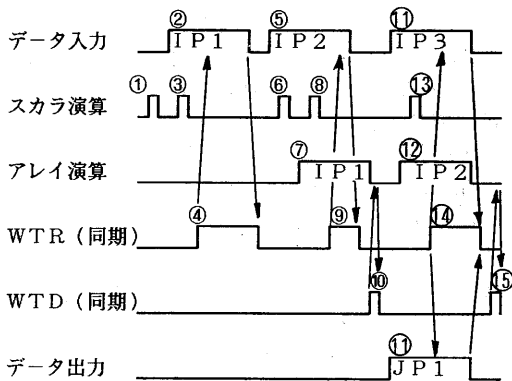


図5. 1 (b) ブロックパイプライン処理のプログラムとタイムチャート

演算を行い、さらに、その結果をSMのセグメント1に格納するという動作をパイプライン的に行っている例を示している。

この動作を行うプログラムとタイムチャートは図5. 1 (b) のようになる。この図において、①、③、⑥、⑧、⑬のスカラ演算では、主に、SMからのデータの切り出し、または、SMへの格納のためのアドレス計算を行い、その結果を制御データとしてCAP制御部のメモリに格納する。この値を基に、次に続くINPUT命令 (②、⑤) または、INOUT命令 (⑪) を実行する。INPUT命令またはINOUT命令と並行して、アレイ演算 (⑦、⑫)、スカラ演算 (③、⑥、⑧、⑬) を実行できる。④、⑨、⑭のWTR命令は、入出力命令に対する同期命令であり、入力動作または出力動作が終了するまでウェイトする。⑩、⑮のWTD命令は、アレイ命令に対する同期命令であり、演算制御部の命令キューが空になるまでウェイトする。

この例でわかるように、CAPではセルラアレイ部の稼働率を高め、データ入出力のオーバーヘッドが陽に現れないようにプログラミング及び実行することが可能となる。

5. 2 アレイ演算の例

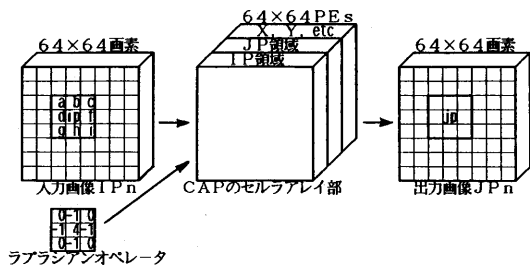
アレイ演算の例として、空間フィルタリングとローカルメモリのアドレス修飾機能を使用した濃度値変換の例を示す。

(1) 空間フィルタリングの例

4章で述べたCAPの機械命令を使用して作成したプログラムの一例として、3×3のラプラシアンオペレータによる空間フィルタリングの例を図5. 2に示す。このサブルーチンは、入力画像: IPnがPE内レジスタファイルのIP領域 (8ビット) に格納されているものとし、このデータに対して3×3のラプラシアンオペレータを作用させ、その演算結果である出力画像: J P nをレジスタファイルのJP領域 (16ビット) に格納するものである。RETC命令 (サブルーチンからのリターン命令) 以外は、全てアレイ命令で記述されており、本サブルーチンを1回実行することにより、CAPでは64×64画素から構成される分割画像の空間微分が並列に実行される。

(2) 濃度値変換の例

濃度値変換は、変換前の濃度値をアドレスとして、変換テーブルを参照する操作を全画素について行う処理である。従来のSIMD方式の並列プロセッサでは、1命令で、PEによって異なったアドレスによるテーブル参照ができなかったため、PEの稼働率が低くなるという欠点があった。そこで、CAPでは、PE内に格納されているデータをアドレスとして、1命令でテーブル参照ができるような機能 (ローカルメモリのアドレス修飾機能) をPEに付加したため、高速な濃度値変換が可能となった。ブロードキャスト命令によって全PEのローカルメモリに同一の変換テーブルを作成した後、図5. 3のように1命令で濃度値変換が可能となる。



```

****      SUBROUTINE EGLP      ****
*
EGLP MOV   8    JP-2, IP      *jp←i p*4
MCS   8, 1    Y, IP          *Y←b (南方向のPEに転送)
MCE   8, 1    X, IP          *X←d (東方向のPEに転送)
ADD   16     Y, X            *Y←b+d
MCW   8, 1    X, IP          *X←f (西方向のPEに転送)
ADD   16     Y, X            *Y←b+d+f
MCN   8, 1    X, IP          *X←h (北方向のPEに転送)
ADD   16     Y, X            *Y←b+d+f+h
SUB   16     JP, Y           *Y←b+d+f+h
RETC                                     *jp←jp-Y

```

↑
ビット長
転送PE数

図5. 2 空間フィルタリングの例

LUT input-level, output-level

LUT : 命令のニモニック
input-level : 変換前の画素の濃度値
 (参照するテーブルのアドレス)
output-level: 変換後の画素の濃度値
注) ビット数は、8ビット固定

図5. 3 濃度値変換の例

以上、示したようにCAPでは、ブロックパイプライン処理と、多数のPEを使用したアレイ演算によって画像処理に含まれる時間的並列性と空間的並列性の両者を生かした並列処理を行うことができる。

6. おわりに

本稿では、人工衛星から送られてくる大規模画像の高速処理を主目的としたセルラアレイ型大規模並列プロセッサ(CAP)のアーキテクチャについて述べた。

CAPのような並列プロセッサでは、PEの数に比例した演算性能の向上が目標であるが、一般的に、様々なオーバーヘッドにより、PE数が多くなればなるほどその性能は飽和状態に近づく。そこで、CAPでは、できるだけこのオーバーヘッドが少なくなるように、セルラアレイ方式を拡張し、様々なタイプの並列処理を効率良く行えるようなアーキテクチャとした。

現在、我々は、8ビット演算器内蔵のPEを16台搭載したLSIを256石使用して構築したCAPパイロットモデルの開発・評価を行っている。

また、画像処理ライブラリ^{(3)・(4)・(8)・(9)}、CAPを制御する並列実行制御ソフトウェア⁽⁸⁾、制御プロセッサによって、SMのデータ管理、CAPのプログラム管理などを行うシステム制御ソフトウェア⁽¹⁰⁾、並列性記述言語コンパイラ(CAPEL)⁽⁶⁾、なども開発しており、その評価を進めている。

今後、さらに、実用に近いアプリケーションプログラムを用いてシステム全体の評価を行っていく予定である。

なお、本研究は、通産省工業技術院の大型プロジェクト「科学技術用高速計算システムの研究開発」の一環として行っているものである。

【参考文献】

- (1) 菅, 他: “高速画像処理向き並列処理アーキテクチャの検討”, 情処第26回全国大会, (1983)
- (2) 宮田, 他: “高速画像処理向きセルラ・アレイ・プロセッサ”, 信学技報, EC84-6(1984)
- (3) 磯西, 他: “セルラ・アレイ・プロセッサCAPにおける大規模画像処理アルゴリズム”, 情処第29回全国大会(1984)
- (4) 工藤: “セルラ・アレイ・プロセッサCAPにおける大規模行列演算アルゴリズム”, 情処第29回全国大会(1984)
- (5) Takashi Kan, et al.: “PARALLEL PROCESSING ON THE CAP: CELLULAR ARRAY PROCESSOR”, IEEE COMPCON'84 FALL CONFERENCE, pp. 239-244(1984)
- (6) 工藤: “セルラ・アレイ・プロセッサ用並列処理記述言語の提案”, 情処第30回全国大会(1985)
- (7) 村田, 他: “大規模並列処理プロセッサCAP: 並列処理アーキテクチャ”, 情処第31回全国大会(1985)
- (8) 磯西, 他: “大規模並列処理プロセッサCAP: 並列処理ソフトウェア”, 情処第31回全国大会(1985)
- (9) 宮田, 他: “大規模並列処理プロセッサCAP: 画像処理”, 情処第31回全国大会(1985)
- (10) 岩瀬, 他: “衛星画像処理システム”, 科学技術用高速計算システム研究成果発表会講演予稿集, pp. 117-147(1988)
- (11) K.E. Batcher: “Design of A Massively Parallel Processor”, IEEE Trans. on Comput. C-29, no. 9, sept. (1980)
- (12) R.W. Gostick: “Software and Hardware Technology for the ICL Distributed Array Processor”, The Australian Computer Journal, Vol. 13, No. 1 (1981)
- (13) 近藤, 他: “2次元アレープロセッサ(AAP2)とプログラミング言語”, 電子情報通信学論, Vol. J71-D, No. 8(1988)
- (14) 前田: “画像処理マシン”, 情報処理, Vol. 28, No. 1, pp. 19-26(1987)