

ベクトル計算機における パイプラインメモリの効果

西 直樹、妹尾義樹、中崎良成、大野直哉

日本電気㈱ C&Cシステム研究所

本稿では、スーパーコンピュータ用メモリとしてパイプラインメモリ・チップの提案を行う。パイプラインメモリはSRAMをアーキテクチャ的に改造したものであり、通常のメモリチップと比較してメモリサイクルタイムが半分に短縮化されている。提案の趣旨を説明するため、スーパーコンピュータ用パラレルメモリシステムについての議論を行う。ベクトル計算機ではパラレルメモリシステムのアクセスに際して多くの制約が存在し、この制約がメモリシステムの実効効率低下を引き起こしている。著者らはパイプラインメモリを用いたメモリシステムモデルに対し、シミュレーションによる評価を行った。評価用のアプリケーションプログラムとしてリバモア・カーネルから9つのループを用いている。シミュレーションの結果、平均24%、最大80%の性能向上効果が確かめられた。パイプラインメモリはスーパーコンピュータのパラレルメモリアクセス制約の負荷を低減し、より高速なメモリシステム実現を可能とする。

THE EFFECTS OF PIPELINED MEMORY ON VECTOR PROCESSORS

Naoki NISHI, Yoshiki SEO,
Ryousei NAKAZAKI, Naoya OHNO

C&C Systems Research Laboratories, NEC Corporation
4-1-1, Miyazaki, Miyamae, Kawasaki, Kanagawa, 213 JAPAN

This paper proposes a pipelined memory chip for vector supercomputers. The pipelined memory is an architecturally improved SRAM, and its main feature is twice fast memory cycle time as compared with standard SRAMs. To make clear the advantage of pipelined memory, parallel memory system for supercomputer is mainly discussed. Vector processors have many constraints for parallel memory access, and these constraints cause serious performance degradation. The authors evaluate performance on a simulation model with the pipelined memory. Nine Livermore loops are used as a set of test programs. The performance improvement ratio is 24% on an average, and up to 80%. The pipelined memory decreases the load of access constraints, and enables to construct very fast parallel memory systems.

1. はじめに

スーパーコンピュータの今後の性能向上をアーキテクチャ面から考えた場合、メモリスシステムの善し悪しが、システム全体の性能を左右する局面が増してくると思われる。本稿では、このメモリスシステムに焦点を当て、現状分析を行うとともに、今後の方向の一つとして、パイプラインメモリチップを用いたメモリスシステムの提案と、その性能予測結果を報告する。まず、2章ではパイプラインメモリ・チップの提案を行う。次に、3章ではスーパーコンピュータのメモリスシステムを紹介し、その問題点を説明する。また、著者らが今回実際にパイプラインメモリ・チップの評価を行ったメモリスシステムのモデルも示す。4章では性能評価結果を示し、結果の検討を行う。

2. パイプラインメモリ

パイプラインメモリは、通常のSRAMを改造した専用メモリで、従来のSRAMと比べメモリスループットを2倍に向上させた点を最大の特徴としている。第1図にチップの機能ブロック図を示す。一般にSRAMチップは、入出力回路、アドレスデコーダ、メモセルアレイ、センスアンプ等から構成される。パイプラインメモリは通常のSRAM構成にいくつかのパイプライン用レジスタを加えたものであり、同時に複数のメモリアクセス要求を処理することで、高スループットを実現している。

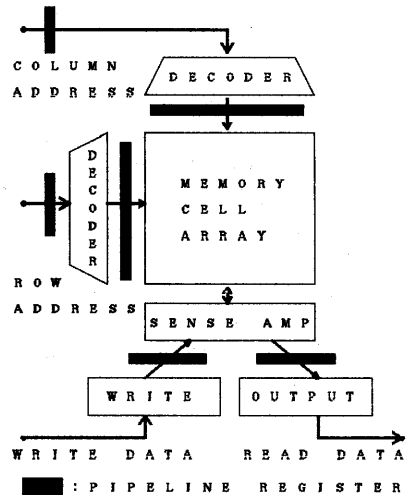
第2図に READ 動作タイミング図を示す。通常メモリチップは、アドレスを受け取った後、アドレスデコード、メモセルアクセスとセンスを経て読み出しデータの出力を行なう。従来、これらの処理全体が1基本オペレーションであり、後続する READ 要求は先行する READ の出力が完了するまで開始することが出来なかった(第2図)。パイプラインメモリはこの基本オペレーションを3つに分割し、各々独立に動作させることを可能とし、スループットを2倍としている。パイプラインメモリの特長を以下に要約する。

- ①メモリスループットが2倍
- ② READ/WRITE 競合による誤データの読み出しがない(メモセルアレイアクセスを分割していない)
- ③入出力段にもレジスタを備えており、メモリカードとしての最適化も可能(※)

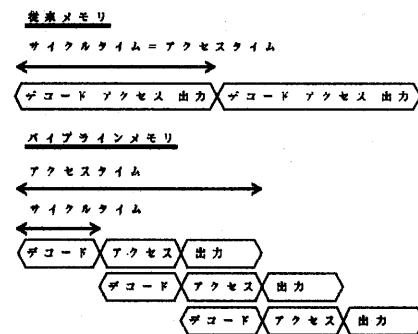
パイプラインメモリは以上のように従来にない特長を備えているが、反面、パイプラインレジスタの導入によりアクセスタイムは多少長くなっており、アクセスタイムの多少の伸びよりもサイクルタイムが短いことを生かせるアプリケーションを指向して

いる。

利用可能なアプリケーション分野は、本稿の目的であるスーパーコンピュータをはじめ、画像、通信といった分野が考えられる。また、2倍になったメモリスループットをデュアル・ポート化して用いることも可能である。メモセル構造自身をデュアル化するよりは、パイプラインメモリを用いた方が高集積度のチップ実現が可能であり、マルチプロセッサ一般にも適用可能である。



第1図 パイプラインメモリの構成



第2図 パイプラインメモリの動作タイミング

※ 入出力段にレジスタを備えた構成は、ビットスライス用のファミリとして従来から提供されている(例えばAMDのRegistered SRAM Am9151等)。パイプラインメモリはラッチ付きメモリの発展形と考えることもできる。

3. スーパーコンピュータのメモリシステム

スーパーコンピュータのメモリシステムは本格的なネットワークを用いて構成され、基本的にはパラレルプロセッサ一般に用いられるネットワークと大きな差異はないと考えられる。しかし、いくつかの点ではMIMD形式のマルチプロセッサ一般にはない特殊制約が課せられ、採用したネットワークの種別がシステム全体の性格に大きな特徴を与える。ここでは、スーパーコンピュータのメモリシステム方式の紹介と、今回バイブラインメモリを用いて性能評価を行ったモデルの説明を行う。

3. 1 シングルプロセッサのメモリシステム方式

スーパーコンピュータは、命令処理ユニット、スカラー処理ユニット、キャッシュ、ベクトル処理ユニット、メモリインタフェースユニット、ネットワーク、複数のメモリモジュール等から構成される。命令処理ユニットから発行されるベクトル・アクセスは一次線形ベクトルと、リストベクトルと呼ばれる間接ベクトルアクセスの2種類である。

・一次線形ベクトルアクセス

(BASE, DISTANCE, LENGTH)

BASE: ベクトルアクセスする開始番地

DISTANCE: ベクトル要素間の距離

LENGTH: アクセスするベクトル要素数

・リストベクトルアクセス

(LIST, LENGTH)

LIST: アクセスするベクトルの番地集合

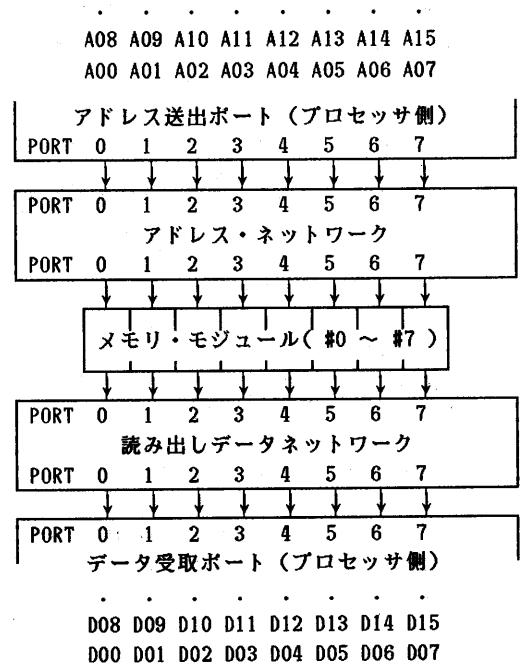
LENGTH: アクセスするベクトル要素数

バンド巾の広いベクトルアクセスを行うために、メモリシステムは第3図のような構成になっている。また、各メモリモジュールはさらに複数バンクから構成される(第4図)。ここで第3図 A0 ~ An がベクトル各要素のアドレスであり、プロセッサ側からのアドレス送出手は、ポート数でインターリーブして行うのが一般的である。ベクトルプロセッサにおけるメモリシステムでは基本的に以下のような順序制約を満たしてパラレルアクセスを行う必要がある。

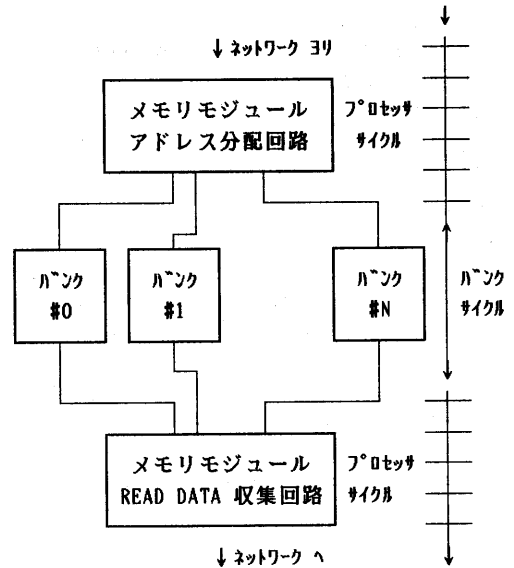
順序制約

①縦方向制約(アドレスポート-読み出しデータポート間順序制約、アドレスポート-メモリバンク間書き込み順序制約)

各々ペアとなっているアドレスポートと読み出しデータ受取ポート間では、アドレスを送出した順序で読み出したデータがポートに戻ってこなければならない。また、ベクトル書き込み→ベクトル読み出



第3図 シングルプロセッサ用メモリシステム



第4図 メモリモジュール内の構成

し、とリクエストが続く場合、メモリバンクへのリクエスト順序に逆転が発生してはならない。

②横方向制約（アドレスポート間制約）

リストベクトルの書き込み時、複数のポートから同時に送出されたアドレスが競合を起こす場合、左方優先でメモリ書き込みを行わなければならない。

MIMD一般でも縦方向の制約が必要とされる場合は多いであろうが、横方向の制約に関してはベクトルプロセッサ独得のものと考えられ、なかなか厳しいものがある。これらの制約は以下の要因により違反事象が発生する。

制約違反要因

- ①バス競合（ネットワーク内競合）
- ②ポート競合（ネットワーク出口での競合）
- ③バンク競合（メモリモジュール内競合）

そこで、メモリシステム設計者は各制約違反要因への対応策として、下記のいずれかの方針を迫られることになる

解決の方針

①事前解決

はじめから競合がおこらないように交通整理してからリクエストを送出する。

②その場で切り抜ける

競合が実際に発生した時点で、順序逆転が発生しないような調停作業を行う。

③当たって砕ける

競合による逆転が発生しないものとして通常は処理し、逆転が起こったならば後でつじつまを合わせる。

3. 2 マルチプロセッサのメモリシステム方式

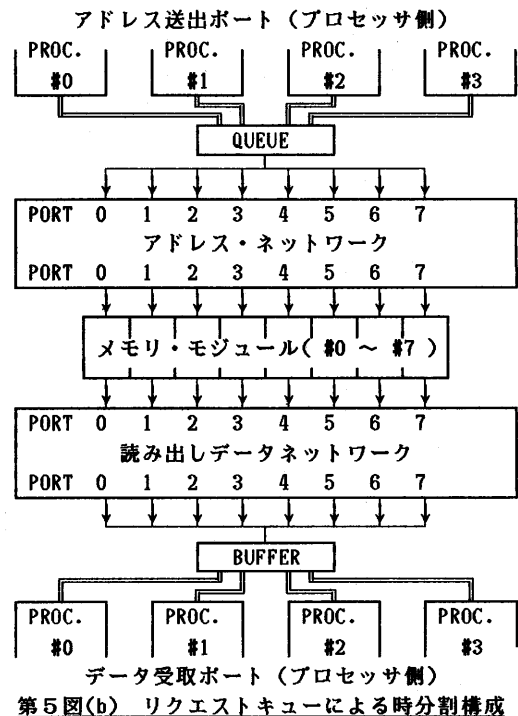
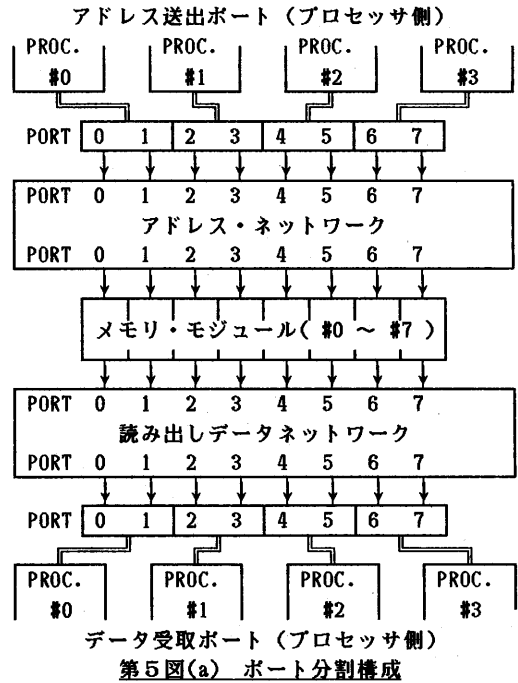
次に、シングルプロセッサの拡張として、マルチベクトルプロセッサにおけるメモリシステム方式を概説する。

第5図は4マルチプロセッサを例としての共有メモリシステム構成方式を示している。シングルでパラレルメモリを用いているためそのマルチプロセッサ化は比較的容易であり、大別すると次のような2方式が考えられる。

(a)ポート分割

パラレルアクセスする全ポートをプロセッサ数で分割し、各プロセッサに使用するポートを固定的に割り当てる。

メリット：異なるプロセッサに割振られたポート間では横方向の制約は課せられない。ポート数を増やすことが比較的容易になる。



デメリット：1プロセッサしかメモリアクセスを行っていない場合、使われていないポートが発生し、効率が悪い。

(b)時分割

各プロセッサから発行されるリクエストを、一度キューで受けて、1ベクトルアクセスリクエスト単位で処理する。可能ならば、リクエスト内を時分割して複数リクエストを同時に処理してもよい。

メリット：1プロセッサでメモリを使用しているも無駄が発生しない。

デメリット：依然として横方向の制約は緩和されないため、ポート数を増やすことが困難

3.3 性能評価を行ったモデル

スーパーコンピュータの商用システム(CRAY, ETA, 日立、富士通、NEC等)がどの競合をどの様な方針で解決しているか、その詳細は不明であるが、CRAY-XMPのメモリシステムについては、文献[1]に比較的详细に示されており、今回性能評価を行ったモデルもこれを参考にして設定した。また、パイプライン計算機一般については文献[2]を参照されたい。

・マルチプロセッサ結合方式

時分割制御方式をベースとした。各プロセッサから発行されたメモリリクエストは、一度キューイングされた後、1リクエストに対して全ポートを使用してパラレルアクセスを行う。このため、リストアドレス、読み出し/書き込みベクトルデータのバッファをも付加した。

・ネットワーク方式

今回のシミュレーションでは、16*16のクロスバ構成を採用し、多段ネットワークで問題となるバス競合は発生しないものとした。

・メモリモジュールの方式

メモリモジュール内の各バンクに一定のキューを持たせ、各バンクは自立的にバンクサイクル毎に次のリクエストを処理できる構成とした。

・横方向の制約解決

横方向の競合についてはアドレスネットワーク内で解決するものとした。これについてはネットワークをクロスバ構成にしたことと密接な関連があり、クロスバ構成をとることで、競合が発生した場合、一意にいずれを優先させるべきかを決定できるものとしている。ただし、競合が発生すると、競合状態がなくなるまで、プロセッサ側から次のリクエスト集合は受け取らない論理構造とした。

・縦方向の制約解決

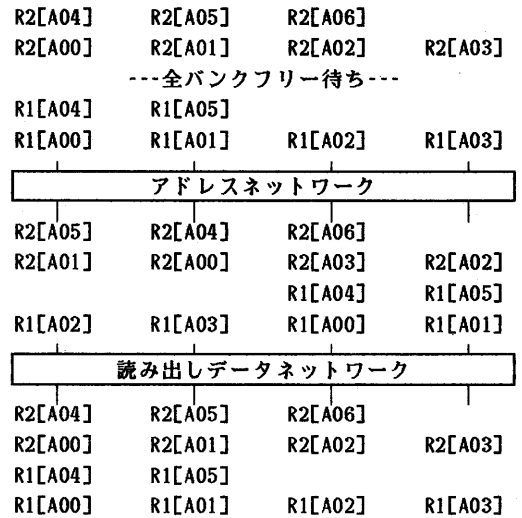
この制約解決方針については、メモリバンクを自

立的に動作させることに関連し、線形ベクトルと、リストベクトルとで異なった解決方針を採用した。

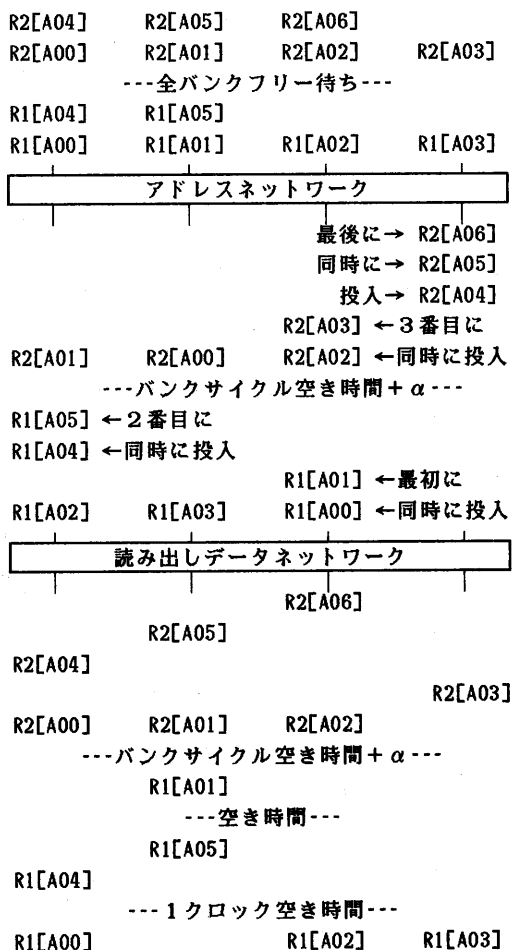
まず、線形ベクトルでは1ベクトルアクセス要求内での競合発生が順序性を乱すことはない。問題となるのは、異なる線形ベクトルリクエスト間での追越しであり、(BASE, DISTANCE, LENGTH)の異なる2つのリクエスト間で追越しが発生する場合が存在する。この判定は難しく、線形ベクトルリクエスト間では、先行リクエストの全アドレスを送出後、全バンクフリーとなる時刻を判定して、後続ベクトルのアドレス送を開始することとした。ただし、連続ベクトルのリクエスト間では全バンクフリーを待たず、追越しが起こらない範囲で後続処理を開始させている。

次に、リストベクトルであるが、ネットワークの構成を前述のようにすることで、アドレス送出からメモリバンクに至るまでのバスで追越しが発生することは防がれている。ただし、どのバンクにどの様な順序でリクエストが集中するかは不明であり、読み出し時、データがネットワークを通過して戻る順序を保証することは難しい。やむなく、1リストベクトル読み出しデータのBUFFER到着はランダムになることを仮定し、BUFFER内で順序を整えてからベクトル処理ユニットに供給することとした。従って、読み出したリストベクトルを用いたチェイニング演算は行っていない。リストベクトルアクセス要求間での追越し回避は、線形ベクトルと同様、アドレス送出側で全バンクフリー待ちを行う構成とした。

簡単な例を第6図、第7図を用いて説明しよう。第6図は、先行リクエスト(R1)として連続ベクトル、後続リクエスト(R2)として3バンクとびの線



第6図 線形ベクトルアクセスの例



第7図 リストベクトルアクセスの例

形ベクトルアクセスを行った例を示している。いずれも、線形ベクトルアクセスで、かつ、ポート競合が発生しないため、各々のリクエスト内のベクトル要素アドレスはクロック当り4要素(この例の最大ポート数)でアドレス/読み出しデータネットワークを通過していく。ただし、R1とR2の間でのリクエストが混じることを避けるために、R1の処理後、全バンクフリー待ちの時間間隔を設けている。

次にリストベクトルアクセスの例を第7図を用いて説明する。第7図では、R1[A00]とR1[A01]、R1[A04]とR1[A05]、R2[A02]とR2[A03]、R2[A04]とR2[A05]とR2[A06]がポート競合を起こし、さらにR1[A00]とR1[A01]はバンク競合も発生する例である。アドレスネットワークを通過する時点で、横方向制約により、ポート競合関係にあるリクエストは左方優先で通過させられる。また、読み出しデータネットワークを通過した時点では、バンク競合

を引き起こしたR1[A01]が、後続リクエストに追い越され、縦方向の制約を満たすことに失敗している。この失敗はBUFFERで一度データを受けることで回避しているが、読み出したデータを用いてのチェイニング演算は不可能となってしまっている。

以上、簡単に今回パイプラインメモリ評価に用いたメモリシステムのモデルを説明した。縦方向/横方向の制約を効果的に満たす方式は非常に難しい。今回採用した方式は、まずまず妥当なモデルではないかと考えている。CRAY-XMP等の報告からも、数多くの全バンクフリー待ち事象が発生していることが示されており、今回のパイプラインメモリの提案は、バンクサイクルタイムの低減により、パラレルメモリシステムの実効効率向上を狙ったものである。

4. 評価

前節で述べた方式に従って、パイプラインメモリを用いてメモリサイクルを低減した場合の、システム全体としての性能向上効果を評価した。評価方法はシミュレータを用い、アプリケーションコードとしては、リバモアカーネループから、一般的なメモリアクセス特性を持つ9ループを採用した。テスト形式はスループットテストであり、全プロセッサで同じプログラムを同時実行させている。

4.1 シミュレーション

性能評価に用いたシミュレータは、ソフトウェアによりスーパーコンピュータの制御論理を模擬するタイプであり、適切なハードウェアパラメタを指定することでクロックレベルで正確にシミュレーションを行う。第8図にシミュレータの構成を示す。

シミュレータはハードウェア論理を特徴化したパラメタを元に、アセンブリ言語プログラムで記述されたアプリケーションコードを実行する。今回のパイプラインメモリ評価では、単体CPU・アーキテクチャとして、NECSX-2A[3,4]を採用し、これを前章で説明したマルチプロセッサ用パラレルメモリシステムに4台接続して評価した。メモリシステムのポート数は16、総バンク数は1024としている。各種論理による遅延時間はSXが開発された当時のテクノロジーを元に概算し、メモリチップはアクセス40nsec程度のものをベースとし、パイプライン化しない状態でのバンクサイクルタイムは66nsec、プロセッサから見たメモリアクセスタイムは132nsecを基本仕様とした。

パイプラインメモリを採用した場合、メモリバンク内の周辺回路も含めてパイプライン化することを想定している。従って、チップそのもののスループットは2倍であるが、メモリバンクとしてのスルー

ブットは3倍以上になると考えられる。

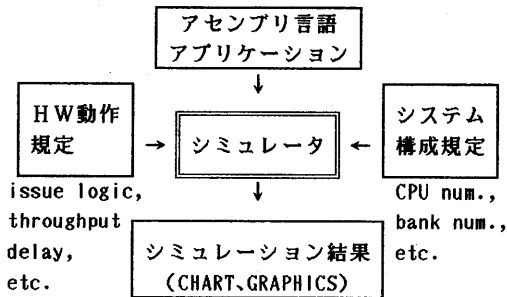
4.2 評価結果

表1(a)~(c)に評価結果を示す。パイプラインメモリを採用したメモリシステムを構築すると、メモリサイクルタイム短縮とともに、多少のアクセスタイムの伸びが発生する。メモリアクセスタイムを(a) 120 nsec、(b) 126 nsec、(c)、132 nsecとした3セットの実験を行い、アクセスタイム、サイクルタイム両面からの評価を行った。ここでメモリアクセスタイムはプロセッサ側ポートでのアドレス分配開始から読み出しデータのベクトルレジスタ到着までの時間、メモリサイクルタイムはバンクサイクルタイムと同義である。

まず、メモリサイクルタイム低減による効果について考える。表(a),(b),(c)いずれも同様の傾向を示し、平均2.4%の性能向上が達成されている。性能向上率をループ別に見ると、全く効果のないループ、80%も性能向上が観測されたループ等、アプリケーションによるバラツキが多い。注目されるのは、高い効果が得られているループはいずれも絶対性能がもともと低いループであり、従来スーパーコンが不得意としていたアプリケーションに対してパイプラインメモリが非常に有効であると言える。

効果が得られなかったループは、いずれも連続ベクトルアクセスのみで構成され、かつ、演算量と比較して相対的にメモリ負荷の軽いループであることが確認された。

次に、パイプラインメモリの悪い面とも言えるアクセスタイムの延びについて考える。表(a),(b),(c)の比較により、この悪影響が性能低下を殆ど招いていない((a)と(c)の比較で平均1%以下)ことがわかる。これはもともと、スーパーコンピュータに使用される大容量パラレルメモリシステムでは、プロセッサからみたアクセスタイムは既に充分遅く、パイプラインメモリを用いることによるアクセスタイムの延びの影響が、相対的に小さいためと考えられる。



第8図 シミュレータの構成

表1(a) 評価結果 MFLOPS (メモリアクセスタイム=120nsec)

ループ 番号	メモリサイクルタイム(nsec)					向上率
	66	54	42	30	18	
1	1930	1941	1947	1947	1947	1.01
2	1196	1286	1391	1514	1661	1.39
3	2020	2027	2027	2027	2027	1.00
4	945	978	1014	1052	1093	1.16
7	2377	2452	2452	2452	2452	1.03
8	378	416	457	508	528	1.40
9	873	993	1136	1327	1596	1.83
10	236	261	279	299	322	1.36
12	515	515	515	515	515	1.00
平均	1163	1208	1246	1293	1349	1.24

表1(b) 評価結果 MFLOPS (メモリアクセスタイム=126nsec)

ループ 番号	メモリサイクルタイム(nsec)					向上率
	66	54	42	30	18	
1	1922	1935	1941	1941	1941	1.01
2	1195	1285	1389	1512	1659	1.39
3	2017	2024	2024	2024	2024	1.00
4	941	974	1009	1047	1088	1.16
7	2358	2448	2448	2448	2448	1.04
8	377	415	456	506	527	1.40
9	872	991	1134	1324	1592	1.83
10	236	261	279	298	321	1.36
12	515	515	515	515	515	1.00
平均	1159	1205	1243	1290	1346	1.24

表1(c) 評価結果 MFLOPS (メモリアクセスタイム=132nsec)

ループ 番号	メモリサイクルタイム(nsec)					向上率
	66	54	42	30	18	
1	1919	1930	1935	1935	1935	1.01
2	1194	1284	1388	1510	1657	1.39
3	2014	2020	2020	2020	2020	1.00
4	937	970	1005	1042	1082	1.15
7	2353	2443	2443	2443	2443	1.04
8	376	413	454	504	525	1.40
9	871	989	1131	1321	1588	1.82
10	236	261	278	298	321	1.36
12	515	515	515	515	515	1.00
平均	1157	1203	1241	1288	1343	1.24

5. おわりに

本稿ではスーパーコンピュータのメモリシステムの現状分析を元に、パイプラインメモリを用いたパラレルメモリシステムのモデル構築/性能評価を行った。パイプラインメモリは、スーパーコンピュータが比較的不得意とするアプリケーションに対して効果を発揮する。平均24%、最大では80%以上のスループット向上が確認された。

パイプラインメモリはメモリサイクルタイムを短くする方策の一つである。その意味で今回の実験結果は、メモリシステムのサイクルタイムを短くすることが如何に重要であるかを示している。縦方向/横方向の順序性保証を効率よく満たすことは難しく、メモリサイクルタイムの短縮は、これらの順序制約の保証の負荷を低減すると考えられる。

今後の研究としては、ネットワーク構成法と順序制約保証コストの関係の検討を中心として行っていく予定である。また、最近、高性能なネットワーク用LSIが大学/産業界から発表されており、これらのLSIを用いると、システム全体としてどのようなものが構築可能なのかといったことも検討して行きたいと考えている。

参考文献

- [1] T. Cheung and J. E. Smith, "A Simulation Study of the CRAY X-MP Memory System," IEEE Tran. on Comp., Vol. C-35, No. 7, pp. 613-622, July 1986.
- [2] P. M. Kogge, "The Architecture of Pipelined Computer," McGraw-Hill Book Company.
- [3] T. Watanabe, "Architecture and performance of NEC supercomputer SX system," PARALLEL COMPUTING, Vol. 5, Nos. 1&2, pp. 247-255, July 1987, North Holland Amsterdam.
- [4] NEC Corporation, "NEC Supercomputer SX-1/SX-2 general description," Pub. No. GAZ01E-2, 1985.