

新しい可変構造型相互結合網の提案

末吉 敏則[†], 杷野 公平[‡], 有田 五次郎[†]

([†]九州工業大学情報工学部 [‡]九州工業大学工学部)

可変構造型並列アーキテクチャを実現する際の鍵となる相互結合網として、新しいタイプの可変構造型相互結合網について述べる。本稿で提案する可変構造型相互結合網は、フィールドプログラマブルゲートアレイ (FPGA) 自身のもつ可変性に着目して、構成要素として FPGA を採用したものである。各々の FPGA の内部回路を結線やスイッチ要素として機能するようにプログラムすることにより、静的網や動的網をいずれもシミュレーションではなくハードウェアレベルで直接に実現できる。つまり、マルチプロセッサ上で応用プログラムを実行する際のプロセス間通信パターンやメモリ参照パターンに最適な結合形態を適応的にプログラム設定できる。

A New Reconfigurable Interconnection Network

Toshinori SUEYOSHI[†], Kouhei HANO[‡] and Itsujiro ARITA[†]

[†]Department of Artificial Intelligence, Kyushu Institute of Technology
680-4 Kawazu, Iizuka 820, Japan
sueyoshi@ai.kyutech.ac.jp

[‡]Department of Computer Science, Kyushu Institute of Technology

This paper presents a new reconfigurable interconnection network which is a key factor in realizing reconfigurable parallel architectures. Our proposed reconfigurable interconnection network is composed of Field-Programmable Gate Arrays (FPGAs) which possess reconfigurability function. This reconfigurable interconnection network can directly realize both the static and dynamic networks by programming the internal circuits of each FPGA to function as electric wires or switching elements, without performing simulation to the desired connection topology. Consequently, the optimum connections for interprocess communications or memory reference patterns in executing application programs over the reconfigurable multiprocessor can be configured adaptively by programming.

1. はじめに

マルチプロセッサでは、自律的に動作する複数のプロセッサが互いに通信し合って、協調しながら並列に動作する。このため、マルチプロセッサを構成する各々のプロセッサは、プログラムの実行過程においてデータ交換（通信）と活動の制御（同期）とを行えるように何らかの形式で相互に結合されていなければならない。そこで、それぞれのプロセッサ同士の結合方式をどのようにするか、システムの性能を決定する上での大きな要因となってくる。すなわち、相互結合網をうまく設計しないとプロセッサ間の交信に時間がかかり過ぎ、それがマルチプロセッサにおける性能のボトルネックになりかねない。

マルチプロセッサのための相互結合網としては、ベースライン網などの多段結合網やクロスバ網のようにプロセッサ間距離が均一であるもの（等距離網）や、格子網やハイパーキューブのようにプロセッサ間距離が均一でないもの（近接網）がある。平均的なプロセッサ間距離では一般に、等距離網が近接網に優る。しかし、コンパイラやユーザによるスケジューリングによって、処理形態（交信パターン）がうまく近接網に写像できれば、近接網を用いる方が効率良い [1]。一般に、マルチプロセッサの結合形態は解くべき問題の処理形態と表裏一体の関係にあり、両者が適合している場合は所望の性能が得られるが、適合していない場合はめったに所望の性能を達成できない。しかしながら、現在のマルチプロセッサでは、固定的な結合形態しか許さない相互結合網から構成されているものが大部分である。これでは、システムの結合形態に合った応用分野にのみどうしてもシステムの適用が限定されがちとなり、新しい並列処理応用分野の開拓は期待できない。また、このようなマルチプロセッサの上では、プログラムを作成する際にもシステムの結合形態を常に意識しなければならないという弊害がある。

これらの問題を解決する方法としては、相互結合網の構造を応用にに応じて可変とすることが考えられる。可変構造型並列アーキテクチャについては、既にいくつかの研究が行われている [2]~[6]。最近では、クロスバ網をベースとした可変構造型相互結合網を用いて多様な結合形態をシミュレートするマルチプロセッサ

の研究も行われている [5],[6]。これに対し、本稿で提案する可変構造型相互結合網は、FPGA内の回路構成自体がプログラマブルであることを利用することによって、多様な結合形態をシミュレーションではなく直接にプログラム設定して所望の結合形態そのものを実現できるというユニークな可変性を特徴としている。したがって、シミュレーションに伴うオーバーヘッドや誤差を排除することができ、マルチプロセッサ研究のための優れたテストベッドになると期待できる。

本稿は、5章から成る。次の第2章では、可変構造型相互結合網を実現するための要件について概説する。第3章では、可変構造型相互結合網の構成要素や実現可能とするための開発方針について述べ、そのシステム構成を示す。第4章では、提案した可変構造型相互結合網において、多様な静的網および動的網がどのように実現できるかを例に基づき示す。最後に、まとめを第5章で述べる。

2. 可変構造型相互結合網を実現するための要件

本稿で提案する可変構造型相互結合網がサポートする多様な相互結合網を明確にするために相互結合網の分類について概説し、それぞれにおいて可変構造型相互結合網を実現するための要件について述べる。

2.1 相互結合網の分類

相互結合網は、入出力間の結合が要求に応じて動的に決まるか始めから固定されているかによって、静的網と動的網に分類できる [7]。

(1) 静的網

静的網はプロセッサ網あるいは直接結合網とも呼ばれ、網の各ノードにプロセッサが対応付けられる。つまり、ノードに位置するプロセッサ間を直接結合する静的に固定されたリンクが存在し、あるプロセッサから直接通信できるプロセッサは通常限定されている。このため、直接結合されていないプロセッサ間の交信は、その間に存在する幾つかの中継ノードを介して行うことになる。

代表的な静的網としては、リング網、木状網、格子網、ハイパーキューブ、完全網などがある。静的網は、完全結合網を規則的に簡略化して構成したものと見ることができ。

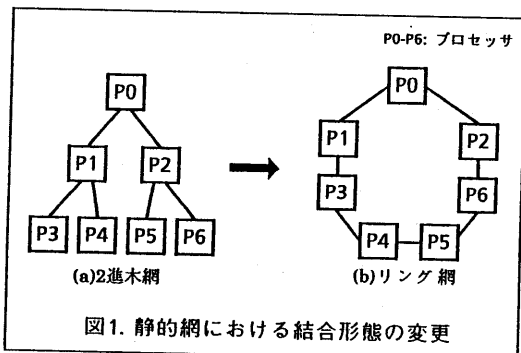
(2) 動的網

動的網は、スイッチ網あるいは間接結合網とも呼ばれ、入力側プロセッサと出力側プロセッサ（あるいは、メモリ）との間にスイッチ群とリンクから成るスイッチ網を設置し、各スイッチを適当に制御することによって入出力間を動的に結合するものである。

代表的な動的網としては、ベースライン網、間接2進nキューブ網、オメガ網などの多段結合網やクロスバ網などがある。動的網は、クロスバ網を規則的に簡略化し、機能縮小したものと見ることができる。

2.2 静的網における要件

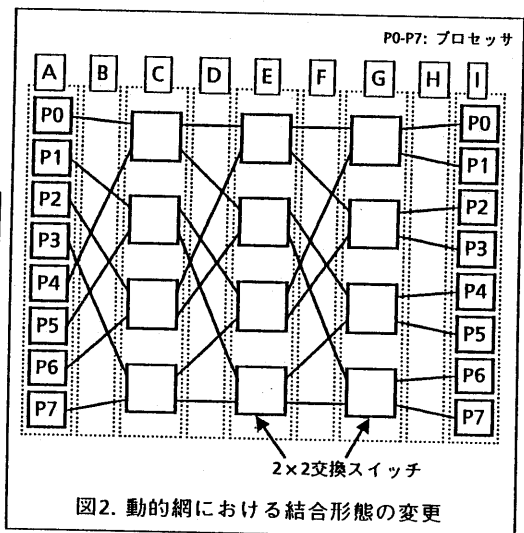
まず、静的網に対象を限定して、可変構造型相互結合網を実現する場合を考える。アプリケーションを処理する過程において、ある時点では2進木状の結合形態が最も処理形態に適合していたが、後に処理形態がリング状の結合形態に最適になると、当初の2進木網から結合形態をリング網に変更したいという要求に遭遇する。このように、2進木網からリング網へ結合形態を変更する場合の例を図1に示す。図1(a)の2進木網ではプロセッサ1とプロセッサ3、4との間に直接リンクが存在し、プロセッサ3とプロセッサ4との間にはリンクが存在しない。しかし、上記の変更を実現するにはプロセッサ3とプロセッサ4の間にもリンクを用意して、固定リンクの接続切り換えを行う必要がある。これから分かるように、様々な静的網をサポートする可変構造型相互結合網を実現するには、所望の静的網を実現するのに最低必要となるリンク数を実現するためのリンク・インタフェースを用意すると共に、それらの固定リンクを設定し直すためのスイッチ機構が必要となる。



2.3 動的網における要件

次に、動的網に対象を限定して、可変構造型相互結合網を実現する場合を考える。ここでは、動的網のうち、多段結合網を対象とする。多段結合網は図2に示すように、プロセッサのサービス要求インタフェース(A)とサービスインタフェース(I)の間に経路を決定する交換スイッチ(C, E, G)が多段に存在する。様々な多段結合網は、プロセッサ-交換スイッチ間の接続(B, H)、ならびに交換スイッチ-交換スイッチ間の接続(D, F)によって特徴付けられる。

動的網において可変構造性をもたせるには、静的網とは方法が異なる。図2に示す例はオメガ網なので、B, D, Fがシャフル置換となるように接続されている。たとえば、これをベースライン網に再構成するには、Dが逆シャフル置換、Fが逆サブシャフル、そしてBのシャフル置換がないように固定リンクを接続し直すことになる。つまり、様々な多段結合網をサポートする可変構造型相互結合網を実現するには、プロセッサと相互結合網のインタフェースは要求側とサービス側の2つだけなのでリンク数に変動はないが、プロセッサ-交換スイッチ間、ならびに交換スイッチ-交換スイッチ間に存在する固定リンクの接続を設定し直すスイッチ機構が必要となる。



3. 可変構造型相互結合網の構成

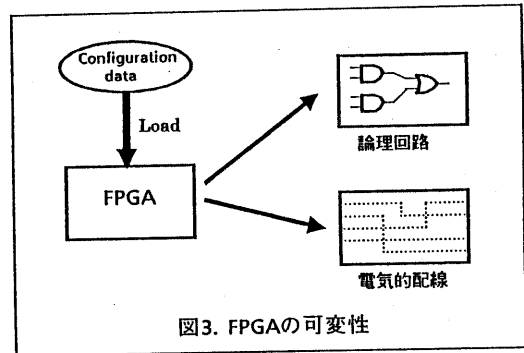
ここでは、まず静的網と動的網の両方をサポートする可変構造型相互結合網を構築するための構成要素について説明した後、ハードウェア量を削減して実現可能とするための戦略を述べ、可変構造型相互結合網の構成を示す。

3. 1 可変構造型相互結合網の構成要素

可変構造型相互結合網の結合形態切替え機構は、基本的にはスイッチ機構である。たとえば、様々な静的網をサポートするには、プロセッサ間の接続を固定リンクとして設定できるスイッチ機構を設ける必要がある。一方、様々な動的網をサポートするには、通信要求に応じて適応的に接続を切り換える交換スイッチと、プロセッサ交換スイッチおよび交換スイッチ交換スイッチ間の接続を固定リンクとして設定できるスイッチ機構が必要となる。このため、静的網と動的網の両方を直接にサポートするにはハードウェア量が膨大で、かつ構成も非常に複雑となり、実現が難しい。

しかし、固定リンクと交換スイッチの両方の機能を果たす構成要素、つまりある時点では配線であり、別の時点では交換スイッチとして機能するような可変性のあるデバイスが利用できれば、このような可変構造型相互結合網の実現も可能と考えられる。そこで、我々はプログラマブル・デバイス的一种であるFPGA(Field Programmable Gate Array)自身のもつ可変性に着目し、可変構造型相互結合網の構成要素としてFPGAを利用することにした。FPGAとは内部回路を配線や論理回路として機能するようにユーザが自由にプログラム設定できるゲートアレイの総称であり、代表的なFPGAとしてはザイリンクス社のLCA(Logic Cell Array)がある[8]。LCAは現時点において2,000~9,000ゲート相当のものが利用でき、まもなく20,000ゲート相当まで集積度を高めたものも出荷される予定である。

どのようにFPGAの内部回路の機能を定義するかは、図3に示すように、電源の立ち上がり時あるいは再プログラムする際にロードされるコンフィグレーション・データ(configuration data)によって決まる。したがって、このFPGAの可変性を利用すれば、ある時点ではプロセッサ間を直接接続する配線(固定リ



nk)であった回路を、コンフィグレーション・データの再ロードによって交換スイッチとして機能するように定義直すことが可能となる。

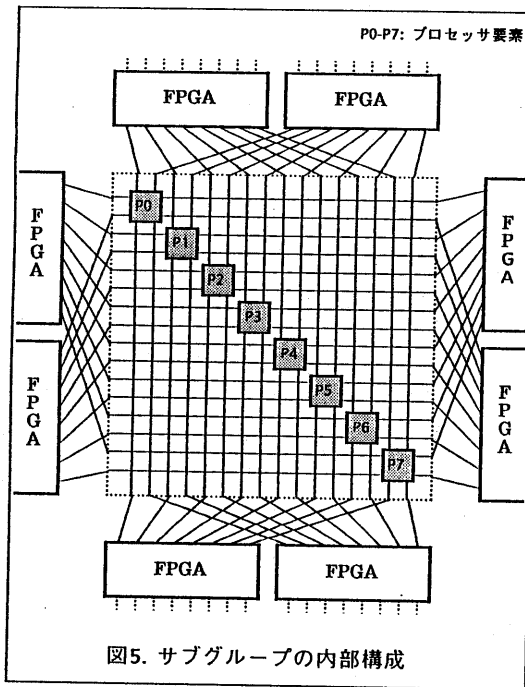
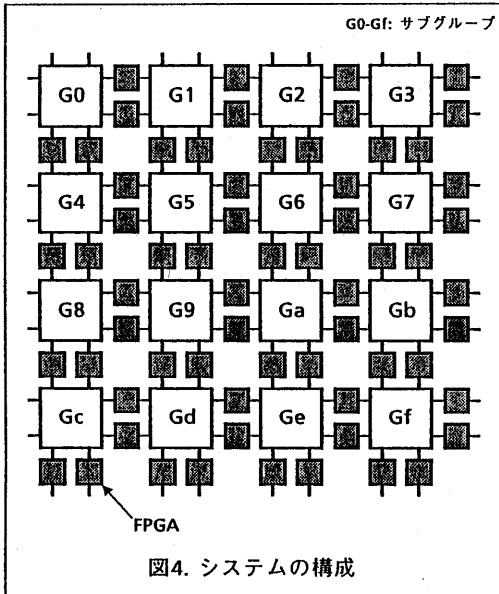
3. 2 開発戦略

可変構造型相互結合網は多様な結合形態すべてを実現できることが理想ではあるが、ハードウェア量を考えるとその実現が難しい。つまり、静的網のスーパーセットは完全結合網であり、動的網のスーパーセットはクロスバ網であるから、静的網と動的網のすべてをサポートするにはあまりにハードウェア量が膨大となってしまう。したがって、可変構造型相互結合網がサポートする結合形態の種類に制約を課して、ハードウェア量を許容できるところまで削減する必要がある。

そこで、静的網と動的網の両方を実現できるようにするために、最大のリンク数(次数)を有する完全結合網を起点として、そこからリンクを順次減らして可変構造型相互結合網を開発する戦略を採った。リンク数を削減する方法としては、直接接続されるプロセッサ要素の集合を一つのグループと見なし、完全結合網のグループを2分割、4分割と順次分割してサブグループ化することによって、隣接しないサブグループ間のリンク数を削減することにした。

3. 3 システム構成

可変構造型相互結合網を用いて構築するシステムのプロセッサ要素数は、128個を想定した。また、プロセッサ要素と相互結合網のインタフェースはハードウェア量を考慮して最大8リンクとした。



上記の条件を満たす可変構造型相互結合網のシステム構成を図4に示す。16個のサブグループ(1サブグループ当り8個のプロセッサ要素)を4×4のトラス状に配置したもので、サブグループ間にFPGAが存在する。また、サブグループの内部構成は図5のようになっており、各プロセッサ要素がもつ8本のリ

ンクは隣接する4つのサブグループとFPGAを介して2本づつ接続され、隣接するサブグループとはそれぞれ最大16本のリンクが設定できる。また、サブグループ間のFPGAには、自サブグループ内に属するプロセッサ要素同士を結合するリンクを設定することもできる。このシステム構成ではサブグループ当りのプロセッサ要素数が8個で、かつプロセッサ要素の最大リンク数が8本なので、たとえサブグループ内で完全結合網を形成しても、まだ1プロセッサ当り1リンクを他サブグループとの接続に利用することができる。

なお、サブグループ間以外にも、プロセッサ要素と相互結合網のインタフェースを実現するためにプロセッサ毎にFPGAを配置した。これは、静的網では主として多数のリンクが必要となるため主としてインタフェース・ユニットとして使用するが、動的網ではリンク数が2本に限定されるので余りを結線に利用できるように意図したものである。

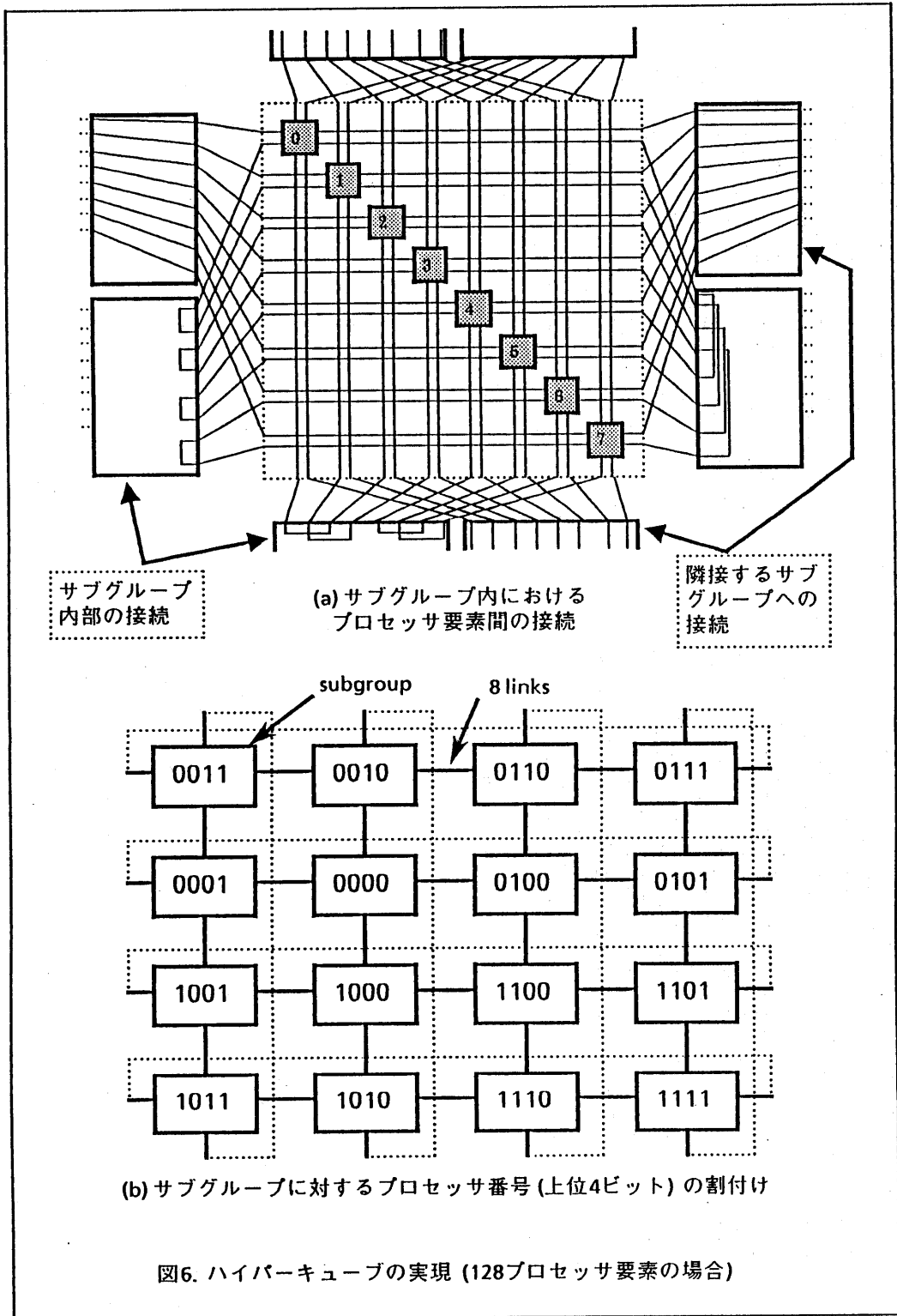
4. 相互結合網の実現法

ここでは、静的網と動的網のそれぞれの場合について多様な結合形態をどのように実現するか説明する。

4.1 静的網の実現法

静的網では、プロセッサ間の接続が静的に固定されている。したがって、静的網を実現する場合には、可変構造型相互結合網を構成するFPGA群に対して所望の静的網の接続をどのようにマッピングするかという問題になる。ただし、静的網では一般にプロセッサ間の最大リンク数(次数)が2以上であるため、プロセッサ毎に用意されているFPGAは最大8本のリンクを実現するためのインタフェースユニット専用とし、接続をマッピングする対象とはしない。すなわち、サブグループ間に位置するFPGA群によってのみ、サブグループ内およびサブグループ間のすべての接続を実現する。

現在までに、リング網、木状網、格子網、ハイパーキューブなどを実現できることを確認している。静的網の例として、128個のプロセッサ数からなるハイパーキューブ(次数=7)の実現を図6に示す。ハイパーキューブは、 2^n (n :次数)個のプロセッサそれぞれに n ビットのプロセッサ番号を与え、ハミング



距離が1のプロセッサ同士を直接結合するものである。そこで、ハイパーキューブを我々の可変構造型相互結合網上で実現するには、サブグループ内のプロセッサ要素を図6(a)のように接続し、サブグループ内部で7リンクの接続のうち3リンク分をまず接続する。一方、サブグループ間の接続は4×4のトラス状から変更することはできないが、各サブグループに対して同図(b)のようにプロセッサ番号の上位4ビットを割り付けることによって残り4リンク分の接続を完了すると、ハイパーキューブを実現できる。

4. 2 動的網の実現法

この可変構造型相互結合網は、動的網として最もよく使用される多段結合網を実現することができる。多段結合網はN個の入力とN個の出力の間に複数段の交換スイッチ群とリンクからなるスイッチ網を設置した等距離網であり、各交換スイッチを適当に制御することによって所望のプロセッサ-プロセッサ(プロセッサ-メモリ)間を動的に結合する。多段結合網は分散制御のルーティングならびにアービトレーションが可能であるため、比較的大規模なマルチプロセッサにも使用される。

動的網を実現する場合、静的網の場合とは異なり、プロセッサ当りの最大リンク数は高々1である。したがって、各々のプロセッサ要素に必要なリンク数を考えると、接続を確立してサービス要求するための入力側リンクと要求に応じてサービスを行う出力側リンクの2本だけが必要である。そこで、各プロセッサ要素はインタフェースユニット用のFPGAによって8本のリンクを備えているけれども、動的網を実現する場合にはこのうち2本のリンクしか必要ないので、残りの6本のリンクは結線のために利用可能となる。よって、交換スイッチはサブグループ間のFPGA群へマッピングし、プロセッサ-交換スイッチ間の接続をサブグループ内に8個あるインタフェースユニット用のFPGAへマッピングすることにより、等距離網としての多段結合網を実現する。

動的網の例として、紙面の都合からプロセッサ数を16個とした場合のベースライン網の実現を図7に示す。図7(a)に示すベースライン網は、同図(b)のように結線することによって実現できる。図中の00～

13の番号の付いた箱はサブグループ間のFPGAに構成された4×4の交換スイッチを表している。なお、プロセッサ数に関しては、8個、16個、32個、64個のそれぞれについて実現を確認済みである。また、ベースライン以外の多段結合網に関しては、間接2進n-キューブやオメガ網を実現することができる。

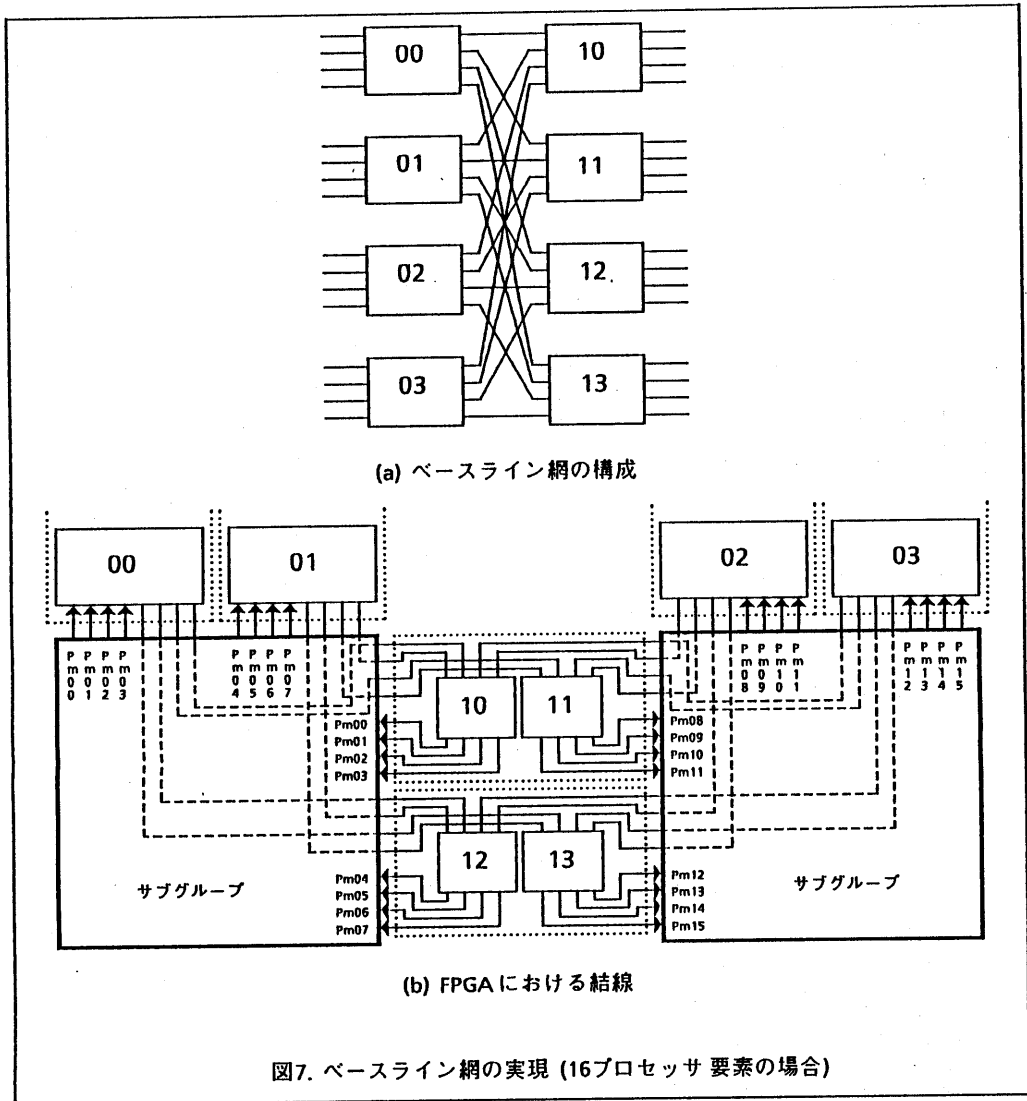
5. おわりに

従来のマルチプロセッサの多くは、並列処理効率が実装された結合形態に強く依存するため、適応分野が限定されがちであった。また、可変構造型並列アーキテクチャを意図して研究あるいは開発されたマルチプロセッサも、直接に設定できるのは静的網あるいは動的網のいずれかである。これに対し、本稿で提案した可変構造型相互結合網は、FPGA内の回路構成自体がプログラマブルであることを利用することによって、所望の結合形態そのものを直接実現できるという従来にはない可変性を特徴としている。

また、この可変構造型相互結合網はFPGAを中心に構成されているため、FPGAの集積度が向上するのに伴って、動的負荷分散機構を相互結合網内に組み込んで各プロセッサへの負荷割当てを実行時に適応的に行うことや、フェッチアンドアド命令を実現する際の結合(combining)操作を行うロジック機構を組み込むことも可能となり、さらに魅力が増す。

参考文献

- [1] 富田真治, 末吉敏則 : “並列処理マシン”, オーム社 (1989).
- [2] Siegel, H. J., McMillen, R. J. and Mueller, P. T. : “A Survey of Interconnection Methods for Reconfigurable Parallel Processing Systems,” Proc. NCC, Vol. 48, pp. 529-542 (1979).
- [3] Jenevein, R. M. and Browne, J. C. : “A Control Processor for a Reconfigurable Array Computer,” Proc. 9th Annual Symposium Computer Architecture, pp. 81-89 (1982).



[4] Yalamanchili, S. and Aggarwal, J.K. : "Reconfiguration Strategies for Parallel Architectures," IEEE Computer, Vol. 18, No. 12, pp. 44-61 (1985).

[5] Murakami, K., Mori, S., Fukuda, A., Sueyoshi, T. and Tomita, S. : "Kyushu University Reconfigurable Parallel Processor - Design Philosophy and Architecture -," Proc. 11th World Computer Congress, pp. 995-1000 (1989).

[6] Mukarami, K., Mori, S., Fukuda, A., Sueyoshi, T. and Tomita, S. : "Kyushu University Reconfigurable Parallel Processor - Design of Memory and Intercommunication Architectures -," Proc. ACM SIGARCH Int. Conf. on Supercomputing, pp. 351-360 (1989).

[7] Peng, T. : "A Survey of Interconnection Networks," IEEE Computer, Vol. 14, No. 12, pp. 12-27 (Dec. 1981).

[8] Xilinx, Inc. : "Programmable Gate Arrays Databook," (1988).