

多数決による耐故障性木構造プロセッサ

森 秀樹 神原順一

東洋大学工学部情報工学科

木構造のような複雑なパイプラインにおいて、処理に影響を与えるような構造の複雑化を伴わずに耐故障性を実現するアーキテクチャを提案する。パイプラインの流れのなかで、3重多数決により故障をマスクして耐故障性を実現する方式を述べる。2重誤りにより、多数決が成立しない場合でも近傍セルに対し、多数決の一致度で信頼性の評価を与え、それにより中間結果の選択を行う方式を提案する。木構造プロセッサの例として、アナリシス型フィルタのアーキテクチャを構成する。他方式との比較を示し、空間冗長度やダイナミックな故障回避能力ですぐれていることを示す。

A FAULT TOLERANT TREE PROCESSOR USING VOTING

Hideki Mori Junichi Kambara

Department of Information and Computer Sciences
Toyo University, Kawagoe 350, Japan

We propose a fault tolerant architecture for complicated pipeline processing without having hardware complexities which is harmful to the pipeline features. Our proposed fault masking approach is based on triple votings to inputs and triple simultaneous operations along a pipeline. Reliability information is produced to every adjacent cells from the result of their previous votings. This information is used if voting fails because of double errors and so on. We describe a fault tolerant analysis filter as its example. Finally we show comparisons with other conventional approaches.

1. 初めに

ニューロコンピュータなどの高度並列型のコンピュータアーキテクチャではWSI技術を基礎としたウェハ規模の集積回路が前提条件である。

このようなWSI集積回路では、高集積度のため製造時の歩留まりの悪さはもとより、動作時に生じるダイナミックな一時的な故障も大きな障害になる。一般に、高集積度型のメモリ等では、故障部分を迂回するための予備のハードウェアとして、予備セルをあらかじめ用意しておき、その配線を変更することにより故障部分を回避する方法が利用される[4]。しかし、予備セルの数やその位置関係が故障回避のための配線変更の自由度に大きな影響をおよぼし、設計上の大きな制限となる。またこの方法では、ダイナミックな故障回避に対しては困難である。

本論文においては、セルの信頼度情報を考慮して多数決を行うことより、線形アレイはもとより木構造において効果的に故障回避を行う方式を提案する。

2. 多数決による故障回避

故障回避においては[2, 5]

- (1) 故障部分の検出
- (2) 故障部分の隔離
- (3) 故障部分の代行

①時間冗長型 (Time Redundancy)

正常なセルが、本来の処理に加え故障の代行処理を処理時間を延ばして行う。

②空間冗長型 (Space Redundancy)

スペアセルを予め用意しておき、故障部分の処理をそのまま引き継ぐ。

この方法では、構造上の変更を引き起こすため、ダイナミックな一時的な故障の回避は困難である。一方、多数決方式はこのような目的に対し、構造上の変更を必要としないという面で最も適当であり、従来からTMR (Triple Modular Redundancy) [3]のような多数決方式がある。

我々はパイプラインに沿って、絶えず多数決をとりながらシストリック状に演算を行う方式を考案した。また、多数決による一致に基づき信頼度を定義することにより多数決が成立しない場合でも正しいと思われるデータを選択することができるアーキテクチャを提案する。

3. 信頼度情報による3重演算冗長方式 (TOR)

木構造のような複雑なパイプラインにおいて、処理に影響を与えるような構造の複雑化を伴わずに耐故障

性を実現するため、信頼度情報を用いた3重演算冗長方式 (Triple Operational Redundancy) を提案し、述べる。

各セルの演算において必要な入力は、その前段処理のセルグループからの各結果に対し、それらを多数決することにより選択する。しかし、ここで、多数決が成立しない場合には、入力セル、それぞれに対しする信頼度にもとづいて入力を選択する方式を提案する。多数決では、常に前段グループの3つの出力を多数決回路への入力として用いるが、ここで、多数決成立時にその多数決結果に寄与した入力セルに関し、それら各セルに信頼度を付与する、逆に多数決で少数派である入力に関するセルに対しては信頼度を取り去る。これにより2重誤り (Double Error) に対処できる。図1に信頼度を付与した多数決に関する回路構成を示す。原則として、左側の多数決回路 (V) で採決を行い多数決結果とするが、多数決での採決不成立の場合、右側の回路を使用し前回の多数決成立時に成立に寄与したセルを高信頼セル (複数) と指定し、その高信頼セルからの入力データを選択通過させ、これを多数決結果とする。具体的には、直前回における多数決時に一致回路 (=) で多数側に関与したセルを検知し、セル位置に対応するセル信頼性フリップフロップ (RF) をセットしておき、この値を使って高信頼度選択部で信頼セルからのデータを選択、通過させる。セル・セレクタ (CS) は、自セルを含む近傍の5個のセルの各出力から多数決に必要な前段グループのセル3個を選択する。

4. 基本セル構造

以下でパイプラインの流れの中で多数決により故障をマスクして計算を行う耐故障型セルを述べる。本論文で対象とする基本演算処理は、線形パイプラインと分岐ノードからなる木構造演算である。FFT、DFT [7] などのパイプライン演算 [1] はもとより、アナリシス、シンセシス・フィルタなどの木構造型演算に有効である。図2は基本セルの構造を示す。多数決を使用することにより、故障セルからの間違ったデータをマスクすることを基本構造にしている。セルは多数決が成立するように、常に3個のセルを一組とし、並列三重化動作を行う。

入力部に、ラッチを通し信頼度を付加した多数決を実行する信頼性多数決回路RV (Reliability Voter) を置く。ここで、入力データを受け取り、多数決を行うことにより、入力においてセル故障や経路パスによる異常をマスクする。そして、操作演算部 (OU) で

パイプライン演算を行いラッチを通して出力する。

5. 耐故障性木構造プロセッサ

耐故障性木構造を成すプロセッサは、耐故障性線形パイプライン構造と耐故障性分岐用のノードから構成され、パイプラインや特に木演算に適する。図3に耐故障性木構造プロセッサの構成を示す。

以下でプロセッサ構成に関し、線形パイプライン部と分岐接続のための分岐ノード部のアーキテクチャを述べる。

(1) 線形パイプライン部

プロセッサを線形パイプライン状に結合した部分である。連続した3個のセルを一組とし、並列三重化処理が行われる。多数決により入力側セル3個のうち2個のセルが正常なら故障はマスクされ、正しく入力を選択され、全体として正常動作が得られる。2個故障して1個が正常の場合、それが高信頼度を得ていれば信頼度選択により、正常セルからの入力を選択し、この場合も正常動作が得られる。このようにして、多数決により故障をマスクしながら連続して演算される。図4に線形パイプライン部を示す。

(2) 分岐ノード部

プロセッサを木構造に結合する分岐ノード接続部を図5に示す。縦に3個セルが並んでいる部分が分岐ノード部である。上、中、下の3セル、 $cell_{11} \circ (0)$ 、 $cell_{10} \circ (N)$ 、 $cell_{11} \circ (0)$ は前段の幹部パイプラインの終段処理を行い、かつまた、上、下の2セル、 $cell_{11} \circ (0)$ 、 $cell_{11} \circ (0)$ はそれぞれ後段の枝部パイプラインの初段の処理を次のタイミングで行う。分岐ノード付近の幹部から枝部への演算グループの推移は以下ようになる。

幹部

$$\begin{array}{c} \vdots \\ cell_{10} \circ (N-3), cell_{10} \circ (N-2), cell_{10} \circ (N-1) \\ \downarrow \\ cell_{10} \circ (N-2), cell_{10} \circ (N-1), cell_{10} \circ (N) \\ \downarrow \\ cell_{11} \circ (0), cell_{10} \circ (N), cell_{11} \circ (0) \\ \downarrow \end{array}$$

枝部

$$\left[\begin{array}{ccc} cell_{11} \circ (0), & cell_{11} \circ (1), & cell_{11} \circ (2) \\ cell_{11} \circ (0), & cell_{11} \circ (1), & cell_{11} \circ (2) \end{array} \right. \vdots$$

図5に分岐ノード部を示す。

耐故障性木構造の例として、アナリシス・フィルタ [6] の例を示す。FIRフィルタの一般的なアルゴリズムを図6に示す。これを実現するセルの操作演算部 (OU) は、乗算部、加算部、係数メモリ部、遅延用キュー部からなり、図7に示す。時間に対する演算グループの推移を図8に示す。シンセシス・フィルタも同様に実現でき、アナリシス・フィルタと合わせてパケットビデオで重要なサブバンド・コーディングなどが容易に達成できる。

6. 比較

故障回避には大別して、故障マスク型と故障隔離型がある [3]。提案した3重演算冗長方式 (TOR, Triple Operational Redundancy) は、故障マスク方式に属するため、動作中のダイナミックな故障回避が可能である。またTMRのような何倍もの空間冗長ハードウェアを必要とせず空間的冗長度は極めて少ない。本方式は、信頼度付加の多数決を利用した時間的冗長を特徴としているので、多数決が成立しなくても信頼度に基づく選択により2重誤りに対処できる。従って、任意の連続した3セル区間において信頼された正常なセルが1個存在しさえすれば、故障回避がなされる。

表1にTORと他方式の比較を示す。

7. おわりに

WSI並列プロセッサの実現は、これからのニューロコンピュータなどの新情報処理システムの実現に必要な不可欠なものであるが、これには強力な耐故障性アーキテクチャが必須である。

本論文において、多数決処理を各セルでそれぞれ多重化することにより、多数決回路自体の故障を演算の場合と同様にマスクし、また、2重誤りに対処するため、信頼度を付加して多数決を行う方式、TOR、を提案した。TORにより線形配列プロセッサ (パイプライン) だけでなく、線形を拡張し、木構造配置のプロセッサで耐故障化ができることを述べた。木構造の場合、特にノード部の故障が問題点となるが、ここで提案した方式はそれに対して有効であることを示した。

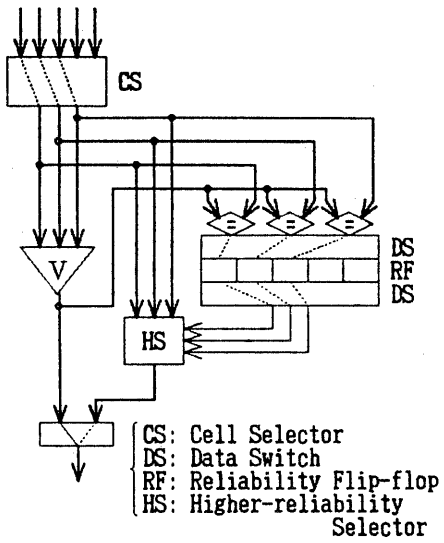


Figure 1. Reliability Voter(RV)

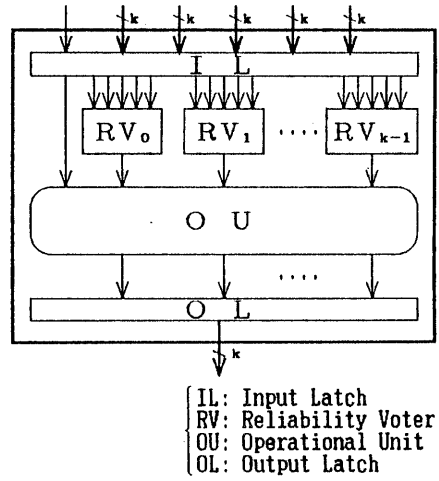


Figure 2. Cell

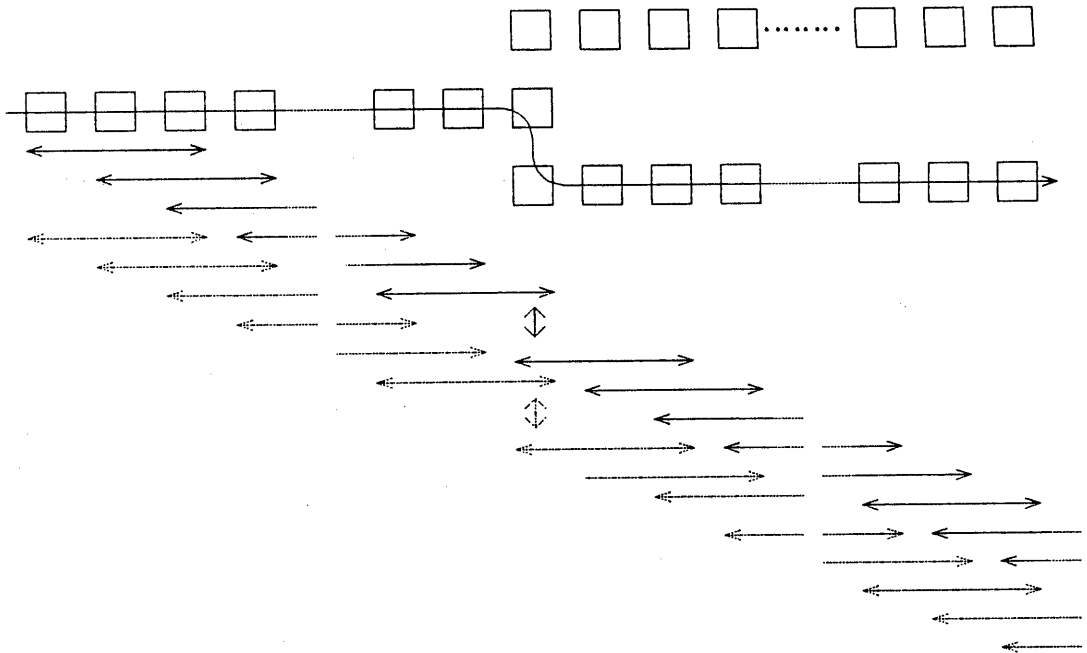


Figure 3. Fault Tolerant Processing Tree

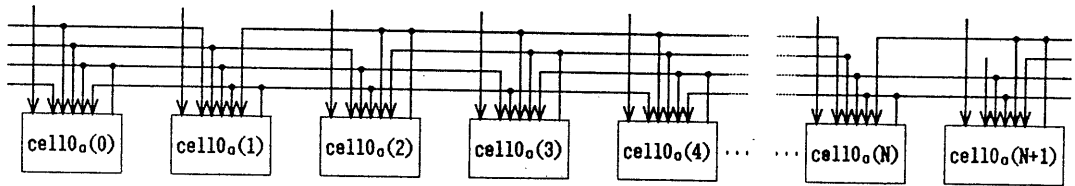


Figure 4. Linear Pipeline

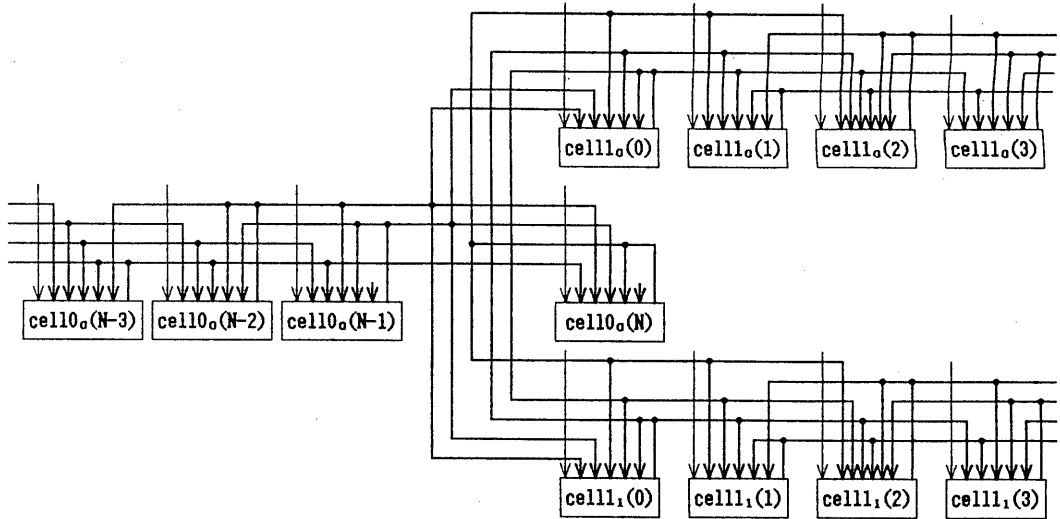
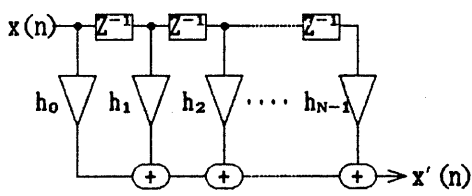


Figure 5. Branch node

$$X = \{x_0, x_1, x_2, x_3, \dots\}$$



$$x'(n) = \sum_{k=0}^{N-1} h(k) \cdot x(n-k)$$

$$\begin{aligned} x'_0 &= x_0 h_0 \\ x'_1 &= x_1 h_0 + x_0 h_1 \\ x'_2 &= x_2 h_0 + x_1 h_1 + x_0 h_2 \\ x'_3 &= x_3 h_0 + x_2 h_1 + x_1 h_2 + x_0 h_3 \\ x'_4 &= x_4 h_0 + x_3 h_1 + x_2 h_2 + x_1 h_3 + x_0 h_4 \\ x'_5 &= x_5 h_0 + x_4 h_1 + x_3 h_2 + x_2 h_3 + x_1 h_4 + x_0 h_5 \\ x'_6 &= x_6 h_0 + x_5 h_1 + x_4 h_2 + x_3 h_3 + x_2 h_4 + x_1 h_5 + x_0 h_6 \\ &\vdots \\ x'_j &= x_j h_0 + x_{j-1} h_1 + x_{j-2} h_2 + \dots + x_1 h_{j-1} + x_0 h_j \end{aligned}$$

Figure 6. FIR Filter Algorithm

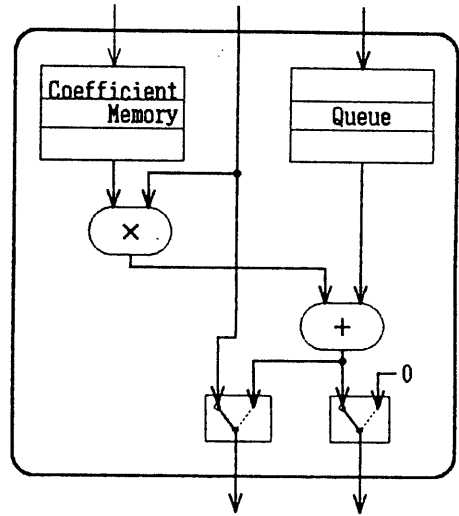


Figure 7. Operational Unit(OU) of FIR Filter

参考文献

- 1) H.Mori, Junichi Kambara, "MULTIPLE VOTING SYSTOLIC ARRAY," IEEE Proc. 1991 Int. Con. on Wafer Scale Integration, pp.26-32, Jan. 1991.
- 2) M.Chean, J.Fortes, "A Taxonomy of Reconfiguration Techniques for Fault-Tolerant Processor Arrays," Computer, Vol.23, No1, pp.55-69, Jan. 1990.
- 3) R.Negrini, M.G.Sami, R.Stefanelli, "Fault Tolerance in VLSI and WSI Arrays," MIT Press, 1989.

- 4) C.Jesshope, L.Bentley, "Techniques for implementing two-dimensional wafer-scale processor arrays," IEE Proc., Vol.134, Pt.E, pp.87-92, Mar. 1987.
- 5) H.Mori, H.Ouchi, S.Mori, "A WSI Oriented Two Dimensional Systolic Array for FFT," IEEE Proc. ICASSP 86, pp.2155-2158, Apr. 1986.
- 6) M.Vetterli, "MULTI-DIMENSIONAL SUB-BAND CODING: SOME THEORY AND ALGORITHMS," Signal Processing 6, pp97-112. 1984.
- 7) H.T.Kung, "Special purpose devices for signal and image processing: an opportunity in VLSI," CMU-CS-132, July 1980.

Table 1. Fault Tolerant(FT) Features for trees

FT Approach		Area	Restructure	Min.No.of alive cells for recoverly	Dynamic FT
Fault Masking	TOR	Good C+B+L	Not Required	Good 1/2* of C+B+L	Good
	TMR	Poor C+3	Not Required	Poor C	Good
Fault Isolation	TR	Good C	Rewiring Difficult for branches	Good C/X	Poor
	SR	Poor C*X	Rewiring	Poor C	Poor

C: Number of cells of a basic tree(without spare cells)

B: Number of branches including a trunk

L: Number of leaves

X: Number of multiplexing

TOR:Triple Operational Redundancy(Our proposed approach)

TMR:Triple Modular Redundancy

TR: Time Redundancy

SR: Space Redundancy

* 1/3-2/3. Depending on fault patterns, the average is about 1/2.