

5 4 ビット規則化ワラストリー乗算器

佐藤富夫 中島雅夫* 助村隆郎* 後藤源助
富士通研究所
*富士通

本論文では、ワラストリー乗算回路の規則化に関する新方式について述べる。この規則方式により、乗算器は従来のワラストリー乗算器のもつ高速性を保持したまま、容易にレイアウト設計することが可能となった。我々はこの方式を54ビットの乗算器に適用し、 $0.8\mu\text{m}$ 、3層メタルのCMOSプロセスを用いてテストチップの作成と評価を行った。規則化された構造のため回路は高密度化され、サイズ $3.36 \times 3.85 \text{ mm}$ 、トランジスタ密度 $6400\text{Tr}/\text{mm}^2$ を実現した。演算速度は 13 ns を達成し、既に報告されている同一のプロセスを用いた32ビットの乗算器よりも高速に動作することを確認した。

A Regularly Structured 54-bit Modified-Wallace-Tree Multiplier

T. Sato, M. Nakajima*, T. Sukemura*, G. Goto

Fujitsu Laboratories Ltd., 10-1 Morinosato-Wakamiya, Atsugi 243-01, JAPAN

*Fujitsu Limited, 1015 Kamikodanaka Nakahara-ku, Kawasaki 211, JAPAN

This paper describes a regularized structure of a Wallace tree multiplier. Because of the regular structure, the tree multiplier can be designed more easily than a conventional one while retaining the high speed capability of the Wallace tree multiplier. We applied this method to a 54-by-54-bit multiplier. The total pattern area was $3.36 \times 3.85 \text{ mm}$, achieving a high density of $6,400 \text{ transistors}/\text{mm}^2$ implemented with $0.8\text{-}\mu\text{m}$ triple-metal-layer CMOS technology. The multiplication time of the device is 13 ns , and is faster than a previously reported 32-bit multiplier.

1. はじめに

マイクロプロセッサや各種演算プロセッサは32ビット系が多く使われるようになって演算精度の要求も厳しくなり、64ビット精度（浮動小数点倍精度）の演算回路に対する需要が増大している。従来の汎用マイクロプロセッサにおいては、整数演算用乗算回路や浮動小数点演算回路などのハードウェア量の多い回路は、外付けのコプロセッサ等として設計されていた。しかし第二世代以降の32ビットプロセッサでは、LSIの集積規模の増大に伴ってそれらの回路を内蔵して、高速化とシステムの小型化を図る方向に転じつつある。また今後主流になると予想されているマイクロプロセッサはVLIW或はスーパースカラなどの方式を取り、演算回路を複数個内蔵する方向に向かっている。

このよな情勢にあつて、演算回路のなかで量的に大きな比重を占める乗算回路の設計では、その質の確保と設計工数の短縮化が大きな要求となっている。乗算回路を効率的かつ高性能に作り上げる方式は既にいくつか提案され試行されているが、いまだに決定打がないのが現状である。本報告書ではこの問題に対する有効な解決策を64ビットの浮動小数点乗算の仮数部計算に用いられる54ビットの乗算器を例にあげて説明し、またその有用性を実証するために作成したテストチップについて報告する。

2. 規則化乗算器の構造

54ビット乗算器では、ブースのアルゴリズム[1]を用いることにより、27個の部分積と符号不拡張処理[2]のための項1個、合計28の項を加算する必要がある。この処理を、従来からあるワラストリー乗算器[3]で行った時の例を図1に示す。これはツリーにフルアダー(3W)のみを使用したものである。この配線構造には規則性がなく、適当な回路ユニットを単位として全体を構成することが出来ない。このため従来から知られているように、この構造では設計工数が掛かり、特にビット巾の広い乗算器を設計する時には、大きな問題となっていた。

今回我々が提案するツリー構造を図2に示す。ここでは3入力加算器である3Wと4入力加算器(4W)を組み合わせて使っている。このツリーは次のようにして構成されている。まず加算すべき項数を2分割し、それをさらに2分割し、というプロセスを経て、最終的に加算すべき項数が3～5となるようにし、これを最小ユニットとする。2分割できないときには、最近接する整数に分割するものとする。次に分割を遡って、各階層を3W（1ビット全加算器）と4W（4入力加算器）を用いて構成していく。図

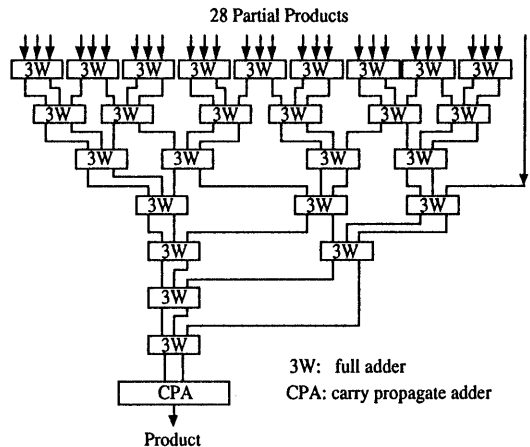


図1. ワラストリー乗算器（従来型）

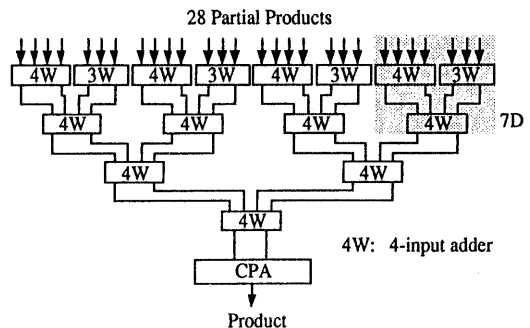


図2. 規則化ワラストリー乗算器

2の例では、3と4の項が最小ユニットとなり、それぞれを3Wと4Wで加算し、さらに各ユニットの加算を4Wで行っている。この構造は規則性が高く、繰り返しの単位（例えば図2の7D）を見つけ易い。

4Wを用いた乗算器の例はいくつか報告されているが[4,5]、部分積の数が 2^n の時にのみ最適かつ規則的となる構成であり、一般によく使われる16、24、32、54、64ビットの乗算器にブースのアルゴリズムを適用したケースでは、ダミー回路の増加など不利な点がある。今回提案したツリーの分割方式は、任意のビット巾に対して適用可能であり、規則的に回路を構成することが可能である。

次に4ビット分の7Dユニット回路（7D₄）を図3に示す。これは論理の単位になると共に、レイアウト設計をする上でも単位となるものである。パッキングにより回路を構成する時に重要となるのは、ユニットのレイアウト設計において端子を何処に置くかということである。図3では、被乗数（ a_i ）、ブースアコードの出力信号（ B_j ）、4Wの中間キャリア（ $d_{i,j}$ ）、中間サム（ $s_{i,j}$ ）キャリア（ $c_{i,j}$ ）全ての

端子がパッキングにより接続できるように考慮されており、横方向のユニット間の配線は必要ない。

この例では、ブースセクタ（P）と対応する加算器が縦一列に近接して配置されているが、この配置はツリー全体のネットの混雑度緩和及びクリティカルパスの高速化に効果がある。もしこれらを別々に配置した場合には、Pと3W或は4Wの間のネット数が膨大になり、回路の高速性が減殺されることになる。

従来の乗算器の設計においては、全ツリー部を通じて被乗数信号（ a_i ）を上位桁方向（左下）にシフトして桁合わせしていた。このユニットでは、中間サムとキャリアの両方の信号を、左右両方向にシフトさせて桁合わせし、被乗数信号のシフトは同一最小ユニット

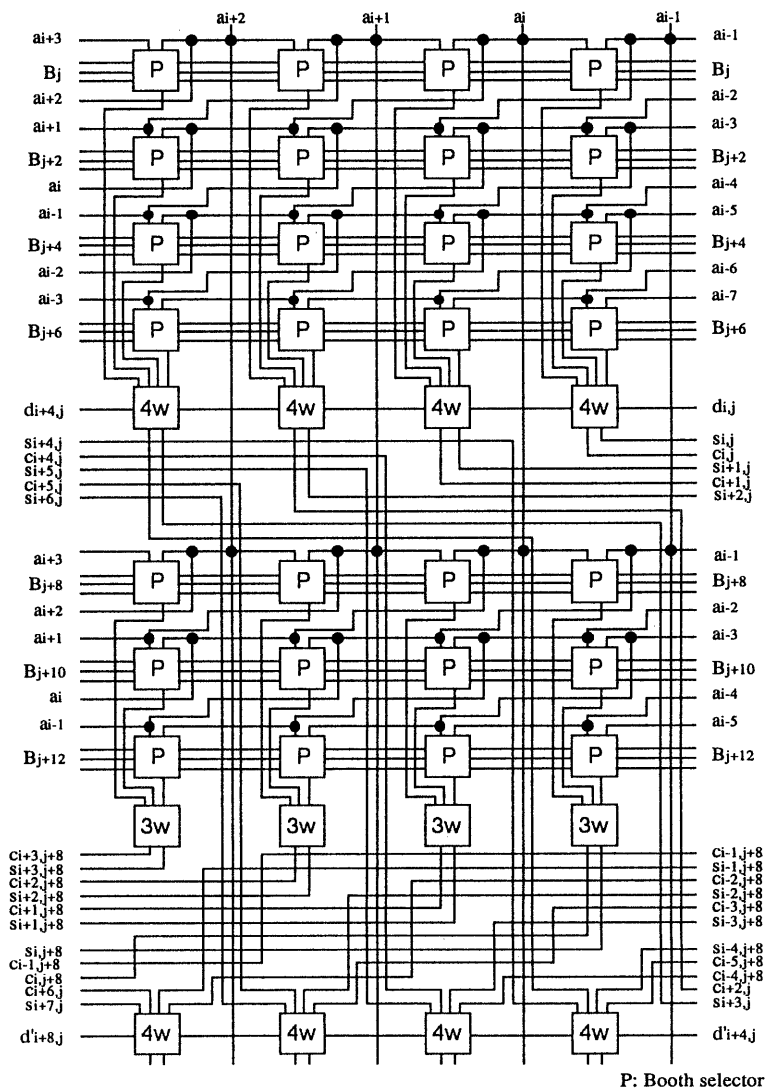


図3. 7D₄ユニット

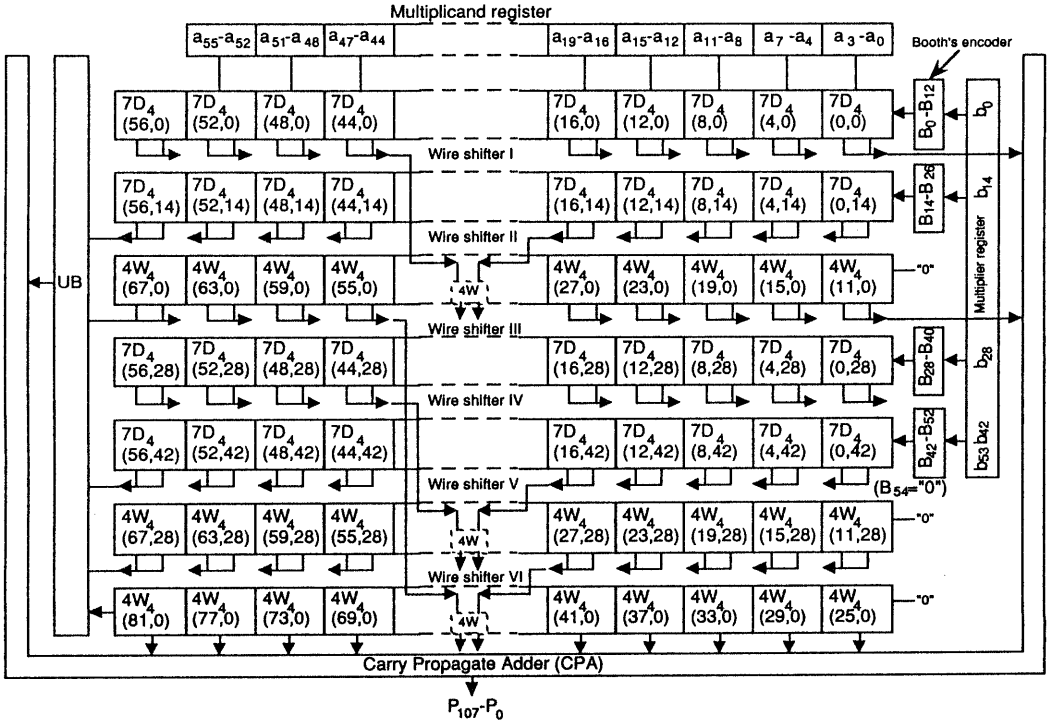


図4. 乗算器全体ブロック図

ト内でのみ行っている。これは乗算器全体の外形を矩形に近いものにするためである。またクリティカルパスの配線長をバランスさせる効果もあるので、回路の高速化にも寄与する。

次にツリーの全体図を図4に示す。7D₄ユニット4行と、それらの出力を加算するため4W₄行で全体が構成されており、図2のツリー構造と対応している。図でのWire Shifterは桁合わせのためのものであるが、同一のシフタの中では、全てのサム信号が同一のシフト量、全てのキャリー信号も同一のシフト量をそれぞれ持つので、この部分も規則的に設計することが出来る。また4Wに入力される信号は、ユニットの設計の時と同じ思想で、左右両方向にシフト

しており、クリティカルパスの高速化を図っている。

最後に今回用いた4W回路を図5に示す。この回路のアイデアは既にいくつかの報告がある[3,4]。中間キャリーを用いて、見かけ上4つの数を2つの数の和にする回路である。この回路はフルアダー2個を直列につなぐことによっても実現できるが、最適化を行うことによってトランジスタ数の削減と高速化が図れる。図5はその一例である。

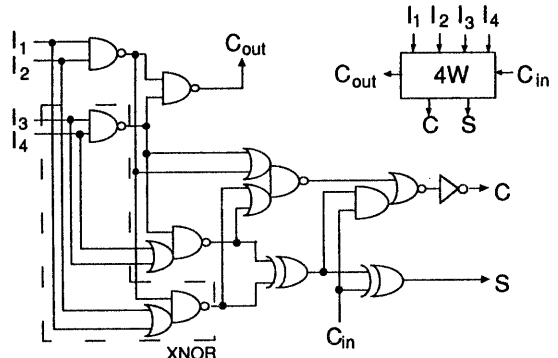


図5. 4入力加算器 (4W)

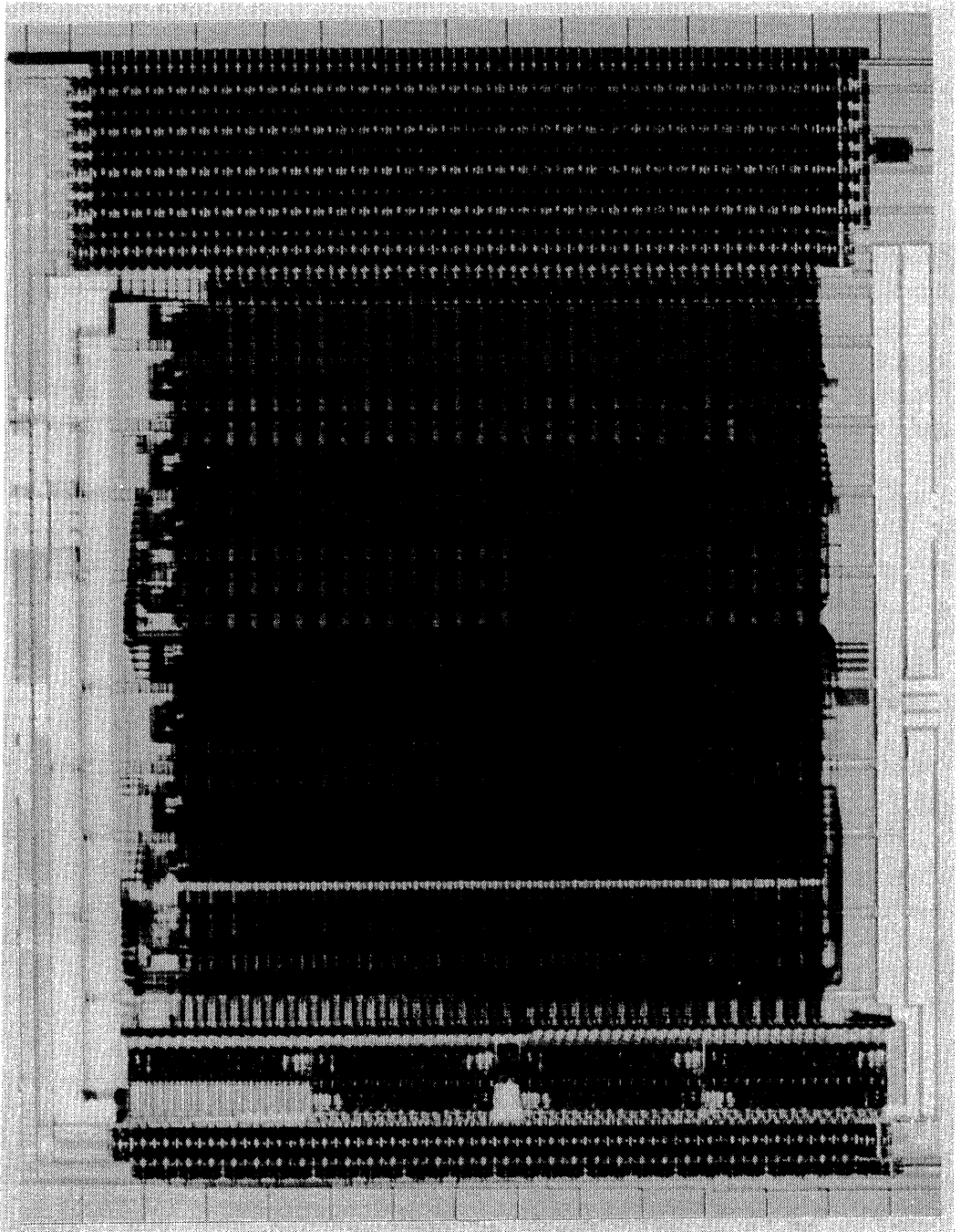


図6. チップ写真

3. インプリメント

我々は、この方式の優位性を実証するために、テストチップを作成した。CMOS、 $0.8\mu\text{m}$ 、3層メタルのプロセスを用いた。デザインルールを表1に、チップ写真を図6に示す。本乗算器は82 500のトランジスタで構成され、乗算器のサイズは $3.36 \times 3.85\text{mm}$ である。写真中央の僅かに細くなっている部分が本方式を用いて設計したツリーである。左右の周辺部では、一部配線の引き回し等の不規則な所があるが、回路中央の殆どの部分が規則的に並んでいるのが分かる。この規則部分のレイアウト設計は、ユニットである7D₄

表1. デザインルール

Gate length	0.8 μm
1st metal pitch	2.5 μm
1st metal width	1.0 μm
2nd metal pitch	3.1 μm
2nd metal width	1.3 μm
3rd metal pitch	5.0 μm
3rd metal width	2.2 μm

と、Wire Shifterのユニットを並べただけで完成している。写真下部の加算器は筆者らが考案した回路方式を適用した。108ビットのマンチェスター型加算器であり、キャリー信号の高速伝播のために複数のバイパスを持たせている。推定演算スピードは8.5nsである。詳細は文献[6]を参照されたい。また本乗算器は、チップ評価のためにFFをインプリメントしてある。写真上部と最下部の規則的な部分がそれである。

筆者らの54ビット乗算器の設計は、これが2度目である。1度目は従来の図1の方式を用いたものであった。スタンダードセルに自動配置配線ツールを用いて、レイアウト設計のみで約3ヶ月人の工数が掛かった。今回のケースではマニュアル設計を選択したが、4Wや7Dのセル設計からツリー全体の設計まで、約3週間人の工数であった。4倍以上の効率化が図れたことになる。

4. 評価

本チップのシュムープロットを図7に示す。電源電圧4.5V、5.0V、5.5Vの時、それぞれ、13.7ns、13ns、12.4nsで動作している。温度条件は室温である。このプロット測定には、クリティカルな12のテストパターンと20 000のランダムなテストパターンを用いた。またこの測定の中から最もクリティカルと判断されたパターンと端子を用いて、EBテストによる波形の測定を行った。その波形を図8に示す。上側の波形が乗算器への入力波形であり、下側の波形がクリティカルなバスからの出力である。13 nsで動作している。このEB波形の測定は、電源電圧5V、室温の条件で行った。本テストチップの諸元を表2にまとめる。

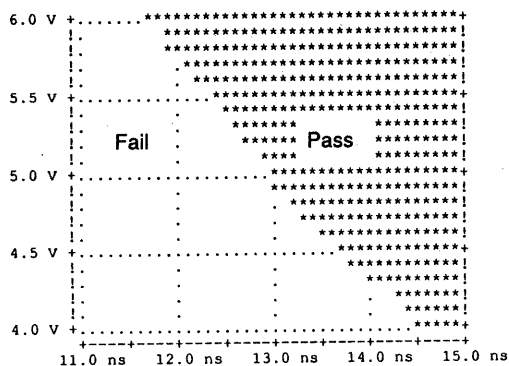


図7. シュムープロット

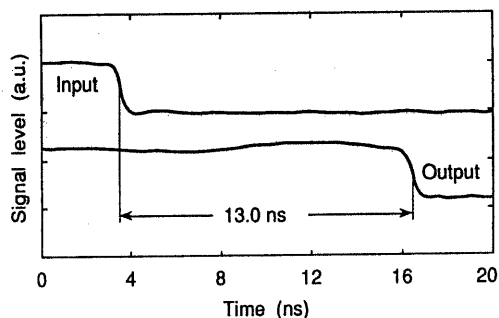


図8. ED波形

表 2. 諸元

Multiplier and multiplicand	54 bits (including sign)
Product	107 bits (including sign)
Multiplication time	13.0 ns
Power at 40 MHz	875 mW
Block size	3.36 X 3.85 mm
Transistors	82,500
Process technology	0.8- μ m CMOS triple metal

表 3. 比較

Construction of multiplier	Area (mm ²)	Density (Trs/mm ²)	Performance (ns)	Process technology	Reference
32 X 32 (Toshiba)	7.3	3800	15	0.8 μ m CMOS	[4]
56b MLT-ACM (LSI Logic)	22.1	4100	30	1 μ m CMOS	[7]
54 X 54 (Toshiba)	12.6	6500	10	0.5 μ m pseudo-CMOS double metal	[5]
54 X 54 (Fujitsu)	12.9	6400	13	0.8 μ m CMOS triple metal	

5. 他の乗算器との比較

最近発表された他の乗算器と本乗算器の比較を表3に示す。[4]の乗算器は我々のチップとほぼ同一のプロセスを用いている。我々の乗算回路は演算のビット巾がこの回路よりも広いにもかかわらず、演算速度は2 ns高速である。またトランジスタ密度も本乗算器のほうが高い。

[5]の乗算器は本乗算器よりも一世代進んだプロセスを用いているため、パフォーマンスの優位性は揺るがないが、トランジスタ密度ではほぼ同じ値を示している。この乗算器とのトランジスタ密度の比較を同一のプロセス条件で行うために、我々は2層メタル、0.5 μ mでのレイアウトを試行し、10 000 Tr/mm²を越える密度を得た。

この比較は、我々の方式によって設計された乗算器が、単に容易にレイアウト設計できるだけでなく、その規則性のために、より一層高密度化されまた高速化されることを示している。

6. まとめ

従来、高速ではあるが設計（特にレイアウト）が難しいとされてきたWallace-tree乗算器を階層2分割ブロック化による部分積生成、多入力加算の分割処理と、部分加算信号の両方向桁シフトを用いてシフト配線も含めたブロックの繰り返し配置により、容易に設計出来る方式を提案した。この方式によると、多ビットの乗算回路が短期間に設計できるだけでなく、他のアプローチに比べて高速、高集積な回路を実現できる。また、このことをテストチップの評価により実証した。

本報告では54ビットの乗算器を例にとって説明したが、他のビット巾の回路に対してもこの方式は適用可能であり、今後益々増大する乗算回路の小型化、高速化、そして設計容易化の要求に答え得る方式と言えよう。

謝辞

本研究を進めるにあたり、御指導、御鞭撻いただいた富士通の藤田綱一部長代理と森昭助部長代理に感謝致します。また最終段加算器(CPA)を設計した富士通の岡田宏稔氏と富士通研究所の坂手将人氏に感謝致します。

参考文献

- [1] Booth, A. D., "A Signed Binary Multiplication Technique", *Qt. J. Mech. Appl. Math.*, Vol. 4, Part2, 1951.
- [2] 香山晋編、超高速MOSデバイス、培風館、1986、 p.296.
- [3] Wallace, C. S., "A Suggestion for a Fast Multiplier", *IEEE Trans Electronic Computers*, Vol, EC-13, Feb. 1964, pp14-17.
- [4] M. Nagamatsu, et al., "A 15ns 32 X 32-bit CMOS Multiplier With an Improved Parallel Structure", 1989 CICC Dig. Tech. Papers, 10.3.
- [5] J. Mori, et al, "A 10-ns 54 X 54-b Parallel Structured Full Array Multiplier with 0.5- μ m CMOS Technology", *IEEE J. Solid-State Circuits*, Vol. 26, No.4, April 1991.
- [6] T. Sato, et al, "An 8.5-ns 112-b Transmission Gate Adder with a Conflict-Free Bypass Circuit", *IEEE J. Solid-State Circuits*, Vol. 27, No.4, April 1992, pp.657-659
- [7] Chip C. Stearns, et al., "Yet Another Multiplier Architecture", 1990 CICC 24.6.