

計算機工学・集積回路工学教育用マイクロプロセッサKUE-CHIP2

越智裕之¹⁾, 澤田宏¹⁾, 岡田和久²⁾, 上嶋明³⁾,
神原弘之⁴⁾, 濱口清治¹⁾, 安浦寛人⁵⁾

- 1)京都大学工学部情報工学教室, 2)京都大学工学部電子工学教室
〒606-01 京都市左京区吉田本町
- 3)立命館大学理工学部情報工学教室
〒603 京都市北区等持院北町56-1
- 4)京都高度技術研究所
〒600 京都市下京区中堂寺南町17
- 5)九州大学大学院総合理工学研究科情報システム学専攻
〒816 春日市春日公園6-1

あらまし

計算機工学と集積回路工学の教育への利用を目的として設計・試作したKUE-CHIP2について報告する。計算機ハードウェアの入門教育のためにKUE-CHIP2を搭載した実験用ボードを開発し、既に複数の大学の教育現場で利用している。また、KUE-CHIP2と同仕様の回路の設計・試作実験も始めている。また、設計データ自身も新しい設計技術やCADツールのベンチマークデータとして広く利用されることを期待している。

和文キーワード 教育用マイクロプロセッサ, 計算機設計教育, 集積回路設計教育, CAD

A Microprocessor for Education of Computer Engineering and Integrated Circuit Design: KUE-CHIP2

Hiroyuki Ochi¹⁾, Hiroshi Sawada¹⁾, Kazukisa Okada²⁾,
Akira Uejima³⁾, Hiroyuki Kambara⁴⁾, Kiyoharu Hamaguchi¹⁾ and
Hirotō Yasuura⁵⁾

- 1) Dept. of Information Science, Faculty of Engineering, Kyoto University
- 2) Dept. of Electronics, Faculty of Engineering, Kyoto University
Yoshida-Honmachi, Sakyo-ku, Kyoto 606-01
- 3) Dept. of Information Science, Faculty of Science and Engineering, Ritsumeikan University
Tohjiin-Kitamachi 56-1, Kita-ku, Kyoto 603
- 4) Advanced Software Technology & Mechatronics Research Institute of Kyoto (ASTEM RI)
Chudouji-Minamimachi 17, Shimogyo-ku, Kyoto 600
- 5) Dept. of Information Systems, Interdisciplinary Graduate School of Engineering Sciences,
Kyushu University
Kasuga-Kouen 6-1, Kasuga, Fukuoka 816

Abstract

KUE-CHIP2 is a microprocessor developed for education of computer engineering and integrated circuit design. A printed board circuit containing KUE-CHIP2 has been developed for introductory courses of computer hardware design and already used in the experimental courses of universities. A design course of KUE-CHIP2 is also planned in Kyushu University. Design data of KUE-CHIP2 are opened for public as benchmark data of CAD researches.

英文 key words Microprocessor for education, Education of computer design, Education of VLSI design, CAD

1. まえがき

集積回路技術を基盤とするハードウェア技術の進展とソフトウェア技術の大規模複雑化によって、システムのブラックボックス化が進み、計算機のユーザが計算機の物理的な構造に直接触れる機会が少なくなっている。大学などの教育機関における計算機教育もここ10年で大きく変わり、パーソナルコンピュータやワークステーションを用いたプログラム教育を中心に、ソフトウェア中心の教育が主流を占めるようになった。ハードウェアに関する知識は、論理回路理論、計算機構成論などの講義による知識を簡単な論理回路による実験と市販の1-chip CPUを用いた実験で確認する形で行なわれることが多い。このため、学生は、計算機アーキテクチャと論理回路や電子回路との関連が理解できなかったり、プログラムを書く立場から自分なりに理解している計算機アーキテクチャにどことなく不安を感じることが少なくないようである。計算機工学の均整の取れた教育のためには、計算機の内部構造までを見て触ることのできる教材により、計算機の構造や動作の基本原則を教えることが重要であると考えられる。

さらに、計算機工学の専門教育においては、ハードウェアの構成手段としての集積回路教育の重要性も指摘されている。特に、計算機アーキテクチャなどの教育/研究には、集積回路の利用は当然の前提となるべきである。しかし、集積回路の性質上、大学の教育や研究で手軽に集積回路を製作することは困難であった。近年、小量多品種の集積回路を作成する技術として、ASIC (Application Specified Integrated Circuit)の技術が進歩し、設計支援のためのCAD (Computer Aided Design)技術の成熟と相俟って、ようやく大学でも集積回路を設計/試作できる環境が整ってきた。

このような状況の下で、我々は大学などの高等教育機関における計算機工学や集積回路工学の教育を目的としたマイクロコンピュータKUE-CHIP(Kyoto University Education Chip)を試作し、実際に教育の現場で利用してその効果を確認してきた[1][2]。今回、KUE-CHIPの改良版としてKUE-CHIP2を開発したのでここに報告する。KUE-CHIP2においては、KUE-CHIPにおける問題点を解決すると共に、学生による集積回路設計実験を目指して、大学院の学生チームでアーキテクチャ設計からレイアウト設計までを行なった。また、設計検証の技法として形式的検証法を適用し、新しい検証手法の有効性を示すことができた。設計データは、KUE-CHIPと同様にCAD用のベンチマークデータとして公開する予定である。

2. KUE-CHIP2プロジェクトの目的

本プロジェクトの目的は、

- 1) 計算機ハードウェアの教育に対する教材の提供
 - 2) 集積回路設計教育に対する教材の提供
 - 3) 集積回路設計用CADの教育/研究用の例題の提供
- の3つである。以下、各目的に対して要求される事項を検討する。

2. 1 計算機ハードウェア教育

計算機ハードウェアの教育には、これまでに各教育機関で種々の工夫された実験装置や手法が開発されている。しかし、商用のマイクロプロセッサを利用した実験装置では、プロセッサ内部の観測性が悪いため計算機内部の動作の確認が行ないにくい。また、モニタプログラムなどのソフトウェアが観測の際に介入すると、ハードウェアの本当の動作を理解しにくいという欠点がある。シミュレータに

よってハードウェアの動作を理解させる手法も取られてはいるが、学生にとってはソフトウェアとしてのシミュレータと対象計算機の動きを混同しやすい欠点がある。計算機ハードウェアの初期教育には、単純なアーキテクチャを持つ計算機内部の動作が観測できるような教材が必要であると思われる。しかも、現在の集積回路技術によってこのような教材が提供されることは、学生にとって、先端技術と基礎的な技術の繋がりを肌で感じる意味から極めて重要である。

上級の計算機ハードウェア教育においては、学生に設計や製作を行なわせている所が多いが、時間数や予算の制約で設計対象が限定されることが多い。CPU自身を設計させる場合もあるし、商用のマイクロプロセッサを使って、外部のインタフェースだけを設計させている例もある。上級の教育において、学生自身がCADツールを用いて設計を行ない、最終的に集積回路として実現できると、計算機アーキテクチャ、論理回路設計、半導体工学などの講義内容がどのように結びついて実際の集積回路が実現されるのかが理解でき、その教育効果は、極めて大きいと思われる。

計算機ハードウェア教育のための教材としてKUE-CHIP2の開発においては、以下のような設計目標を設定した。

- a) アーキテクチャは、計算機の基本的な概念を含むとともに簡素で単純であること。複雑なアーキテクチャでは、学生が本質的な構造を見失い易くなり、単なるプログラム演習となってしまう。
- b) メモリ、レジスタ、フラグを観測する機能、またそれらに対しデータの書き込みを行う機能を持つこと。特にプログラムカウンタや命令レジスタのような、通常では観測できないものを見ることは、学生の理解を大きく前進させる。さらに、モニタ等のソフトウェアの介入無しにハードウェアに直接触れられるような構造が重要である。
- c) 1命令、1クロックフェーズ単位で、プログラムの実行を制御(実行/停止)を行なう機能を持つこと。計算機の動作原理を理解すると共に、各部分回路の制御の論理までが推測されることが望ましい。
- d) 上級の試験で、学生が設計可能な規模であること。

バイライン処理や並列処理のようなより進んだアーキテクチャ上の技術の導入、またはOSや言語処理系のソフトウェアが構築できるような現実的なアーキテクチャの導入も考えられるが、現在の実験の時間的な制約から、あえて単純なアーキテクチャにとどめている。

2. 2 集積回路設計教育

米国では、大学においてシステム設計の立場からの集積回路設計教育が進められ、MOSISなどの組織によって、学生向けの実験コースで集積回路の設計を体験した卒業生を産み出している。ヨーロッパにおいてもES2社などの協力の下、IMAG(仏)を中心としたEUROCHIPプロジェクトにより大学の教育研究において集積回路の作成が可能な状況が作られている[3]。我が国でも、ワークステーションやパーソナルコンピュータの普及と低価格化により、ソフトウェアの教育環境は大幅に改善されてきたが、ハードウェア教育は、集積回路規模の向上に伴って、現実の製品と大学の教育の間に大きな溝ができ、計算機アーキテクチャや論理回路がどのように集積回路として実現されるのかを大学教育の中で学生に体験させることは難しくなっている。大学教育における集積回路設計教育の努力が各大学で行なわれているが、その多くは講義のみによるもので、実験や実習を伴うものは極めて少ないのが現状である。しかも、

システム設計側に向けた集積回路設計という立場で組まれた実験カリキュラムは極めて少ないと思われる。

集積回路設計教育の立場から実験に望まれる事項をまとめる。

- a) 設計する回路の規模は、比較的小規模であること。大学の実験では時間と予算に限りがあり、5000ゲート位が上限と思われる。
- b) チップは、外部からの観測性がよいこと。大学の実験ではICテスターなどを用いてチップの動作を確認することは難しい。できれば、機能試験は特別な装置なしに行ないたい。
- c) メモリをマクロセルとして用いていること。メモリセルの設計の中での利用法を修得させる。メモリ回路の設計までは行なわなくてよいが、一般の論理回路とメモリの回路上、レイアウト上の違い、集積度の違いなどを理解させたい。
- d) ゲートアレイ方式やスタンダードセル方式でレイアウトまで設計すること。論理設計だけでなくレイアウト設計までをCADの上で行うことにより、集積回路の理解を深める。
- e) CADツールを活用すること。論理合成ツール、スキマエディタ、自動レイアウトツール、論理シミュレータなどを利用して、階層化設計や完全同期式設計など大規模回路の設計手法を修得させる。また、テスト生成なども実習させることが望まれる。
- f) 設計した回路を現実的なコストでLSI化できること。実験用なので、10チップもあれば十分である。

経済性を考えるとFPGAなどの利用も考えられるが[4]、我々は完全なハードウェアによる実現の方がより教育的効果が大きいと考えている。このような考察を下に、KUE-CHIP2の設計においては大学院の学生のチームによって設計を行ない、将来の集積回路設計実験の基礎的な資料を集めることを目標とした。

2. 3集積回路設計用CAD

集積回路設計用CADの扱う対象回路の規模が増大するに連れて、CADの研究/教育に利用する例題もある程度まとまった機能をもった大きなものであることが要求される。さらに、論理合成、論理シミュレーション、レイアウト合成、テスト生成等、種々のCADツールに対して同一の回路がベンチマークとして提供されることは強く要求されている。しかし、商用に開発された設計データは機密保持の立場から、部分的には公開されても全体が公開されることはなかった。我々は、KUE-CHIPの開発を通じて得られたすべての設計データを公開することにより、計算機のアーキテクチャ設計からレイアウト設計までの一貫した設計例をCAD教育研究用に提供しており、今回のKUE-CHIP2についても同様の計画をしている。

さらに、新しい設計手法やCADツールを提案する際に、実用規模の回路への適用を試すための例題としても利用されることを期待している。今回の開発においても、近年急速に進歩しつつある形式的設計検証法を設計検証に適用し、実際にシミュレーションによるテストでは発見できなかった設計誤りを発見することに成功している。

3. KUE-CHIP2システム

3.1 マイクロプロセッサKUE-CHIP2[5]

KUE-CHIP2は、極めて単純なアーキテクチャの8ビットマイクロプロセッサであり、計算機の基本構造と機能を学

習するのに最低限の命令セットを持つ。しかも、内部のレジスタ(プログラムカウンタやアキュムレータ)の内容を外部から観測/制御でき、その機能を理解しやすい構造になっている。

図1にKUE-CHIP2のブロック図を示す。破線内が集積回路化されている部分である。3種のバス(入力データバスDBi、出力データバスDBo、アドレスバスAB)のほかに、内部状態を観測するための観測バスOBがある。観測バスには、内部のバスやレジスタの内容を出力することができる。観測バスの内容は、ボードのLEDおよび7セグメント表示用LEDで観測することができる。また、内部のレジスタやメモリの内容は、ボードのスイッチで直接書き込みができる。

演算器としては、ALU(Arithmetic Logic Unit)が1個あり、演算用のレジスタとしては、アキュムレータACCとインデックスレジスタIXを持っている。制御系は、プログラムカウンタPC、命令レジスタIR、命令デコードIDCを持っている。また、メモリアクセスの際のアドレスを保持するメモリアドレスレジスタMARがある。

メモリ空間は512バイトでバイト単位に指定される。0番地から255番地はプログラム領域とよばれ、プログラムはこの範囲におかれなければならない。これは、プログラムカウンタが8ビットであるため、256バイトしか指定できないことによる。256番地から511番地まではデータ領域と呼ばれ、プログラムは格納できないが、データを格納する領域としては利用できる。アドレス(9ビット)の最上位ビットは命令デコードの後、コントローラにおいて直接生成される。このビットで、プログラム領域とデータ領域のどちらにアクセスするかが決められる。アドレスの下位8ビットはメモリアドレスレジスタの内容によって指定される。

KUE-CHIP2では、チップ内に内部メモリ(Internal Memory)512バイトを持っている。チップの外の外部メモリ(External Memory)512バイトを利用することもできる。この内部メモリと外部メモリはまったく同等で、ボード上のスイッチでマニュアルで切り替えてどちらでも利用できる。しかし、プログラム中で両者を切り替えて使うことはできない。

命令語は1バイトあるいは2バイトで構成される。命令語の1バイト目は、上位4ビットあるいは5ビット(ビット7からビット4あるいは3)で命令の種類を表す。分岐命令では下位4ビットが分岐条件、シフト命令では下位3ビットがシフトモードを示す。演算命令やロード/ストア命令では、ビット3が演算用レジスタの指定(第1オペランド)、下位3ビット(ビット2からビット0)で第2オペランドのアドレスモードを指定する。2語長命令の2語目は、アドレスまたはデータである。データ語は、最上位ビット(第7ビット)が符号に対応し、2の補数表示で負の数を表す。

図2に、KUE-CHIP2の命令セットを示す。命令は19種で、入出力命令2、シフト命令2、算術論理演算命令8、フラグセット命令2、ロード命令、ストア命令、ブランチ命令、NOP命令、停止命令からなる。命令は可変長で、1語長命令と2語長命令がある。メモリアクセスのアドレス指定は5つのモードがあり、即値アドレス、直接アドレス(プログラム領域Pとデータ領域D)、インデックスレジスタによる修飾アドレス(プログラム領域Pとデータ領域D)の指定ができる。即値アドレスでは2語目がそのままデー

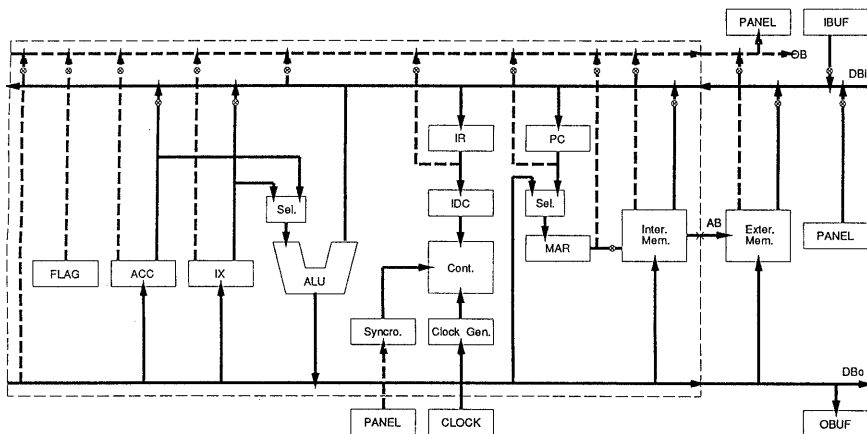


図1. KUE-CHIP2のブロック図

略記号	命令コード (1 語目)	B'(2 語目)	命令機能の概略
NOP	0 0 0 0 0 - - -	×	No Operation
HLT	0 0 0 0 1 - - -	×	停止 未使用 (HLT)
OUT	0 0 0 1 0 - - -	×	OUTput
IN	0 0 0 1 1 - - -	×	INput
RCP	0 0 1 0 0 - - -	×	Reset CF
SCF	0 0 1 0 1 - - -	×	Set CF
Bcc	0 0 1 1 cc	◎	条件が成立すれば B' → PC
Ssm	0 1 0 0 A 0 sm	×	Shift sm
Rsm	0 1 0 0 A 1 sm	×	Rotate sm
LD	0 1 1 0 A B	○	LoaD
ST	0 1 1 1 A B	◎	StoRE
SBC	1 0 0 0 A B	○	Sub with Carry
ADC	1 0 0 1 A B	○	Add with Carry
SUB	1 0 1 0 A B	○	SUBtract
ADD	1 0 1 1 A B	○	ADD
EOR	1 1 0 0 A B	○	Exclusive OR
OR	1 1 0 1 A B	○	OR
AND	1 1 1 0 A B	○	AND
CMP	1 1 1 1 A B	○	CoMPare

cc : Condition Code

A	0 0 0 0	Always	常に成立
VF	1 0 0 0	on Overflow	桁あふれ VF = 1
NZ	0 0 0 1	on Not Zero	≠ 0 ZF = 0
Z	1 0 0 1	on Zero	= 0 ZF = 1
ZP	0 0 1 0	on Zero or Positive	≥ 0 NF = 0
N	1 0 1 0	on Negative	< 0 NF = 1
P	0 0 1 1	on Positive	> 0 (NF ∨ ZF) = 0
ZN	1 0 1 1	on Zero or Negative	≤ 0 (NF ∨ ZF) = 1
NI	0 1 0 0	on No Input	IBUF_FLG.IN = 0
NO	1 1 0 0	on No Output	OBUF_FLG.IN = 1
NC	0 1 0 1	on Not Carry	CF = 0
C	1 1 0 1	on Carry	CF = 1
GE	0 1 1 0	on Greater than or Equal	≥ 0 (VF ⊕ NF) = 0
LT	1 1 1 0	on Less Than	< 0 (VF ⊕ NF) = 1
GT	0 1 1 1	on Greater Than	> 0 ((VF ⊕ NF) ∨ ZF) = 0
LE	1 1 1 1	on Less than or Equal	≤ 0 ((VF ⊕ NF) ∨ ZF) = 1

sm : Shift Mode

RA	0 0	Right Arithmetically
LA	0 1	Left Arithmetically
RL	1 0	Right Logically
LL	1 1	Left Logically

A = 0 : ACC
A = 1 : IX
B = 000 : ACC
B = 001 : IX
B = 01- : d (即座アドレス)
B = 100 : (d) (絶対アドレス)
B = 101 : [d] (絶対アドレス)
B = 110 : (IX+d) (インデックス修飾)
B = 111 : [IX+d] (インデックス修飾)

× : 不用
○ : 不用 or 必要
◎ : 必要

図2. KUE-CHIP2の命令セット

となる。直接アドレスでは2語目がデータが格納されているアドレスを示す(プログラム領域、データ領域のいずれでもよい)。修飾アドレスでは2語目の内容とインデックスレジスタIXの内容を加算して決まる値が第2オペランドのアドレスとなる(この場合もプログラム領域、データ領域のいずれでもよい)。

フラグは4種類あり、演算の結果により、零フラグZF、ネガティブフラグNF、桁あふれフラグVF、桁上げフラグCFのそれぞれが設定される。このフラグの状態によってブランチ命令の分岐条件が判定される。

KUE-CHIP2は、最大5フェーズ(P0からP4)で1命令を実行する。KUE-CHIP2には、通常の動作モードのほかに、1命令ごとに動作をとめるシングルインストラクションモードと1フェーズごとに止るシングルフェーズモードがある。これらのモードを利用して、各フェーズでどのように回路が動いているかが理解できる。

図3に、KUE-CHIP2の各命令の実行フェーズ表を示す。各フェーズの動作の内最終的なレジスタの値の変更は、そのフェーズが終了して次のフェーズに入る時点で行なわれることに注意されたい。

KUE-CHIP2は、ES2社で製造され、1.5μm CMOSテクノロジーのスタンダードセル方式として実現されている。メモリ部分はマクロセルとして実現されている。チップ中には論理素子1597個、フリップフロップ68個、メモリ8×512ビット、入出力パッド76個をふくむ。ダイサイズは、5.39×4.59=24.70mm²である(このうち論理アレイの面積は12.84mm²)。パッケージは84ピンのLCCパッケージであり、0.033Hzから1MHzまでの広いロック周波数で動作することが確認されている。図4としてKUE-CHIP2のチップ写真を示す。

3. 2 KUE-CHIP2ボード[6]

KUE-CHIP2を用いた計算機工学の初等的な実験を行なうために、KUE-CHIP2を搭載したKUE-CHIP2ボードを製作した。KUE-CHIP2ボードは図5に示すように観測や実験のためのスイッチ、表示用LED、コネクタを備えている。また、KUE-CHIP2のほかに、これらのユーザーインタフェースのための多くのICも搭載している。

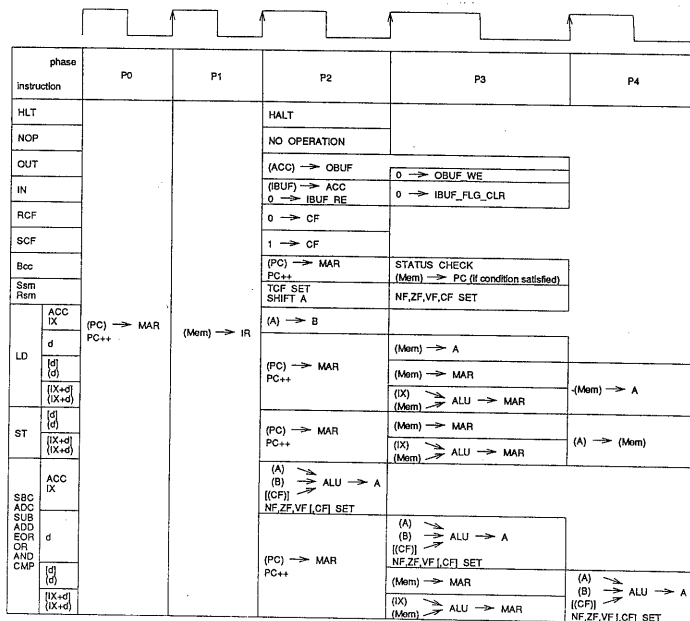


図3. KUE-CHIP2の実行フェーズ表

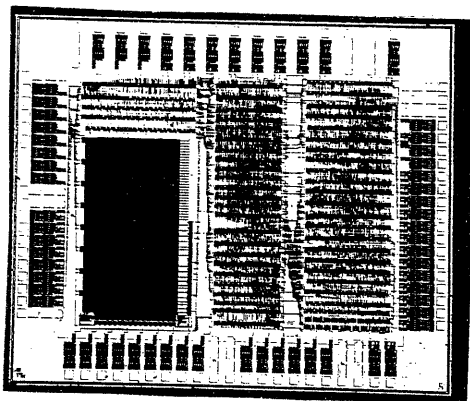


図4. チップ写真

KUE-CHIP2ボードには、実験を円滑に行なうため、外部に512バイトのメモリバンクを8個搭載できるようになっている。これらのメモリバンクはすべて独立で、スイッチによってその1つを選べるようになっていて、即ち、KUE-CHIP2のメモリアドレスバスは9ビットであるが、ボード上では12ビットのアドレスバスが使われる。メモリの選択が内部メモリの時（SMスイッチで選択）はKUE-CHIP2のチップ上のメモリ（512バイト）が使われ、外部メモリを選択したとき、外部の8個のバンクの中の1つ（ADR_Uスイッチで選択）が使われる。この外部メモリバンクのほかに8バンク（1バンクは512バイト）のROMも搭載できる。ROMに保存してあるプログラムやデータを

内部メモリバンクや外部メモリバンクへコピーするのに便利な機能も用意している。

また、KUE-CHIP2ボードには、KUE-CHIP2と同じ仕様の回路をボードの外部に作製し、その動作をKUE-CHIP2ボードのユーザーインタフェースを利用して観測するための機能も付加されている。以下、簡単にKUE-CHIP2ボードの機能について説明する。

1) 表示機能

KUE-CHIP2の内部状態や外部回路の状態を観測するために以下のような表示用LED（ランプ）を備えている。

- ・OPランプ 命令を実行中であることを示す。
- ・P0～P4ランプ（5個） 現在の実行フェーズを示す。
- ・IBUFランプ（9個） IBUFの内容を示す。
- ・OBUFランプ（9個） OBUFの内容を示す。
- ・DATA7～DATA0ランプ（LED 8個7セグメント2個）
観測バス：OB<7:0>の出力を表示する。
- ・ADR9～ADR0ランプ（LED 9個 7セグメント3個）
アドレスバス：AB<9:0>の値を表示する。

2) 操作用スイッチ

KUE-CHIP2ボードの操作は次のようなスイッチ類を用いて行なう。

- ・PWR（トグルスイッチ） 電源の投入/切断。
- ・CLK_FRQ（16接点ロータリースイッチ）
クロック周波数の設定（0.10 MHzから1.0 MHz）。
- ・CLK（トグルスイッチ） クロック供給先の切り替え。
- ・EXT_RST（プッシュスイッチ） ボード外へのリセット信号。
- ・RESET（プッシュスイッチ）
- ・ADR_U<11:9>（3ビットディップスイッチ）
ボード上の拡張アドレスバスの上位3ビット。

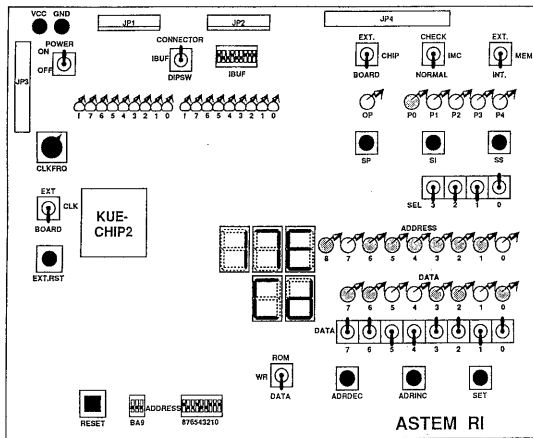


図 5. KUE-CHIP2 ボード

- ・ADR_L<8:0> (9 ビットディップスイッチ)
アドレスバスAB<9:0>を指定する。
- ・SEL<3:0> (4 ビットトグルスイッチ)
観測、書き込みを行なうメモリ、カウンタ、レジスタ、フラグ、制御信号線を指定する。
- ・DATA <7:0> (8 ビットトグルスイッチ)
書き込むデータの値を設定する。
- ・WR (トグルスイッチ)
SET スイッチにより書き込むデータを選択する。
- ・ADRDEC (プッシュスイッチ)
メモリアドレスレジスタMARのデクリメント。
- ・ADRINC (プッシュSW)
メモリアドレスレジスタMARのインクリメント。
- ・SET (プッシュSW)
データを書き込む。
- ・SP (プッシュスイッチ) 1クロックフェーズだけ命令を実行し、停止する。
- ・SI (プッシュスイッチ) 1命令だけ実行し、停止する。
- ・S/S (プッシュSW) 停止中はプログラムを実行し、HALT 命令で停止する。
プログラムの実行中は、その次の命令の前で停止する。
- ・IBUF (9 ビットディップスイッチ)
IBUFのデータをセットする。
- ・IBUF (トグルスイッチ) IBUFのデータ源を指定する。
- ・IMC (トグルスイッチ)
メモリチェックモードの指定をする。
- ・SM (トグルスイッチ) メモリバンク (内部/外部)を指定する。

3) 端子類

KUE-CHIP2 ボードと外部の回路との通信用の端子としては、KUE-CHIP2のデータ入出力用端子 (JP1, JP2) が用意されている。さらに、KUE-CHIP2と同一の仕様の回路を製作した際に、その操作/観測を本ボードを利用して行なう目的で、KUE-CHIP2の外部ピンのすべての信号線も端子として用意されている (JP3, JP4)。

- ・VDD 電源の +5.0 V を接続する。
- ・GND 電源の GND を接続する。

- ・JP1 (12ピンコネクタ) 外部へのデータの出力端子。
- ・JP2 (12ピンコネクタ) 外部からのデータの入力端子。
- ・JP3 (18ピンフラットケーブルコネクタ)

KUE-CHIP2 への入力信号 (各種 SW, クロック, リセットなど) をボードの外部へ出力する。

- ・JP4 (40ピンフラットケーブルコネクタ)

ボードの外部のKUE-CHIP2と同一仕様の回路からの出力信号 (データバス DBi, フェーズ信号など) の取り込み双方向信号 (アドレスバス AB) の入出力を行なう。

4. KUE-CHIP2の設計

4. 1 設計過程

KUE-CHIP2の設計は、学生による集積回路設計実験に対する予備調査を兼ねて、著者のうちの大学院生4名 (越智, 澤田, 岡田, 上嶋) でアーキテクチャ設計からレイアウトの作成までを行なった。

アーキテクチャ設計では、KUE-CHIPの見直しから始め、命令セット、メモリ構成、フラグの種類と機能などの見直しおよび、外部ピンの削減を行なった。論理設計では、いくつかのモジュールに分割し、モジュール間のインターフェースを決めて、各モジュールを独立に設計した。また、論理設計と並行してテストパターンを設計を行なった。各モジュール単位の設計検証はモジュールの設計者がシミュレーションを行ない、全体の検証は、テスト担当者がシミュレーションを行なった。レイアウトは自動配置配線ツールで行なったが、チップ面積や配線長の削減のために一部は手作業で配置のガイダンスを行なった。また、これらの作業とは独立に形式的設計検証手法による設計検証を行ない、シミュレーションでは発見できなかった設計誤りを発見できた。

設計のツールとしては、ES2社のSolo1400システムを用い、論理設計のスキマティックエントリ、テストパターン生成、論理シミュレーション、レイアウト生成、パッケージ設計を行なった。設計工数は以下のとおりであった。時間には打ち合わせのためのミーティングの時間も含んでいる。

アーキテクチャ設計	80時間・人
論理設計	370時間・人
レイアウト設計	50時間・人
テスト設計とシミュレーション	290時間・人

設計に並行してドキュメントの作成を行ない、KUE-CHIP2設計ドキュメント (73ページ) が設計終了とほぼ同時に作成できた。

4. 2 形式的設計検証[7]

論理シミュレーションが、与えられたパターンに対してのみの動作の確認に用いられるのに対して、形式的検証手法は意味の明確な言語によって記述された性質を、設計された対象がならず満足することを保証しようというものである。順序回路を対象とした形式的検証は、主として2つの順序回路の等価性判定を行うものと、時相論理と呼ばれる論理体系を仕様記述言語として用いて仕様が満足されるかどうかを判定するものに分けられる。今回は、時相論理を用いた手法をKUE-CHIP2の設計検証に適用した。

この手法は本質的には全ての場合を網羅的に調べる手法に基づいている。具体的には順序回路から状態遷移図を構成し、この遷移図の性質を調べることにより、仕様が満足するかどうかを調べることになる。フリップフロップを n

個持つ完全同期式の順序回路を考えた場合、最大2ⁿ個の状態が遷移図に出現する。すなわち、フリップフロップ数に対する指数爆発が起こる。このため、形式的検証手法は小規模な回路に対してのみ適用可能であった。一方、論理関数の新しい表現、処理のための基本的な手段として、二分決定グラフ(Binary Decision Diagram, BDD)が、用いられるようになってきている。これは高性能のBDD処理パッケージが開発され、実用的な多くの場合に、論理関数を扱う際の指数爆発をBDDによって緩和しうることが明らかとなってきたためである。

KUE-CHIP2の形式的設計検証は基本的にはBurchらの手法に基づいている。Burchらは、仕様記述言語として計算木論理(computation tree logic, CTL)を用いたが、この時相論理は、時間に関して、「次の状態で」、「常に」、「性質Aが性質Bが満足されるまで成立する」というような限られた性質しか表現することができない。KUE-CHIP2に対して行った設計検証では、仕様を記述する際に、CTLを拡張して記述能力を高めたBRTL(branching time regular temporal logic)を用いた。BRTLの定義、仕様記述例、および、BDDを用いた検証アルゴリズムについては、文献[7]を参照されたい。

検証項目1:バスに対する条件(バスへの出力が競合していないか、または、すべての出力がハイインピーダンス状態となることがないかどうか)。

検証項目2:各命令の動作。これについては次の3つの条件を検証した。

*スイッチがマイクロプロセッサを始動/停止させて、内部信号線opを1(動作中)/0(停止中)とする。

*op信号が1の間は、何フェーズ目であるかを表す内部信号ph0,ph1,ph2,ph3,ph4が正しく動作する。

*opが1の間は、各命令が正しく動作する。C言語で検証システムを実現し、SPARCstation2上で、BDDを用いて検証を行い、次の結果が得られた。

検証項目1:バスに対する条件
シミュレーションで見えなかった設計誤りが検出された。検証時間は誤りの修正前/後とも、約13秒を要した。

検証項目2:全命令に対する動作
アドレッシング・モード、分岐条件などを区別した場合の約170命令全てについて、シングル・フェーズ・モード以外について検証を行った。検証には約10時間を要した。

また、LSIチップが製造された後に発見されたシングルフェーズモードでのシフト動作の設計誤りについても、発見することができた(ただし、検証結果が製造データの発送に間に合わなかったためKUE-CHIP2には反映されていない)。

以上のように、形式的設計検証が実際の回路設計においても利用可能であること、しかも大きな威力を発揮することを示すことができた。KUE-CHIP2は形式的に検証された初めての実用回路の一つである。

5. 教育への応用

5. 1 計算機の入門教育

KUE-CHIP2ボードを用いた計算機工学の入門教育を九州大学工学部電気系学科、京都工芸繊維大学工学部電子情報学科、立命館大学理工学部情報工学科で行なっている。例として、九州大学の実験の内容を紹介する。

学生は4人で1班を構成し、1班に1台ずつKUE-CHIP2ボードを用意している。簡単な論理回路の製作実験の後、KUE-CHIP2ボードによる実験に入る。実験の課題としては、与えられた簡単なプログラムを実行しながら、各フェーズごとのデータの流れを観測して計算機の動作原理を理解することを基本としている。応用問題として、出力端子(JP1)にD/A変換回路を接続して、オシロスコープの上に図形を表示する実験を行なっている。実験は、3年生の前期に行ない、5回(1回2時間20分、隔日)で行なっている。さらに夏休みの宿題として市販のTTL ICを用いた論理設計を行なわせている。

このような実験は、学生に計算機の内部構造とその動作を理解させるのに大きな効果がある。また、実際のハードウェアで納得の行くまで実験ができるので多くの学生が大きな興味をもって実験に取り組んでくれている。

5. 2 計算機の設計教育

九州大学工学部電気系学科では、前期の実験に引き続いてKUE-CHIP2と同一仕様の回路を設計し、市販のTTL ICを用いて試作する実験を計画している。KUE-CHIP2ボードにはこのような実験を行ないやすくするために、KUE-CHIP2すべての信号線をボードの外部に出してある。これらの信号線を使って学生は試作した回路をKUE-CHIP2ボードの制御/観測機構を利用してKUE-CHIP2と同じように操作することができる。

予備実験として回路を試作したところ、約200個のTTL ICを用いてKUE-CHIP2と同一仕様の回路が作製できた。また、設計の検証には論理シミュレータを利用させ、CADツールの使用経験も持たせたいと計画している。

このような試作実験は、学生に設計能力を与えると共に、ハードウェアの製作に伴う様々な物理的、論理的問題点を理解させ、それらに対する解決能力を高める効果がある。また、設計仕様を文書ではなく、KUE-CHIP2その物で与えるので、学生の設計対象への理解も早く円滑に実験が進むことが期待される。

5. 3 集積回路の設計教育

九州大学大学院総合理工学研究科では、集積回路設計の講義のレポート課題としてKUE-CHIP2の設計を行なわせた。この課題には2グループが挑戦し、1つはSoloを利用しての論理設計、他のグループは論理合成システムPARTHENONを利用した設計を行なった。PARTHENONを利用したグループは設計記述言語SFLで1717行の記述(メモリおよび観測機能の一部を省略)を作成し、論理合成により論理素子1002個、フリップフロップ52個(全体で2入力NAND換算で1811ゲート)を自動的に合成した。

5. 4 CADのベンチマーク

KUE-CHIPの設計データは、機能設計レベルの言語記述(UDL/I, VHDL, SFL, Verilog HDL)、論理回路、レイアウトデータなどがCADの研究/教育用に公開されている。特に、言語記述はハードウェア設計言語の比較に利用されている[8]。

KUE-CHIP2の設計データも同様にCADの研究/教育用に公開する予定である。既に、高レベル合成や設計検証のベンチマークデータとしての公開の依頼がよせられており、用意を進めている。

6. あとがき

計算機工学や集積回路工学の教育／研究に利用できるマイクロプロセッサKUE-CHIP2の開発とその応用について報告した。9月末に200チップが完成し、今後希望の教育機関に配付していく計画である。また、応用の充実、設計データの公開、本格的な集積回路設計実験の実施などを進めていく予定である。

集積回路の試作は、多くの作業と費用が必要であり、大学などの教育機関が単独で学生実験をすべて自前で用意するには多くの困難が伴う。本研究が学生実験のパブリックドメイン化への第1歩となることを期待している。また、大学などが利用できる集積回路試作ラインの確立も今後の大きな課題である。関係各位のご協力を期待したい。

謝辞

ご協力いただいた立命館大学山崎勝弘助教授、京都大学小野寺秀俊助教授、京都工芸繊維大学新實治男助教授、九州大学有川正俊助手に感謝致します。チップの製造に関しては、ES2 (European Silicon Structures)、ならびに(株)物産システムテクノロジーの皆様にも多大のご協力を頂いた。ここに謝意を表します。また、貴重なご意見を多数頂いた九州大学、立命館大学、京都工芸繊維大学の学生実験担当の教官各位ならびに果敢に新しい試みに挑戦してくれた学生諸君に感謝します。

KUE-CHIP2の試作は、京都高度技術研究所の新産学交流事業EAGLの支援による。また、本研究は一部、文部省科学研究費補助金試験研究(B)「計算機工学・集積回路工学教育研究用マイクロプロセッサの開発」04555079による。

参考文献

- [1]神原弘之、安浦寛人：“教育用マイクロコンピュータ KUE-CHIP の開発とその応用 —集積回路技術を利用した情報工学実験—”, 情報処理, vol.33, no.2, pp.118-127, (1992).
- [2]京都大学工学部電気系教室：“電気・電子工学実験第二平成三年度版”, (1991).
- [3]B. Courtois, H. Delori, J.F. Paillotin, K. Torki and F. Martin : "An infrastructure for VLSI design education and research", 電子情報通信学会1992年春季全国大会論文集 A-104, [1992].
- [4]末吉敏則、田中康一郎、柴村英智：“再構成可能な論理 LSI を用いた教育用マイクロプロセッサ：KITE”, 情報処理学会研究報告, 92-ARC-96-14, [1992].
- [5]神原弘之、越智裕之、澤田宏、濱口清治、岡田和久、上嶋明、安浦寛人：“KUE-CHIP2設計ドキュメント”, 京都高度技術研究所, [1992].
- [6]神原弘之、越智裕之、澤田宏、濱口清治、岡田和久、上嶋明、安浦寛人：“KUE-CHIP2教育用ボードリファレンスマニュアル”, 京都高度技術研究所, [1992].
- [7]濱口清治、平石裕実、矢島脩三：“論理関数処理を用いた分岐時間正則時相論理による順序機械の設計検証”, 情報処理学会研究報告, 91-DA-60-26, [1991].
- [8]安浦寛人、神原弘之：“ハードウェア記述言語の比較”, 電子情報通信学会技術研究報告, VLD 92-46, [1992].