

Hot Chips IV 学会報告

- Hot Chips IVに参加して -

西向井 忠彦

(株) 日立製作所中央研究所

東京都国分寺市東恋ヶ窪 1-280

あらまし

Hot Chips IV は毎年開かれている先端 VLSI プロセッサの学会である。発表件数は 23 件、ほかにパネル 1 件と小規模なものであるが参加人員はシリコンバレーに近いこともあり 1000 名と盛況であった。今回の目玉はインテルの P5 (486 の後継) とパネル討論の高速 DRAM (インタフェース) の 2 つである。そのほかでは、低消費電力、低価格プロセッサ、ASIC コア、周辺 LSI 等の発表にも特徴がある。本学会は最新のチップを総合的に見ることができる点では効率の良い会議といえる。

和文キーワード VLSI プロセッサ、ASIC コア、周辺 LSI、高速 DRAM

Hot Chips IV

- A symposium on High Performance Chips

Tadahiko Nishimukai

Central Research Laboratory, Hitachi Ltd.

1-280 Higashi-Koigakubo
Kokubunji-shi, Tokyo

Abstract

Hot Chips IV is a symposium on advanced VLSI processor chips. It covers from low cost, low power processors including ASIC cores to high end processors and system peripherals. Topics of this year's Hot Chips are the P5, which is an Intel's next generation microprocessor, and discussions on high speed DRAM choices for the 90'.

英文 key words VLSI processor, ASIC cores, system peripherals, high speed DRAM

発表の概要

Hot Chips IVは最新のプロセッサが発表される会議として最近注目されている。今回で4回目の比較的若い会議である。会議はシングルセッション形式で行われ23件の発表が2日にわたって行われた。参加者は約1000人、ちなみに会議の最後に参加者の企業別、大学別上位が発表になったがそれによるとSun146人、インテル116人、HP59人、スタンフォード大31人の順になっている。今回の会議の目玉は第1日目の夕方に行われた(Evening Panel Session)高速メモリ(DRAM Choices for the 90's: 1Gigabytes/second or Burst)のパネル討論と2日目に発表のあったインテル社の最新のマイクロプロセッサP5関連の2件である。その他の発表にはDEC社のAlpha、HP社のPA-RISC及び最近話題を浴びてきたARM600(Advanced RISC Machines Ltd.)やHobbit(AT&T Bell Labs)があり、またASICコア、周辺LSI等の発表にも特徴があった。本学会の特徴は研究発表というよりはチップの紹介が主である。反面、最新のチップを総合的に見る点では効率の良い会議といえる。

高速DRAMのパネル討論ではRambus、Ramlink、キャッシュDRAM、シンクロナスDRAMのそれぞれの立場から発言があった。パネリストはRambus、RamlinkのグループとキャッシュDRAM、シンクロナスDRAMのグループに分かれた。まずはインタフェース互換が容易なキャッシュDRAM、シンクロナスDRAMから始まり、Rambus、Ramlinkへの移行についてはもうしばらく時間がかかるとの認識であった。それぞれの面積ペナルティは4MDRAMでは1番大きいもので14%とまだ大きい。16MDRAMのころ5%以内と予想しておりユーザからの反応も5%以内とのことである。高速化のポイントはDRAM内部のブロックサイズを大きくできることでありこの点が外付けキャッシュに比べ効果的な点であると考えている。SPECベンチマークで比較してみても若干上になる。ディスクションではスループットについての質問よりもアクセス(特にランダムアクセス性能)の改善について集中していた。なおRamlinkはIEEEに検討グループがあり権利等の問題がないことを強調していた。

インテルの次期マイクロプロセッサP5の整数ユニットは2本のパイプラインを使ったスーパーパス構造を採用している。パイプライン段数は5段で、2段目のデコードステージで並列実行可能か否かを判定し2本のPipeに分けている。データキャッシュもそれに応じてDual-Accessが可能になっている。分岐に対してはターゲットバッファを持ち予測正解の場合遅延を生じない。FPUでは8段のパイプラインを使用、Intel486(33MHz)に対し4~10倍の性能を出している。加減算、乗算の実行時間は3クロック、パイプラインにより1クロック毎に結果が出力される。演算にあたってはレジスタスタックを持ちスタックトップをアキュムレータとして使っている。

以上2件の話題について簡単にまとめたが研究会では以上のほかいくつかのトピックスについて報告する。