

## 周波数差検出器を用いた新方式高速引き込みPLL

白濱 弘幸 谷口 研二 中司 賢一

九州大学工学部 電気工学科

812 福岡市東区箱崎六丁目10番1号 九州大学工学部電気工学科

あらまし

本研究では、周波数差検出器(FDD)を用いた新方式高速引き込みPLLを提案する。このFDDは、NRZ入力信号とVCO出力信号の位相差を計測し両信号間の周波数差を検出するものである。本PLLは、FDD出力信号によりロウパスフィルタの容量を充電し周波数同期を行った後、通常のPLL動作により位相同期を行う。シミュレーション及び実験により、本PLLの引き込み時間は従来のPLLの1/10以下に短縮できることを確認した。さらに、サイクルスリップを抑制する効果があることがわかった。

和文キーワード PLL、高速引き込み、周波数差検出器、NRZ、タイミング再生

## A New Fast Pull-In PLL Using Frequency-Difference-Detector

Hiroyuki SHIRAHAMA, Kenji TANIGUCHI, Kenichi NAKASHI

Department of Electrical Engineering, Faculty of Engineering, Kyushu University

6-10-1 Hakozaki, Higashiku, Fukuoka 812, Japan

Department of Electrical Engineering, Faculty of Engineering, Kyushu University

Abstract

We propose a new fast pull-in PLL with Frequency-Difference-Detector(FDD). This FDD can detect the frequency difference between Non-Return-to-Zero(NRZ) input signal and VCO signal by measuring the phase difference of the two signals. The PLL performs the frequency-synchronization at first step by charging the low pass filter(LPF) capacitance with the FDD output signal and then the phase-synchronization by the conventional PLL operation. We confirmed by simulation and experiment that pull-in time of the PLL was reduced to less than 1/10 of that of conventional PLL at high damping constant condition. It was also found that the PLL suppressed cycle-slip.

英文 key words PLL, fast pull-in, Frequency-Difference-Detector, Non-Return-to-Zero, retiming

## 1. まえがき

光通信等においてタイミング抽出素子として用いられるPLL(Phase Locked Loop)では、非同期状態からの高速引き込みと、引き込み後の安定動作が求められる。

PLLは、入出力信号間の位相差を位相比較器(PC)で比較し、この出力信号に応じた制御信号によって電圧制御発振器(VCO)の出力信号を制御する位相または周波数帰還回路であり、通常のPLLの出力信号特性はPC出力信号の高周波成分を取り除くローパスフィルタ(LPF)のフィルタ特性、PLLのループ利得によって決定される。

通常のPLLでは、安定(低ジッタ)な出力特性を持たせるためダンピング定数を大きな値に設定するが、これにとまぬPLLの引き込み時間は増加するため、安定かつ高速引き込みのPLLを実現することは困難であった。この問題を解決するため、引き込み時と定常時のフィルタ構成を切り換えるPLL[1]、位相比較器と周波数比較器を併用したPLL[2]、サイクルスリップ情報によってVCOの自走周波数を制御するPLL[3]などが提案されている。

ここで提案するPLLでは、位相比較形の周波数差検出回路を設け、この出力信号によりVCOの実効自走周波数を制御することによって大幅な高速引き込み化を図った。すなわち、引き込みの初期において入力信号とPLLの出力信号の周波数の差を周波数差検出回路により検出し、この出力信号に応じてLPFの容量を充電し、VCOの実効自走周波数を入力信号のクロック周波数にほぼ等しく設定して周波数同期を行い、その後、通常のPLL動作によって位相引き込みを行うようにした。

以下、本報告では提案した位相比較型周波数差検出器とPLLの基本特性をシミュレーションおよび実験によって評価した結果について述べる。

## 2. 動作原理

### 2.1 PLLの周波数引き込み特性

ここでは、一般的なPLLの引き込み時間 $T_F$ とダンピング定数 $\zeta$ の関係について述べる。

図1はシーケンシャルロジック形位相比較器(PC)、平滑フィルタ(SF)、およびチャージポンプ(CP)を持つPLLのブロック図である。このPLLは完全積分型のローパスフィルタ(LPF)を持ちPLLであり、PLLの動作特性は近似的に式(1)の微分方程式によって記述することができる。

$$\frac{d^2\phi}{dt^2} + 2\zeta\omega_n \frac{d\phi}{dt} + \omega_n^2\phi = 0 \quad (1)$$

ここに

$$\begin{aligned} \phi &= \theta_{in} - \theta_o \\ \zeta &= \frac{\sqrt{K}/2}{\omega_n} \\ \omega_n &= \sqrt{K}\tau \end{aligned}$$

$$K = K_d K_o R_F, \quad \tau = C_F R_F$$

$K_d$ : PCあるいは平滑フィルタの利得

$K_o$ : VCOの利得

である。

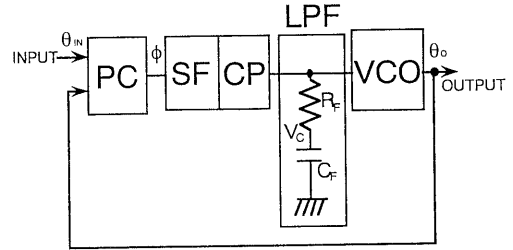


図1 シーケンシャルロジック型位相比較器およびチャージポンプを持つPLLのブロック図

この微分方程式を初期位相差 $\phi(0)$ 、LPF電圧の最終値 $V(\infty) = \Delta\omega/K_o$  ( $\Delta\omega$ : 入力信号のクロック角周波数と出力信号角周波数の角周波数差)の下で解くと

$$\begin{aligned} \phi(t) &= C_1 \exp\{-\zeta + \sqrt{\zeta^2 - 1}\omega_n t\} \\ &+ C_2 \exp\{-\zeta - \sqrt{\zeta^2 - 1}\omega_n t\} \quad (2) \end{aligned}$$

ここに

$$C_1 = \frac{\Delta\omega}{2\omega_n \sqrt{\zeta^2 - 1}} + \frac{\phi(0)}{2\{(\zeta^2 - 1) + \zeta \sqrt{\zeta^2 - 1}\}}$$

$$C_2 = \frac{-\Delta\omega}{2\omega_n \sqrt{\zeta^2 - 1}} + \frac{\phi(0)}{2\{(\zeta^2 - 1) - \zeta \sqrt{\zeta^2 - 1}\}}$$

となる。ここで、一般的にタイミング抽出用PLLでは $\zeta \gg 1$ であるので、引き込み完了時のPLLの動作は近似的に式(2)の右辺第一項のみによって記述できる。すなわち

$$\phi(t) = C_1' \exp\left(-\frac{\omega_n t}{2\zeta}\right) \quad (3)$$

ここに

$$C_1' = \frac{\Delta\omega}{2\zeta\omega_n} + \frac{\phi(0)}{4\zeta^2}$$

となる。但し、 $(\zeta + \sqrt{\zeta^2 - 1})\omega_n t \gg 1$ と仮定した。さらに、簡単のため $\phi(0) = 0$ を仮定してPLLの引き込み時間 $T_F$ を求めると、式(3)より

$$T_F = \frac{2\zeta}{\omega_n} \log\left(\frac{\Delta\omega}{2\zeta\omega_n \phi_e}\right) \quad (4)$$

となる。但し、 $T_F$ をPLLの位相差の絶対値 $|\phi(t)|$ が許容位相差 $\phi_e$ 内に収束するのに要する時間と定義する。式(4)より、 $\Delta\omega > 2\zeta\omega_n\phi_e$ であると $T_F$ は $\zeta$ の増大にともない増加することが明らかである。 $\Delta\omega/\omega_0=2\%$ 程度であれば、一般的なタイミング抽出用PLLではこの条件が満たされている。従って、PLLを安定に動作させるために $\zeta$ を大きくすると引き込み時間は $\zeta$ に比例して増加するため、従来のPLLでは安定動作と高速引き込み特性とを両立させることができない。

## 2. 2 周波数差検出器を用いたPLLの引き込み特性

### 2.2.1 位相引き込み特性

図2に周波数差検出器(FDD)を用いたPLLのブロック図を示す。このPLLはFDDによって入力信号のクロック周波数とVCO出力信号の周波数の差を検出し、この出力信号によってVCOの実効自走周波数を入力信号のクロック周波数にほぼ等しく設定した後(すなわち周波数引き込み完了後)に、通常のPLL動作によって入出力信号間の引き込み(位相引き込み)を行う。

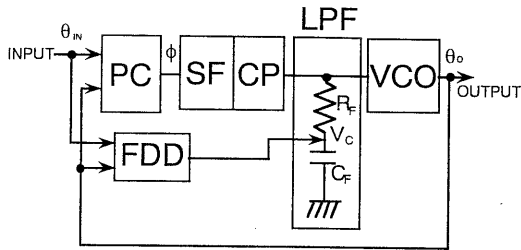


図2 周波数差検出器を持つPLL

以下にこのPLLの引き込み時間 $T_{FP}$ を求める。PLLは周波数引き込みをFDDによって行うので、引き込み完了時のPLLの動作は式(3)において $\Delta\omega=0$ と似たものとなる。すなわち

$$T_{FP} = \frac{2\zeta}{\omega_n} \log \left( \frac{\phi(0)}{4\zeta^2|\phi_e|} \right) \quad (5)$$

となる。ここで、最大初期位相差 $\phi(0) = \pi$  [rad]における引き込み時間 $T_{FP}$ は

$$T_{FP} = -66 [\mu s] < 0 \quad (6)$$

となり、PLLは引き込み開始直後に引き込みを完了しており、引き込み時間は零である。但し、タイミング抽出用に実際に用いられているPLLのループ定数 $\zeta=5$ 、 $\omega_n=210$  [krad/s]、 $\phi_e=0.02\pi$  [rad]を用いた。以上

のように、FDDを用いたPLLは入出力信号間の初期位相差に関わらず瞬時に引き込みを完了する。

### 2.2.2 周波数引き込み特性

前述したように、FDDを用いたPLLは引き込み時間を零にすることが可能である。しかしながら、実際のPLLにおいては、FDDの出力信号誤差等により、VCO出力信号の周波数と入力信号の周波数差を零にすることができず、入出力信号は若干の周波数差をもつ。このようなPLLの引き込み完了時の動作は、式(3)において $\Delta\omega = \Delta\omega_{\text{eff}}$  ( $\Delta\omega_{\text{eff}}$ : VCO周波数設定後の入出力信号間の周波数差)とおいたものとなり、引き込み時間 $T_{\text{Ref}}^{\text{eff}}$ は

$$T_{\text{Ref}}^{\text{eff}} = \frac{2\zeta}{\omega_n} \log \left( \frac{\Delta\omega_{\text{eff}}}{2\zeta\omega_n|\phi_e|} \right) \quad (7)$$

となり、このPLLが瞬時に引き込みを完了できる周波数設定誤差(許容周波数設定誤差) $\Delta\omega_{\text{mar}}$ は

$$\Delta\omega_{\text{mar}} < 2\zeta\omega_n|\phi_e| \quad (8)$$

となる。但し、式(3)において $C_1'$ の右辺第2項を無視した。式(8)より、許容周波数設定誤差 $\Delta\omega_{\text{mar}}$ は $\zeta$ に比例することがわかる。従って、FDDを用いたPLLでは、PLLの動作の安定化を図るために $\zeta$ を大きくすると、許容周波数設定誤差 $\Delta\omega_{\text{mar}}$ が $\zeta$ に比例して拡大するため、VCOの実効自走周波数の設定がより容易になり、安定で高速引き込みを行うPLLを実現できることがわかる。

## 3 位相比較形周波数差検出回路(FDD)

### 3.1 回路構成および動作原理

位相比較形周波数差検出器(FDD)のブロック図を図3に、タイミング図を図4に示す。

図3に示すように本FDDは位相比較器と周波数差発生器に大別される。

位相比較器は4つのフリップフロップ(FF1, FF2, FF3, FF4)と2つのOR回路(OR1, OR2)から成る。FF1, FF2はディレイフリップフロップ(D-FF)であり入力信号の位相がVCO出力信号より遅れている時に、入力信号の立ち上がりあるいは立ち下がりエッジに同期した信号を出力する。FF3, FF4もD-FFであり入力信号の位相がVCOの出力信号より進んでいる時に、入力信号の立ち上がりあるいは立ち下がりエッジに同期した信号を出力する。OR1はFF1, FF2の論理和信号を出力する回路であり、OR2はFF3, FF4の論理和信号を出力する回路である。従って、位相比較器の出力であるOR1およびOR2は入力信号の立ち上がりあるいは立ち下がりエッジ毎に、入出力信号の位相差を検出し、入力信号位相が出力信号位相より遅れていればOR1に、進んでいればOR2にパルス信号を出力する。

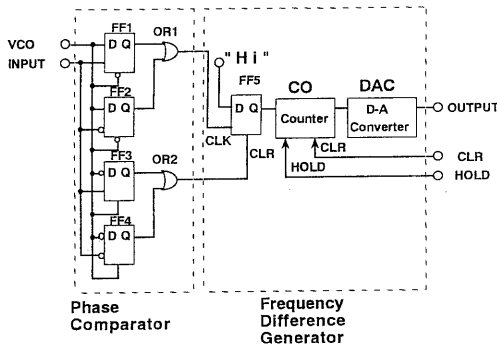


図3 位相比較形周波数差検出器

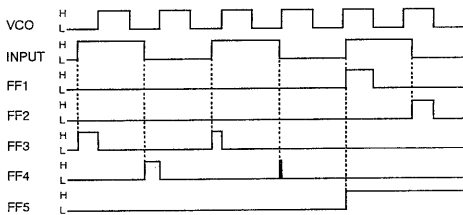


図4 位相比較形周波数差検出器のタイミング図

周波数差発生器は1つのフリップフロップ(FF5)、カウンタ(CO)、D-A変換器(DAC)から成る。FF5はCLK入力をOR1の出力信号、CLR入力をOR2の出力信号とするD-F Fである。この出力信号は図4のように入力信号位相が出力信号位相より遅れているときには"Hi"レベルの信号を、入力信号位相が出力信号位相より進んでいるときには"Low"レベルの信号を出力する回路である。COはHOLDおよびCLR入力付きのカウンタであり、FF5の出力パルス数を計数する。前述のように、FF5は入出力信号の位相関係(進み、遅れ)が変化すると出力信号を反転させる。すなわち、入出力信号の位相差が $\pm\pi$ だけ変化すると1つのパルス信号を出力する。従って、COの出力信号 $N_{CO}$ と入力信号のクロック周波数とVCO出力信号周波数の差 $\Delta f$ の間には以下の関係が成り立つ。

$$|\Delta f| = N_{CO} / \Delta t \quad (9)$$

ここで、 $\Delta t$ はサンプリング時間である。DACはCOの出力信号を入力とするD-A変換器であり、デジタルの周波数差検出信号をLPFの容量を充電するのに適したアナログ信号に変換する。この出力信号 $V_{DA}$  [V] は以下のように与えられる。

$$V_{DA} = K_{DA} N_{CO} = K_{DA} \Delta t |\Delta f| \quad (10)$$

但し、 $K_{DA}$ はDACの利得 [V/COUNT] である。ここで、DACの利得 $K_{DA}$ を

$$K_{DA} = 2\pi / K_0 \Delta t \quad (11)$$

に従って設定しておく、LPFの容量の初期電圧 $V_C(0)$ およびPLLの実効自走周波数の変化分 $\Delta\omega_{VAR}$ は、

$$V_C(0) = V_{DA} = 2\pi |\Delta f| / K_0 \quad (12)$$

$$\Delta\omega_{VAR} = 2\pi |\Delta f| = |\Delta\omega| \quad (13)$$

となる。このように、本FDDの出力は入出力信号間の周波数差に比例するので、この出力信号を用いてVCOの実効自走周波数を入力信号周波数に等しく設定することができる。なお、本FDDでは入出力信号間の周波数差の絶対値しか検出しないので、一般的には周波数差の正負関係を検出する周波数符号検出器を併用する等の工夫が必要である。

### 3.2 周波数差検出器の周波数検出特性

#### 3.2.1 本FDDの最小周波数差検出能力

前項で述べたように、FDDはFF5によって入出力信号間の位相差を $\pi$ 単位で計測し、周波数差を求めためその最小周波数差検出能力 $\Delta f_{abi}$ は有限となり、その値は、

$$\Delta f_{abi} = 1 / \Delta t \quad (14)$$

となる。従って、本FDDの最小周波数差検出能力はサンプリング時間 $\Delta t$ のみによって定まる。

また、本FDDはデジタル的に入出力信号の周波数差を検出しているため、出力信号は最小周波数差検出能力に等しい量子化誤差を伴う。

#### 3.2.2 周波数差検出範囲

図3に示したFDDは入力信号の立ち上がりエッジあるいは立ち下がりエッジで動作するので、VCO出力周波数と入力信号の周波数の比がほぼ $2n:1$  ( $n>1$ )の時に正確な動作を行う。ところが、両信号の周波数の比が $2n:1$ より相当ずれているとき、入力信号の立ち上がりエッジと立ち下がりエッジの間で入力信号(クロック成分)とVCO出力信号の位相進み、遅れ関係が変化し、本FDDではこのような位相変化を検出することができず、入出力信号の周波数差を正確に検出できなくなる。図5はVCO出力信号周波数と入力信号周波数の比がほぼ $4:1$  ( $n=2$ )の場合の入力のクロック信号とVCO出力信号の位相関係について示したものである。この図より、入力信号と出力信号の周期が以下に示す式(15)の関係にあるとき、入力信号の立ち上がりエッジと立ち下がりエッジの間に入力信号とVCO出力信号の位相関係が変化せず、本FDDは正常な動作を行なうことがわかる。

$$\frac{(2n-1)T_{VCO}}{2} < \frac{T_{INP}}{2} < \frac{(2n+1)T_{VCO}}{2} \quad (15)$$

ここに、 $T_{VCO}$ および $T_{INP}$ はVCO出力信号の周期、入力信号の周期である。

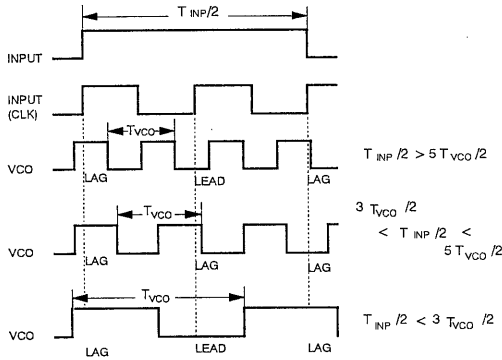


図5 周波数差検出器と入出力信号周波数との関係 ( $n=2$ の場合)

式(15)より本FDDの周波数差検出範囲 $\Delta f (=2n f_{in} - f_{vco})$ は

$$\frac{-1}{2n+1} < \frac{\Delta f}{f_{vco}} < \frac{1}{2n-1} \quad (16)$$

で制限され、本FDDの相対的な周波数差検出範囲は入力信号周波数と出力信号周波数の比にのみ依存する。式(16)より、RZ符号( $n=2$ )および10bitランダム入力信号( $n=10$ )について、周波数差検出範囲を算出すると、それぞれ-20%から33%、-4.5%から5.5%となる。

#### 4. 評価結果

##### 4.1 周波数差検出器 (FDD)

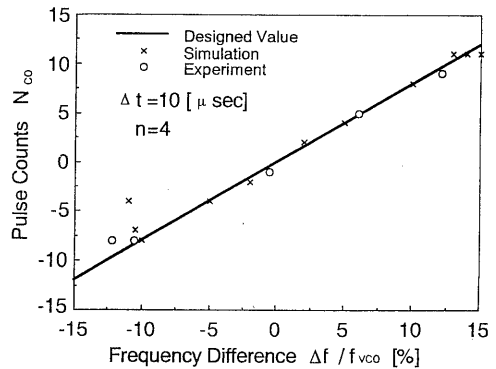
ここでは、FDDの周波数差検出特性および周波数差検出範囲を実験およびシミュレーションによって求めた結果について述べる。実験およびシミュレーションは表1に示した条件の下で行った。

図6に周波数差検出特性の評価結果を示す。同図(a)に示すように、実験結果とシミュレーション結果はほぼ一致する。すなわちVCO出力信号周波数と入力信号周波数との比がほぼ4:1のとき本FDDの出力は周波数差が約-10[%]から10[%]の範囲で入出力信号の周波数差に比例しており、本FDDは設計通り動作していることが確認できた。また、同図(b)に示すように、入力信号が10bitランダムパタン( $n=1$ )の場合には、本FDDの出力は周波数差が-8[%]から10[%]の範囲で入出力信号の周波数差に比例しており、 $n=10$ の周期的な入力信号より周波数差検出範囲が拡大することも確認で

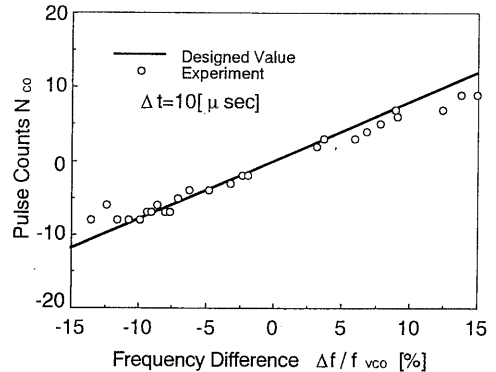
きた。

表1 実験およびシミュレーション条件

	シミュレーション	実験
FDDの構成	2 $\mu$ m系トランジスタを用いたECL論理回路	ECL-IC (10Kシリーズ)
遅延時間	2.5[ns]	4[ns]
VCO周波数	8, 50[MHz]	8[MHz]
サンプルリソク時間	160[VCO period]	160[VCO period]



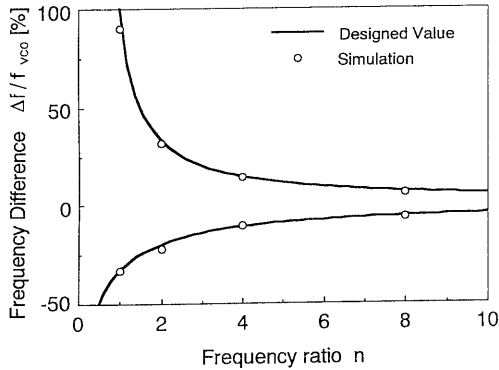
(a) 周期的入力信号 ( $n=4$ の場合)



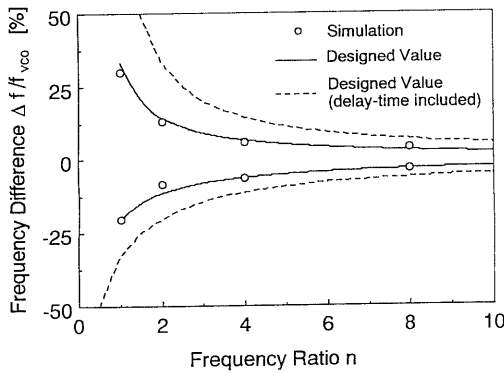
(b) ランダムパタン入力信号 ( $n=10$ )

図6 周波数差検出特性(但し、周波数差の正負の関係は別の回路を用いて計測した。)

図7に本FDDの周波数差検出範囲と入力信号周波数についての評価結果を示す。同図(a)は出力信号周波数 $f_{vco}=8$ [MHz]、同図(b)は出力信号周波数 $f_{vco}=50$ [MHz]である。



(a)  $f_{vco} = 8$  [MHz]



(b)  $f_{vco} = 50$  [MHz]

図7 最大周波数検出特性

$f_{vco}=8$ [MHz]の場合には、周波数差検出範囲と入力信号周波数との関係は式(16)でほぼ表すことができるが、 $f_{vco}=50$ [MHz]の場合には、周波数差検出範囲と入力信号周波数との関係は式(16)で表すことができない。これは、論理回路の遅延時間が入力信号周波数に対して無視できなくなったためである。ここで、論理回路の遅延時間  $t_d$  を考慮すると、式(15)は式(17)のように書きかえられる。

$$\frac{(2n-1)T_{vco}}{2} + 2t_d < \frac{T_{INP}}{2} < \frac{(2n+1)T_{vco}}{2} - 2t_d \quad (17)$$

式(15)より周波数差検出範囲  $\Delta f$  を求めると、

$$\frac{-1+D}{2n+1-D} < \frac{\Delta f}{f_{vco}} < \frac{-1-D}{2n-1+D} \quad (18)$$

となる。但し、 $D=4t_d/f_{vco}$  である。この関係は図7(b)に実線で示されているものであ

り、シミュレーション結果と非常に良い一致を示すことがわかった。

従って、RZ入力信号( $n=2$ )において遅延時間による周波数差検出範囲の縮小を10%以下に抑えるためには、 $D < 0.08$ に設定することが必要である。

#### 4.2 引き込み特性

ここでは、実験とシミュレーションによってFDDを用いたPLLの引き込み時間 $T_{eff}$ とFDDの出力信号誤差 $\Delta V_{FDD}$ とダンピング定数 $\zeta$ との関係を評価する。なお、実験およびシミュレーションは表2に示した条件の下で行った。

表2 実験およびシミュレーション条件

$K_d$	$1/2\pi$ [mA/rad]	本来の自走周波数	$f_{vco}=32.00$ [MHz]
$K_o$	4.5 [MHz/V]	入力信号のクロック周波数	$f_{in}=32.64$ [MHz]
$\omega_n$	210 [krad/s]		
$\zeta$	4.3, 9.1, 13, 26	$n$	1
引き込み判断基準		$\phi_c=7.2$ [deg.]	

図8はFDDの出力信号誤差 $\Delta V_{FDD}$ と引き込み時間 $T_{eff}$ の評価結果である。

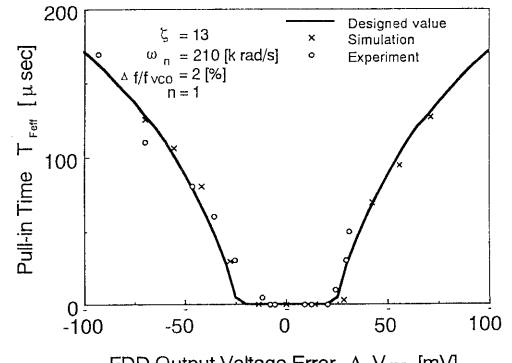


図8 引き込み時間 $T_{eff}$ のFDDの出力信号誤差 $\Delta V_{FDD}$ 依存特性 ( $\Delta \omega_{eff} = K_o \Delta V_{FDD}$ )

このように、実験とシミュレーションによって求めた引き込み時間は式(9)から求めた引き込み時間の値とほぼ一致しており、本PLLの引き込み時間はFDDの出力信号誤差を一定値以下に抑えたと、零にすることが可能であることを確認できた。

図9は本PLLの引き込み時間が零であるFDDの出力信号電圧の範囲(FDDマージン) $\Delta V_{mar}$ のダンピング定数 $\zeta$ に対する依存性の評価結果を示す。

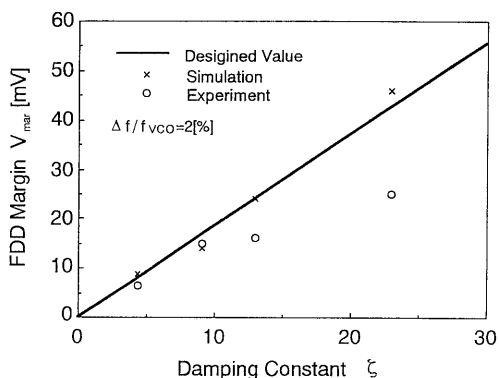


図9 (FDDマージン)  $\Delta V_{mar}$ のダンピング定数に依存特性

図9に示すように、実験およびシミュレーション結果よりFDDマージンはダンピング定数の増加に対して増加することが確認できた。また、本実験またはシミュレーションで用いたPLLのFDDマージンは $\pm 12$ の場合 $\pm 25$ [mV]であり、この範囲でLPFの容量電圧の初期値 $V_c(0)$ を制御することは比較的容易である。

#### 4.3 総合特性

ここでは、実験とシミュレーションによってFDDを用いたPLLの過渡特性についての評価結果を示す。なお、実験およびシミュレーションは表3に示した条件の下で行った。

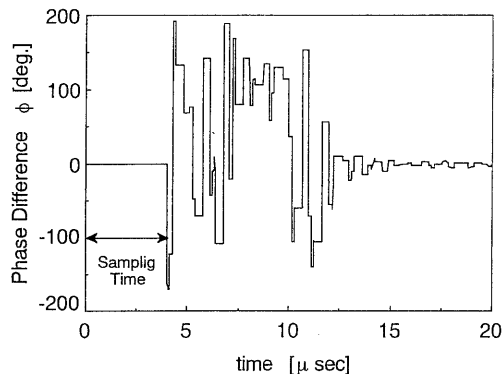
表3 実験およびシミュレーション条件<sup>注1)</sup>

入力信号周波数 (ロック周波数)	$\Delta f/f_0 = 2$ [%] (シミュレーション) $\Delta f/f_0 = -2$ [%] (実験)
入力信号パタン	1111000011001010 (シミュレーション) 1010101010101010 (n=1) (実験)
VCO自走周波数	32[MHz]
ダンピング定数	23
サンプルリング時間	4[ $\mu$ s] (128 [VCO period]) (シミュレーション) 8[ $\mu$ s] (256 [VCO period]) (実験)
チャージアップ時間 <sup>注2)</sup>	1[ $\mu$ s] (シミュレーション) 10[ $\mu$ s] (実験)

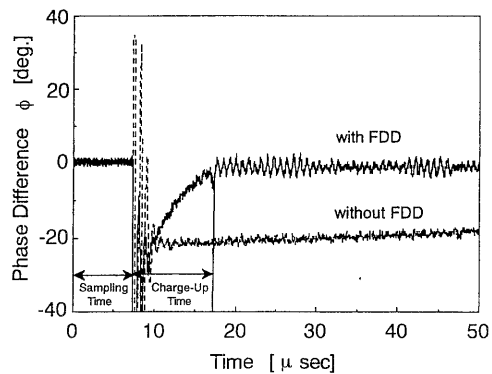
注1) その他の条件は表2と同じ

注2) チャージアップ時間  $t_c$  はLPFの容量を充電する時間

図10に示すように、本PLLは周期的入力信号(n=1)ではLPFの容量の電圧を設定を終了した直後に、ランダム入力信号ではLPFの容量の電圧を設定終了後10[ $\mu$ s]経過した後引き込み完了し、従来のPLLの引き込み時間の約1/10の以下に短縮できることを確認した。また、ここでは示していないがサイクルスリップを抑制する効果も確認できた。以上のことより本PLLは設計当初予想した高速引き込み特性を有することが明らかとなった。



a) PLLの引き込み特性 (シミュレーション)



b) PLLの引き込み特性 (実験)

図10 FDDを用いたPLLの総合特性

最後に中高周波領域で実際に使用されているPLLのループ定数を用いて本PLLの引き込み時間 $T_{Fetf}$ を見積もったものを表4に示す。但し、引き込み時間 $T_{Fetf}$ は最低サンプリング時間 $\Delta t_{min}$ <sup>注3)</sup>とチャージアップ時間 $t_c (= 1 [\mu s])$ の和とした。

表4に示すように周波数が高いほど、本PLLの引き込み時間 $T_{Fetf}$ は短くなることわかる。

注3) 最低サンプルリング時間  $\Delta t_{min} : \Delta t_{min} = 2\pi / (2\zeta \phi_e \omega_n)$

表4 中高周波数領域におけるPLLのループ定数  
および引き込み時間

$f_{vco}=64[\text{MHz}]$	$f_{vco}=128[\text{MHz}]$
$K_o=6.4[\text{MHz/V}]$ ( $0.1 f_{vco}[\text{MHz/V}]$ )	$K_o=13[\text{MHz/V}]$ ( $0.1 f_{vco}[\text{MHz/V}]$ )
$\omega_n=4.0[\text{Mrad/s}]$ ( $0.01 f_{vco}[\text{Mrad/s}]$ )	$\omega_n=8.0[\text{Mrad/s}]$ ( $0.01 f_{vco}[\text{Mrad/s}]$ )
$\zeta=20$	$\zeta=20$
$\phi_e=0.01\pi [\text{rad}]$	$\phi_e=0.01\pi [\text{rad}]$
$T_{\text{eff}}=2.4 [\mu\text{s}]$	$T_{\text{eff}}=1.7 [\mu\text{s}]$

## 5. むすび

ランダムパターン入力信号のクロック周波数とVCO出力信号の周波数差を検出することが可能な周波数差検出器と、この出力信号を用いてVCOの実効自走周波数を制御することにより大幅な高速同期を可能にした新しいPLLを提案した。実験およびシミュレーションにより周波数差検出器の周波数差検出範囲を調べた結果、周波数差検出回路内の論理回路の遅延時間が無視できる動作領域では、RZ入力信号に対しては-20[%]から+32[%]、 $n=9$ の周期的入力信号に対して約±5[%]の範囲で周波数差を正確に検出できることを確認した。本PLLでは周波数差検出器の許容電圧は $\zeta$ が増加するにつれて拡大し、ダンピング定数の非常に大きな( $\zeta=23$ )PLLにおいてランダムパターン入力信号( $n=16$ )では引き込み時間を $20 [\mu\text{s}]$ 以下に、周期的入力信号( $n=1$ )では引き込み時間を $5[\mu\text{s}]$ 以下に短縮できたことから、 $\zeta$ を非常に大きく設計して従属接続したPLLを安定に動作させることが可能と考えられる。さらに、サイクルスリップを抑制することが可能であることも確認した。また、本報告では触れなかったが周波数差検出器を利用して、PLLの同期/同期外れ状態を検出して自動的にトリガ信号を発生するPLLや回路規模縮小のために位相比較器と周波数差検出器を共用したPLLを実現することも可能である。

## 参考文献

- [1] 佐藤秀夫、加藤和男、佐瀬隆志、生島一郎、児島伸一：“2モード動作の高速引き込みPLL IC”，信学論（B），J-74-B-I，10，pp.817-825（1991-10）
- [2] Kurt M. Ware：“A 200MHz CMOS Phase-Locked-Loop with dual phase detectors”，IEEE J.Solid State Circuit，VOL.24，No.6，DEC.1989
- [3] 浅田勝彦：“スイッチドキャパシタを用いた高速引き込みPLL”信学論（B），J-71-B，12，pp.1692-1699（1988-12）