

〔特別招待論文〕

## マイクロプロセッサの現状と今後の動向

町田 俊明

日本電気株式会社 ULSIシステム開発研究所

神奈川県川崎市中原区下沼部 1753

あらまし マイクロプロセッサは、RISCアーキテクチャにより飛躍的な性能向上を見せた。この一方で、消費電力を低減させながら性能の向上を図るマイクロプロセッサが登場し、性能を重視するものと消費電力を重視するものと2極分化の傾向が明らかになってきた。これらを支えるために、アーキテクチャの改良、低電圧化、信号の小振幅化といった技術開発が進められている。これからのマイクロプロセッサの開発には従来以上に設計上流の機能検証の確度を向上させることが重要であり、そのためのCAD技術の改良が必要である。今後も性能向上のための努力は続けられて行くが、アーキテクチャと回路技術とCAD技術が成功の鍵となる。

和文キーワード マイクロプロセッサ RISC アーキテクチャ 低消費電力 回路技術 CAD

## The Current Status and Future Trends of Microprocessors

Toshiaki MACHIDA

NEC Corporation  
ULSI Systems Development Labs.

1753, Shimonumabe, Nakahara-ku, Kawasaki  
211 Kanagawa, JAPAN

Abstract

Microprocessors have made rapid progress of their performance by employing RISC architecture, although reinforcement of conventional architecture for reducing power consumption is a trend of microprocessors on one hand. Two separate concerns such as high performance and low power consumption have become clear in the progress of microprocessors trends. There have been several approaches such as architecture improvement, lowering power supply voltage and narrowing signal amplitude. It is also important to carry out a reliable function verification at the beginning of microprocessor development and CAD technique and its improvements for that purposes.

英文 key words

Microprocessor RISC Architecture Low power Circuit design CAD

### 1. はじめに

近年のマイクロプロセッサの性能向上のペースは急になり、単一プロセッサで100MIPS以上の性能をもつULSIが登場し、1000MIPSのプロセッサを目指す研究も紹介されるようになり[1]、1000MIPSのプロセッサも明確に開発の射程距離に入ってきた。これにより、今後ますます高性能なEWSの登場が期待できるようになってきた。

一方、情報処理装置の小型化、ポータブル化が進み、OAに続くPA(Personal Automation)として個人レベルでの情報処理や、情報処理装置の家電化としての情報家電といった製品の開発が行なわれ、これに対応するための低価格、低消費電力のプロセッサの開発が進んでいる。

このように新たな製品分野への対応を進めているマイクロプロセッサの開発の現状とそれを支える技術を紹介し、今後の動向や技術的課題について展望していく。

### 2. 最近のマイクロプロセッサ

これまで発表されたマイクロプロセッサを年代順に示すと図1のようになる。これを見ると最近のマイクロプロセッサの開発傾向が明確に現われている。50MIPS以上を目指す性能重視型のマイクロプロセッサと、10~20MIPSの中程度性能を持つマイクロプロセッサとの2極分化である。これは、消費電力と性能の関係で見るとより意味が明らかになる。図2に示すように、消費電力を大きくして性能を徹底的に追求するマイクロプロセッサと消費電力を少なくしてその中でできるだけ性能を向上していくマイクロプロセッサの姿である。

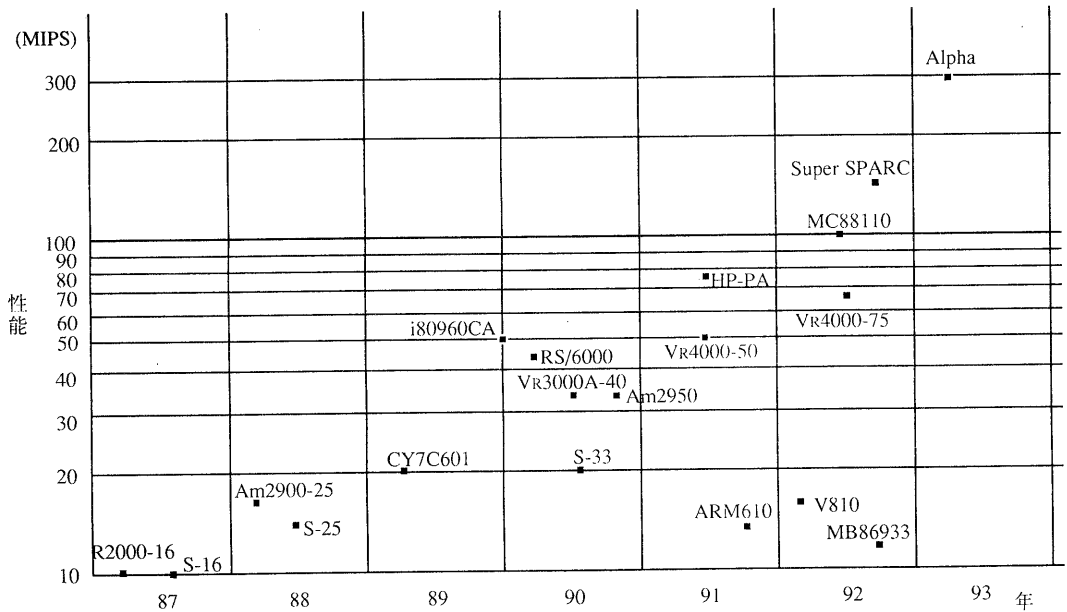


図1 マイクロプロセッサの発展

### 3. 高速化高性能化を支える技術

マイクロプロセッサの動作スピード、処理性能はすでにみたように急速に向上してきた。このような発展をもたらす技術についてみていく。

#### 3. 1. アーキテクチャ

アーキテクチャとしてまず論ずるべきは、CISC(Complex Instruction Set Computer)とRISC(Reduced Instruction Set Computer)であろう。マイクロプロセッサの設計者はユーザー

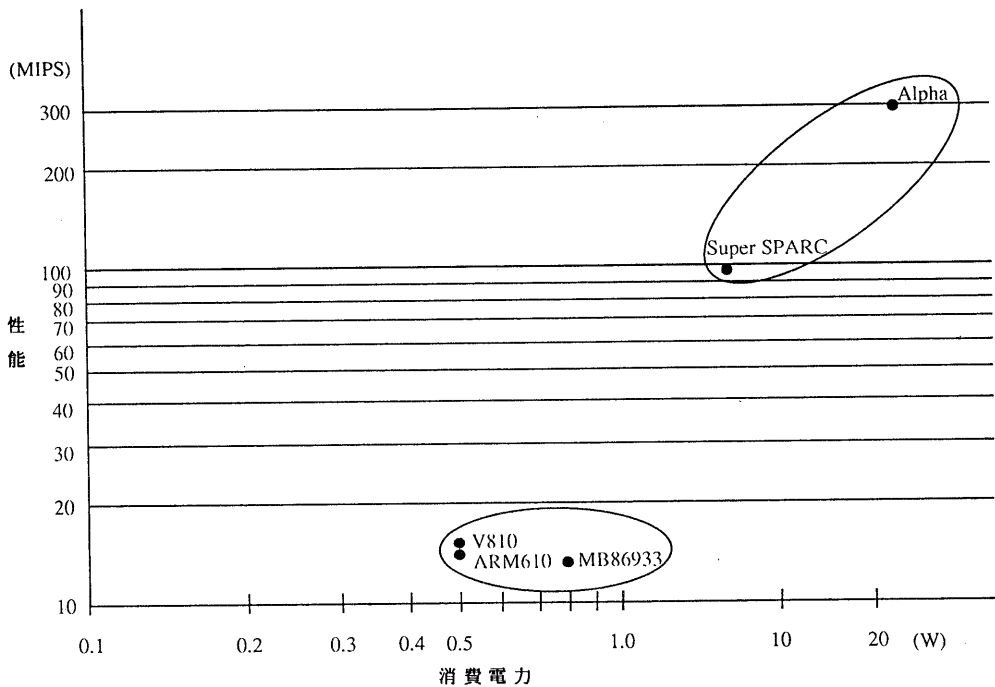


図2 最近のマイクロプロセッサの消費電力と性能

であるソフトウェア・プログラマの要求を満たすため、1つの命令で各種の処理を行なう複雑な命令セットを持ったマイクロプロセッサの開発に注力してきた。このような状況の中で、1980年にRISCの考え方がまとめられたが〔2〕、ここではRISCの特徴として

- ① 命令が少なく、ハードウェアが少ないのでチップサイズを小さくできる。
- ② 命令が少なく、かつシンプルなので設計検証の時間が短くて済むので開発期間が短い。
- ③ ハードウェアが少なくシンプルなので、ゲート遅延の少ない設計をすることができて高速動作ができる。

ということがあげられている。その後、マイクロプロセッサの最高性能の向上がRISCプロセッサにより行なわれてきた事実がこのアーキテクチャの優位性を示している。

次に、アーキテクチャの選択として問題になるのがスーパースケラかスーパーパイプラインかVLIW (Very Long Instruction Word) という3つの方式である。図3に各処理方式の説明と表1に代表的なマイクロプロセッサを示した。VLIWは現状の商用マイクロプロセッサで採用されていないが、スーパースケラとスーパーパイプラインは商用のマイクロプロセッサにおいて採用され、性能向上に貢献している。

スーパースケラは、複数の演算ユニットを持ち、同時に複数の命令を処理できるが、一連の命令が互いに独立で、同時実行が可能、かつそれを実行する演算ユニットが存在する場合に効果を発揮する。スーパースケラはハードウェア量の増加が多いが、スーパーパイプラインはそれに比べるとハードウェア量の増加の割合の少ない。スーパーパイプラインはパイプラインの段数を増やすことにより、より高い周波数での動作を行ない、時間当たりの命令実行数を増加させて性能向上を図る。これまでこの2つの方式は、どちらか一方のみが各々のマイクロプロセッサで採用されてきた。しかし、今後さらにマイクロプロセッサの性能を向上させていくためには両方を利用していくことが考えられており、同時に複数の命令を高速に演算するための改良が進められる。

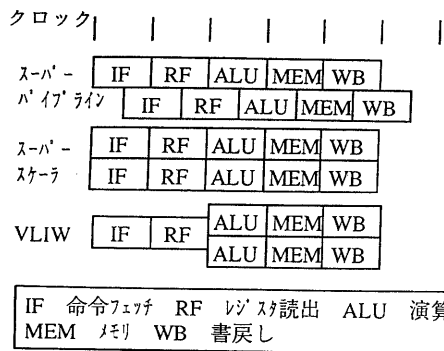


図3 主要な処理方式

キャッシュ・メモリの容量と制御方式を表2にまとめた。内蔵するキャッシュ・メモリの容量はS.A. Przybylskiによれば単一レベルのキャッシュ・メモリの場合32Kバイトから128Kバイトあれば最適と報告されており[3]、実際の製品でそのレベルに到達したものが現われたことが分かる。

プロセッサ名	ARM610	R3081	VR4000	Alpha	SuperSPARC
メーカー	ARM	IDT	NEC	DEC	TI
内蔵キャッシュ容量	4KB	命令：16KB データ：4KB	命令：8KB データ：8KB	命令：8KB データ：8KB	命令：20KB データ：16KB
制御方式	64ビット ビットアドレス	ダイレクト・マップ	ダイレクト・マップ	ダイレクト・マップ	1/D 5/4ビット ビットアドレス

表2 最近のマイクロプロセッサの内蔵キャッシュ・メモリ

### 3. 2. 低電圧化とプロセス

これまで低電圧化と言われても5V電源の世界からの移行はなかなか進展しなかった。しかし、近年急速に低電圧対応の製品が開発され、装置レベルへの本格的展開が始まった。このように低電圧化が進み始めた背景は、LSIの動作が高速になり、発熱が大きくなったため装置の冷却の問題が従来以上にクローズアップされてきたことである。LSIの消費電力Pは

$$P = C V_{dd} V f \quad (1)$$

但し、C：全負荷容量、 $V_{dd}$ ：電源電圧、V：信号振幅、f：動作周波数で表される[4]ので、電源電圧の低電圧化は消費電力の削減に2乗で効き、非常に効果が大きい。現状ではプロセス開発のトレンドと対応して図4のように低電圧化が進んでいくものと予想される。電源電圧が5Vから3Vないし3.3Vに移行しつつある現在、プロセス技術の進歩で動作周波数を変えないで低電圧化を行なうことが可能となってきた。これにより、性能を保ったまま消費電力を削減することができるが、電源電圧等の条件によっては動作周波数を上げながら、即ち性能を向上させながらなおかつ消費電力を削減することも可能となる。

低電圧化により信号の振幅が小さくなるので、次項で述べる小振幅化と同一の効果もボード設計上得ることができる。

処理方式	スーパーハイライン	スーパースケラ	VLIW
品名	VR4000	SuperSPARC	TRACE300
メーカー	NEC	TI	パナソニック

表1 処理方式と代表的プロセッサ

以上のような二者択一的なアーキテクチャ上の選択とは異なり、高性能なマイクロプロセッサでは共通に問題になるのが遅いメイン・メモリとCPUの間をむすぶキャッシュ・メモリである。最近のマイクロプロセッサに内蔵されたキャ

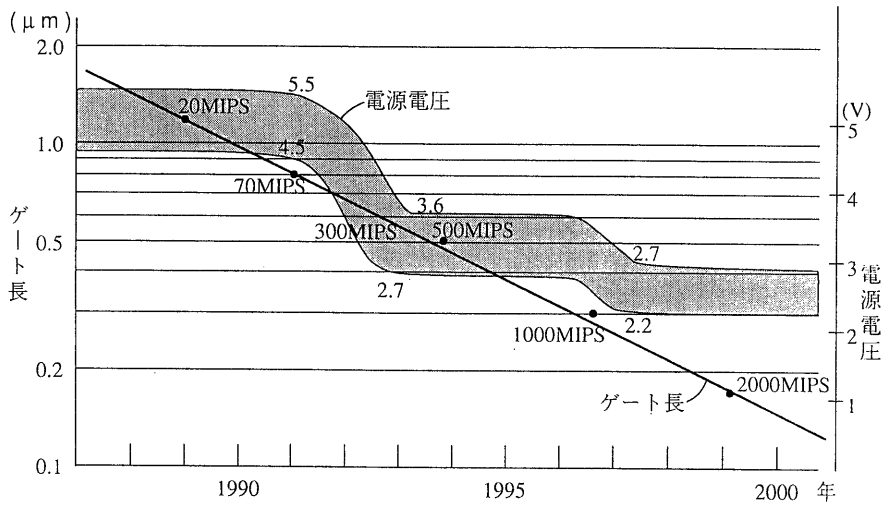


図4 プロセスの進歩と電源電圧

### 3. 3. 小振幅化

マイクロプロセッサの動作速度が高速になり、それを使用してボードの設計を行なう際、同時ノイズや出力のオーバーシュート、アンダーシュートさらに基板上の信号の反射等により設計が非常に難しくなってきた。この問題の対策として、また高速な外部インターフェイスを実現する手段として信号の小振幅化が進められている。従来より、小振幅のインターフェイスについての検討はされてきたが、これまでは動作周波数がそれほど高くなかったため、終端抵抗に流れる直流電流による消費電力が大きいことが問題になり実用化に消極的であった。ところが昨今のようにマイクロプロセッサの高速化が進んでくると、外部バスをフルスイングで充放電した時の交流成分による消費電力と、小振幅にした場合の交流成分と直流成分の和による消費電力の差が少なくなり、小振幅化により負荷を高速に充放電できるメリットが大きくなってきた。このため、マイクロプロセッサと外部の高速インターフェイスをとるための有効な手段として急速に浮上してきた。

また、高性能化の方向として32ビットから64ビットというような多ビット化の流れで、LSIと外部とのインターフェイスをとるための入出力端子が増加し、さらにそれらが高速動作するため、LSIの外周部における電力消費は内部の電力消費に匹敵するまでになっており（VR4000SCの例）、外部と小振幅でインターフェイスをとることはLSI全体に対する消費電力低減の効果が大きい。小振幅化の方式は各種提案されており、代表的なものを表3に示した。

この内、GTLはすでに一部においてASIC対応の実用化が進んでいる。Rambusインターフェイスはデータ転送速度が500Mバイト/秒と高速であるが、データ・バス幅は9ビットと少ないので消費電力を押さえることができる。高速動作する端子数が少ないという点は非常に効果的である。また、ノイズ・マージンは0.1Vと最も少ないが、実装する基板についても技術

インターフェイス名	GTL	Rambusインターフェイス
回路方式	アクティブ・プルアップ /プルダウン	アクティブ・プルアップ
終端電圧(Vt)	1.25V±5%	2.2~2.7V
基準電圧(Vref)	0.8V	1.7~2.4V
V <sub>OL</sub>	0.4V	Vref-300mV
V <sub>OH</sub>	Vt(=1.2V)	Vref+300mV
V <sub>IL</sub>	Vref-50mV	Vref-200mV
V <sub>IH</sub>	Vref+50mV	Vref+200mV

表3 代表的な小振幅インターフェイス

的に指定されており、実使用に対する考慮が進んでいる。

#### 4. 低消費電力化技術

前節で、低電圧化や小振幅化が低消費電力化に有効であることは述べたが、ここでは低消費電力化についてアーキテクチャ面等から検討する。A.Chandrakasan、S.Sheng、R.Brodersenらによれば図5 [4]のような単純なデータバスを例に、パイプライン化、並列化、パイプラインと並列化をした場合について、アーキテクチャと電源電圧、ブロック面積、消費電力の関係について表4のようにまとめている。

この研究の結論に従うと、携帯機器においては消費電力は最も考慮しなければならないので、回路を複雑に

して素子数を増大させて動作周波数と電源電圧の低下による性能低下を補い、消費電力を最大限低下させるという設計方針が導き出される。ただし、並列度を増してもそれを有効に使用するために命令を発行できることが前提条件にあるので、通常の場合これを満たすことができず、2並列にしても性能は2倍にならない。従って、目標と実際の性能向上のギャップを埋めるために動作周波数を上げる必要があり電源電圧を高くする必要がある。しかし、動作周波数と電源電圧を同時に低下させることは低消費電力化に3乗で効くため効果が期待できる。このようにLSI内部の低消費電力対策と小振幅化のようなLSIの外周部の低消費電力対策を積み重ねることにより、一層の低消費電力化を進めることができる。

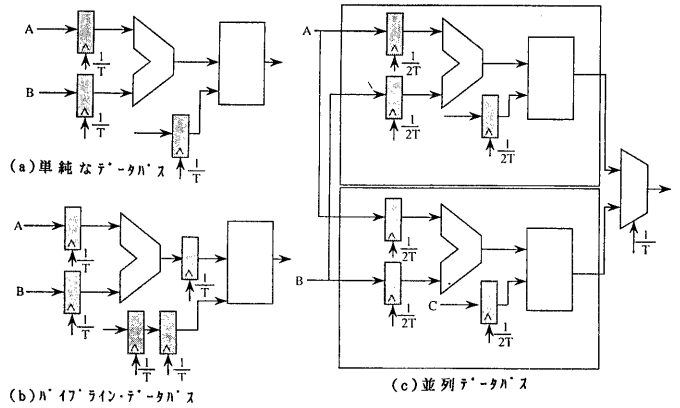


図5 アーキテクチャ面からの消費電力の検討

アーキテクチャ	電源電圧	ブロック面積	消費電力
単純なデータバス	5 V	1	1
パイプライン・データバス	2.9 V	1.3	0.39
並列データバス	2.9 V	3.4	0.36
パイプライン-並列	2.0 V	3.7	0.2

表4 アーキテクチャと電源電圧、ブロック面積、消費電力のトレードオフ [4]

#### 5. CAD技術

高度な機能をもった高速なマイクロプロセッサの開発のためには、従来以上にCADによる設計の支援が重要になってきた。機能、動作スピードが中位のマイクロプロセッサでは、これまで考えられてきた、機能の検証さえ充分に行ない、クリーンな情報を後工程に渡すことができれば、論理合成と自動レイアウト、バックアノテーション等のCAD技術により最小限の人手介入で短期間に、機能、動作スピードとも所望のものが開発できる開発環境が構築できる目度があった。

一方、性能重視のマイクロプロセッサの開発においては、徹底した機能検証を行なうために大規模な回路について膨大な量のパターンをシミュレーションさせる必要が出てきた。このため、高性能なワークステーションを準備するか、多数のワークステーション上で同時並行的にシミュレ

ーションを実行することが行なわれてきた。ところが、現状のシミュレーション環境では大規模な回路では1秒間に数パターンのシミュレーションを行なうことが限界で、各種のデータの組み合わせや命令の組み合わせを実行させて検証の確度を上げるためには膨大な時間がかかるという問題があった。

しかし、最近では機能検証があるレベル(80%程度か)を越えた段階で論理合成を行ない、その結果できた論理回路を一つもしくは複数のFPGAに自動的にマッピングしてプロトタイプを作成するCAP(Computer Aided Prototyping)という、シミュレーションでは成し得なかったMHzオーダーでの機能検証ができるツールが開発された。最近発表された高性能なマイクロプロセッサの開発においてはこのツールが使用されたことが報告されている。

CAPと従来のシミュレーションによる機能検証の時間を検証する回路のゲート規模に対して比較してみると図6のようになる。あるゲート数Aより少ない場合はシミュレーションの方が検証時間は短い、それよりゲート数が増えるとCAPの方が短くなり、さらにゲート数が増えるにつれてCAPの優位性が高まる。一般的にはこのように考えることができるが、実際に機能検証に使用することを想定して問題点を考えて見ると、①プロトタイプを作成できる検証レベルに達したか否かの判定、②CAPを使用すべき回路規模、もしくは回路構造であるかの判定が適切にできるか否かがCAPを使用するかを判断する鍵になる。機能検証レベルが充分なデータをもとにCAPによりプロトタイプを作成し、それに外部からテストパターンを与えて検証する環境が構築できてしまえば、検証確度をあげるためにプロトタイプに充分な量のテストパターンを与えて検証を進めれば良い。しかし、機能検証レベルが不十分な場合にはプロトタイプで発見されたバグの修正を機能レベルで行ない、再度プロトタイプを作り直すということを経り返すことになり、プロトタイプを作成するための工数のオーバーヘッドにより、最悪の場合シミュレーションのみで検証を行なうより、期間、工数がかかるという状況も起こり得る。従って、①や②が重要である。

機能検証以外の工程では、スピード性能の作り込みのために徹底してクロック信号の遅延検証を行ったり、人手でレイアウトして遅延を最小に抑える努力をする例[5]が報告されており、高速なマイクロプロセッサを開発するためには自動レイアウトツールや遅延解析ツールの性能向上が期待される。

## 6. これからのマイクロプロセッサ

2000年に向けてのマイクロプロセッサの開発動向は1989年にインテルがMicro 2000[6]として紹介した方向に向かって進んでいる。即ち、図7のような1つのシリコンチップで2000MIPSの性能を出すという性能目標の実現である。このために、3.1.で述べたアーキテクチャ上の工夫を最大限盛り込むことが言われているが、それを行なうことは回路の複雑化を招くことになり、RISCをベースにしても当初のハードウェアが単純で少ないという思想と異なる、複雑でハードウェアが多いものになっていくものと予想される。複雑な回路を高速で動作させることは難しい、ということは容易に考えられる。従って、この方向を推進していくためにはアーキテクチャの工夫による性能向上と動作周波数の高速化による性能向上のトレードオフとい

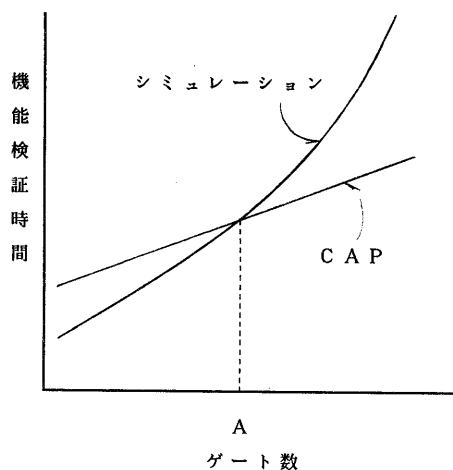


図6 ゲート数と機能検証時間

うことを常に念頭においておく必要がある。また、この複雑化ということ規模の増大という点から眺めると、1つのシリコンチップの上に作り上げることは、プロセス技術の発展により可能になるものと考えられるが、機能、スピードを作り込むための設計手法や設計ツールについては解決すべき課題が多い。

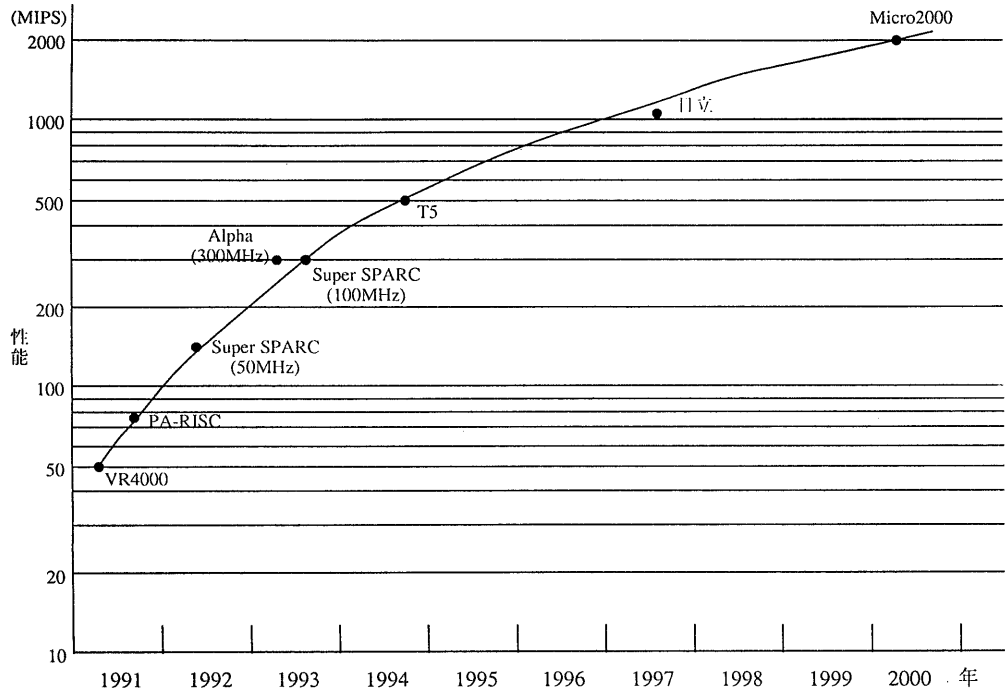


図7 マイクロプロセッサの性能向上トレンド

一方、これまでは性能重視の影にかくれて大きく注目を集めることがなかった、性能はほどほどだが消費電力が非常に少ないマイクロプロセッサに対するニーズは今後ますます高まっていくことが予想される。この時、この分野ではコストも抑えることが重要で、必要以上にハードウェアを増加させることはできない。回路上の改良や制御方式の改良がこれまで以上に必要になる。

## 7. 参考文献

- [1] 西井 修, 花輪 誠 ほか, "処理性能1000MIPSのBiCMOSマイクロプロセッサ", 信学技報ICD92-8-11, Aug., 1992.
- [2] D.A.Patterson, and D.R.Ditzel, "The Case for the Reduced Instruction Set Computer", Architecture News, 8, no.6, pp.25-33, 1980.
- [3] S.A.Przybylski "Cache and Memory Hierarchy Design", pp.173, 1990.
- [4] A.Chandrakasan, S. Sheng, and R.W.Brodersen "Low-Power CMOS Digital Design," IEEE J.Solid-State CircuitS, vol.27, no.4, pp.473-484, Apr., 1992.
- [5] D.Dobberpuhl, R.Witek, et. al., "A 200MHz 64b Dual-Issue CMOS Microprocessor", ISSCC DIGEST OF TECHNICAL PAPPERS, PP.106-107, Feb., 1992.
- [6] P.Gelsinger, et. al., "Microprocessors circa 2000", IEEE SPECTRUM, pp.43-47, Oct., 1989.