

データ駆動型並列計算機研究の展望

弓場 敏嗣

電気通信大学大学院

情報システム学研究科

Email: yuba@is.uec.ac.jp

データ駆動型並列計算機について、過去の研究開発の概要と現状、さらに将来の超並列計算機に向けた今後の展開について述べる。

まず、並列計算機の研究開発の系譜をたどり、その中のデータ駆動型並列計算機の位置付けについて議論する。ついで、データ駆動型並列計算機への期待と批判のポイントを示す。さらに、今日に至るデータ駆動型並列計算機の歴史を世代論をベースに概観する。最後に、これからのデータ駆動型並列計算機の目指す方向とそれに至る研究課題について考察する¹。

A Perspective of Dataflow Computer Research

Toshitsugu YUBA

Graduate School of Information Systems

The University of Electro-Communications

Chofugaoka 1-5-1, Chofu, Tokyo 182, Japan

A perspective of dataflow computer research is presented. First, history of parallel computers is briefly outlined and the dataflow computer research is located in the framework of parallel computers. Second, expectation and criticism for/against dataflow computers are discussed. Third, the history of dataflow computer researches is described on the basis of their generations. Lastly, future direction of dataflow computer research is considered and some research topics toward to super-parallel computing are shown.

¹本稿は、弓場敏嗣/山口喜教著：「データ駆動型並列計算機」（電子情報通信学会編/オーム社刊、1993年）の一部を加筆修正したものである。参考文献等は同書を参照されたい。

1 はじめに

計算機の高速化は、主としてデバイス技術の革新、および、キャッシュ記憶方式、パイプライン方式など単体計算機としてのアーキテクチャ技術の進歩によって達成されてきた。デバイス技術による性能向上の限界が見え始めてきたこと、デバイスの高集積化によって並列計算機の構築が容易になってきたことなどの理由により、計算機の高速化技術として並列処理技術が注目を浴びている。計算機の高速化を実現するアーキテクチャ技術的方法として並列処理は古くから存在し、画像処理など並列化によって高性能を引き出すことが比較的容易な専用計算機に適用され現在に至っている。

末尾に掲げる図は、空間的な並列処理方式を採用した高性能計算機の研究開発の系譜を示す。並列計算機をここではノイマン型並列計算機と非ノイマン型並列計算機の二つに分類する。前者は、単体で使用することを前提として開発された通常の計算機の延長線上に、並列計算機を位置づける。ノイマン型計算モデルに基づく個々の要素プロセッサを多数台相互結合することによって、できるだけ用途を限らない高性能計算機を構築することを目指すものである。要素プロセッサの相互結合網に局所性があることから、並列処理オーバーヘッドを回避して効率のよい並列計算機を考えるとその用途は専用化される傾向がある。ノイマン型並列計算機の流れにおいては、プロセッサ単体として効率のよい逐次実行を行うプロセッサをさらに高速化を得るために並列化しようとする。その場合、要素プロセッサ間のデータ転送、処理の同期、負荷の割り付けのために生じる並列処理オーバーヘッドをいかに小さくするかが研究課題であったし、今後も永遠の研究課題として存在し続ける。

一方、非ノイマン型並列計算機は、計算モデル、実行制御方式、並列言語、オペレーティングシステムなどにおける並列処理の本質的な共通部分を並列計算モデルとして抽出し、それに基づいて高性能並列計算機を実現しようとする。これら非ノイマン型並列計算機は、理論的に裏付けられた並列計算モデルに依拠し、それを忠実にハードウェアで実現しようとする。具体例としては、データ駆動型並列計算モデルや神経回路網理論に基づくニューラルモデルを並列計算機として構築する。並列処理を前提としたアーキテクチャとして構成されているので、並列処理オーバーヘッドはモデルを直接写像するハードウェア化によって最小化される。

現在、将来に向けた並列処理に関する研究が種々の形で行われているが、21世紀に向けた基盤技術という観点からは、超並列情報処理パラダイムに基づく超並列計算機を目指した研究開発が重要である。超並列計算機を、ただ単に要素プロセッサ数が非常に多い高性能計算機としてのみ位置づけるのではなく、現在の計算機に欠如している曖昧かつ不完全で時間とともに変容する情報を扱うことが可能な機能を実現する際のシステム基盤として捉える。

超並列計算機における要素プロセッサ数の量的拡大はシステム全体としての性能の増大をもたらし、これによって解き得る問題領域の質的拡大を引き起こす可能性がある。例えば、数値シミュレーションの分野では、超並列計算機による処理能力の量的拡大によってこれまで不可能であった大規模なシミュレーションが可能となり、新たな適用領域と知見を得ることができるようになる。また、より汎用的な情報処理の質的拡大の側面として、適応性、学習性、自律性、最適化など現在の計算機が不得意としている機能が実現される可能性がある。これは、超並列情報処理による処理能力の飛躍的な増大により、システムが利用環境に合わせて自律的に自分自身を適応させ、もっとも効率のよい状態を維持可能としうることを意味している。そのためには、アーキテクチャ的に頑丈でかつ柔軟性のあるシステムに関する研究開発を行うことが必要である。図で示す種々の方式からなる並列計算機も、信号処理用などの専用並列計算機を除けば将来は汎用性のある超並列計算機として統合化されていくものと考えられる。

2 データ駆動型並列計算機に対する期待と批判

データ駆動原理に従った命令実行機構を持つデータ駆動型並列計算機（以下、データ駆動計算機）は、命令水準で並列処理を行う小粒度並列計算機の一つとして分類される。プログラムに含まれる命令水準の並列性を自然な形で、すなわち、並列実行をプログラム中に明示することなく引き出すことができる小粒度並列計算機である。関数型プログラミング言語との適合性を持ち、高信頼ソフトウェアの作成に対しても有用性が期待されている。

データ駆動計算機は、従来のノイマン型計算機とは異なる動作原理を持つ。ノイマン型並列計算

機における並列化技術は、タスク水準の大粒度並列性をベースとしたものであり、プログラムに含まれる命令水準の小粒度並列性を無視している。データ駆動計算機では、命令実行の同期、データ転送、負荷分散などにおいて生じる並列処理特有のオーバーヘッドを、ハードウェア化により実質的に問題のない程度に抑え込むことによって小粒度の並列処理を効率よく実現できる。結果的に、どのサイズの処理粒度に対しても効率のよい並列処理が可能なアーキテクチャ環境を提供する。

また、ソフトウェアの観点からすると、ノイマン型アーキテクチャを持つ要素プロセッサを用いた並列計算機では、高い性能を引き出すために並列実行制御を明示するなど特別なプログラミング技法が必要である。一方、データ駆動計算機では、多数の要素プロセッサからなる並列構成においても、単一の要素プロセッサに対すると同じプログラムを効率よく並列実行可能であるという利点がある。

ノイマン型計算機の持つ問題点を解決することを目的として提案されたデータ駆動計算機について、数多くの欠点が指摘されている。データ駆動計算機に対する一般的な批判として次のようなものがある。

1. ハードウェア、特に待ち合わせ記憶機構が複雑であり、実現するためのハードウェア量が多大となる。また、2入力命令の実行サイクル中に待ち合わせ操作を含み、時間的に同期処理のオーバーヘッドとなる。
2. 命令水準の並列処理を行うことによるオーバーヘッドが多大である。並列に動作する要素プロセッサ間の処理の同期、負荷の分散、データの転送などの並列処理オーバーヘッドが、並列処理の粒度が小さくなればなるほど比重を増大する。命令水準での並列処理粒度は小さすぎて、並列処理オーバーヘッドの中に本来必要な処理を埋没させてしまう。
3. パケット通信網による通信オーバーヘッドが全体としての性能を低下させる。各命令に供給されるデータは、パケット形式で要素プロセッサの相互結合網を行きかう。多数の要素プロセッサを接続させるためには、多段の結合網が必要であり通信遅延が多大となって性能は低下する。
4. 配列などのデータ構造を扱う処理が効率よく

行えない。データ構造を扱うとき、各データは命令実行のたびごとに複製して用いられねばならない。また、データ構造内の各データは、原則として1回書き込み1回読みだしとアクセスの同期が保証されねばならないので、複雑な同期機構が各データ要素ごとに必要となる。

5. 科学技術計算におけるベクトル演算を行うのに適応性がない。ノイマン型計算機における演算パイプラインを利用したベクトル処理手法を直接適用できない。
6. 並列度の少ないプログラムでは著しい性能低下を招く。プログラムをデータ駆動図式で表現したとき、ある部分について横方向の並列度が少ない場合がある。その箇所については、もともとプログラムに並列性がない部分であり、多くの要素プロセッサがあっても利用率を上げることができない。その結果、全体の実行性能は著しく低下する。
7. 命令の機能水準が低く必要な命令数が増大する。データの依存関係を厳密に保証し、かつ記憶領域上での副作用を利用しないので、データ駆動計算機の命令体系はノイマン型計算機のそれに比べて低水準である。例えば、データ駆動図式中に行き先のないトークンが残留しないよう、データの宛先を切り換える命令を適宜使用する必要がある。

定性的観点から見る限りにおいて、これらの批判の多くは正しいといえる。しかし、オーバーヘッドの議論は定量的になされてのみ有効である。高性能計算機を得るためには、アーキテクチャの持つ長所と短所のトレードオフの見極めが不可欠である。

電子技術総合研究所ではCMOS素子技術を用いて科学技術計算用データ駆動計算機SIGMA-1を開発し、ECL素子技術を用いた商用スーパーコンピュータに匹敵する性能を実証している。また、汎用データ駆動計算機EM-4の開発においては、CMOSゲートアレイ技術により要素プロセッサの1チップ化を行い、80台構成において1GIPSの性能を実現した。それによって、並列処理による超高速化の実現という観点からデータ駆動方式の指摘された欠点が許容しうる範囲であることを実証し、上記の批判を実質的に克服している。

3 データ駆動型並列計算機の歴史概観

計算機技術の圧倒的な革新の潮流を背景に、データ駆動計算機の研究開発が世界各国で行われている。ノイマン型計算機の研究開発は、その初期における英国の貢献例を除いて米国を中心に進められてきた。データ駆動計算機の場合、米国のみならず、英国、フランス、ドイツなどの欧州、豪州および日本において精力的に研究開発が展開されてきた。データ駆動計算機が、次世代の計算機の構成技術をまったく変革してしまう可能性を持つからに他ならない。

データ駆動計算機の研究開発計画の歴史について概観する。計算機の歴史を振り返る場合、世代をもって時代を画することがよく行われる。データ駆動計算機の研究開発の歴史についても、以下のような世代論を持ち込むことができよう。

- 第1世代：可能性探索の時代
(1970年代中頃～1980年代初)
- 第2世代：実用性検証の時代
(1980年代初～1980年代末)
- 第3世代：実用化検証の時代
(1980年代末～1990年中頃)
- 第4世代：実用化の時代
(1990年中頃～)

3.1 可能性探索の時代

第1世代はデータ駆動原理に基づく計算機の可能性の提案から、現実に動くハードウェアの構築に至る期間である。いわばデータ駆動計算機の「可能性探索の時代」である。データ駆動原理とそれに基づくデータ駆動型並列計算機のシステム構成の提案は、1970年代の中頃に米国のマサチューセッツ工科大学(MIT)のJack Dennisによってなされた。Dennisのデータ駆動計算機は大規模数値計算への応用を指向したもので、静的データ駆動方式に基づいて小さな実験システムが製作された。それと並行して、トークンに識別子を付加したより現実的な動的データ駆動方式がマンチェスタ大学(英国)のJohn GurdとIan WatsonやMITのArvindなどによって提案され、それに基づくデータ駆動計算機の研究が進められた。これらの研究によっ

て、汎用性と効率性を高めたデータ駆動計算機の実現可能性が示された。

この間、すなわち1970年代後半から1980年代初頭にかけて、種々のデータ駆動型計算モデルの提案や実験システムの試作がなされた。例えば、米国のユタ大学における木構造を有する実験機DDM1、米国テキサスインスツルメント社のDDP、フランスのツールーズ大学のLAU、英国ニューカッスル大学の計算モデルなどがあげられる。日本国内では、1981年頃、東京大学で手続き水準でのデータ駆動方式を導入したマルチマイクロプロセッサ構成の並列計算機が開発されている。また、NTT(当時は日本電信電話公社武蔵野電気通信研究所)では16台の要素プロセッサを2次元配列状に配置した数値計算用データ駆動計算機EDDY、沖電気工業ではビットスライス型マイクロプロセッサを用いた小規模プロトタイプDDDP、電子技術総合研究所ではルータによるパケット結合網で要素プロセッサを相互接続したEM-3、群馬大学ではDFNDRなどが試作されている。これらの第1世代の可能性探索の時代におけるデータ駆動計算機の研究開発は次のような特徴を持つ。

- データ駆動型計算モデルに基づく計算機を、紙の上でなく現実のハードウェアとして実現可能なことを示した。
- ハードウェア論理回路による試作例はごく小規模であったが、速度的にノイマン型に比肩しうることを示した。
- 16台規模の要素プロセッサからなるシステムの場合は、市販のマイクロプロセッサを相互接続したハードウェアシミュレータ水準であった。
- 応用分野は命令水準で多数の並列性の存在が自明な数値計算を指向していた。

3.2 実用性検証の時代

第2世代は1980年代前半から後半にかけての期間である。第1世代における小規模なハードウェアによる実験機の試作結果を踏まえて、性能的な観点からの実用可能性をより高い水準で評価検証することを目指した、いわば「実用性検証の時代」である。

1980年代前半からは始まるこの時代においては、日本を中心として大規模なデータ駆動計算機プロトタイプシステムや画像処理専用のデータ駆動型

マイクロプロセッサの研究開発が進められた。例えば、電子技術総合研究所では、科学技術計算を高速に行うスーパーコンピュータとしてのデータ駆動計算機の実用性を検証することを目的として科学技術計算用データ駆動計算機 SIGMA-1 を開発した。日本電気は衛星画像などの大規模画像を高速処理する専用システムとしてデータ駆動方式を採用した NEDIPS を開発した。同時に静的データ駆動方式に基づく画像処理用のデータ駆動型マイクロプロセッサ μ PD7281 を開発しその商用化を行った。同マイクロプロセッサは高速画像処理拡張装置としてパーソナルコンピュータの機能拡張に用いられた。また、データ駆動型マイクロプロセッサを目指した研究として、大阪大学および松下電器、三菱電機、三洋電機、シャープの共同研究協力による Q-p がある。記号処理への適用については、データ駆動型 LISP マシンとして NTT 武蔵野電気通信研究所の DFM がある。さらに、通産省の第 5 世代コンピュータ技術開発計画の一環として、沖電気工業では論理型言語を指向したデータ駆動計算機 PIM-D を開発している。

第 2 世代、実用性検証の時代を特徴づける項目は以下の通りである。

- ノイマン型計算機と性能比較が可能な水準での実用性の評価検証が進み、計算の構造が不規則な問題においてはスーパーコンピュータに優る速度性能を示した。
- データ駆動方式の画像処理専用マイクロプロセッサが市販され、データ駆動計算機の商用化が始まった。
- 適用分野として科学技術計算のみならず記号処理への拡がりが見られ、汎用性のあるデータ駆動計算機に向けての技術課題が明らかとなった。

第 2 世代のデータ駆動計算機の要素プロセッサ数は 10 から 100 台の規模であった。1980 年代後半になって、VLSI 技術の進展により 1 台または複数台の要素プロセッサを 1 つの LSI チップに納めることが可能となった。しかもゲートアレイなどに代表される ASIC 技術の普及や CAD 技術の進展により、様々な実験的な設計思想に基づく並列処理向きハードウェアを設計し製作することが容易になってきた。現実には、SIMD 型のいわゆる超並列計算機や MIMD 型の高並列計算機の商用化が

進展し、並列処理による高性能計算機の実現に対する期待が高まってきた。

3.3 実用化検証の時代

第 3 世代は実用性検証の後をうけて、現実第三者利用者が使用可能な水準の実用性を目指すいわば「実用化検証の時代」である。1980 年代末から始まったこの世代は、第 2 世代におけるハードウェア開発の経験を踏まえ、反省と新たな工夫が加えられている。利用者への配慮は、完成度の高いプログラミング言語とオペレーティングシステムを要求する。現在(1993 年)は第 3 世代の中であり、取り組むべき研究課題は数多く存在する。

第 2 世代における命令水準でデータ駆動方式を適用したデータ駆動計算機のアーキテクチャ上の問題点として、次の点をあげることができる。これらは高速化と汎用化に向けての改良すべき箇所を示唆するものである。実用化に向けた第 3 世代におけるデータ駆動計算機が克服すべき技術課題である。

1. パケットの流れによって処理が進行するので、計算の局所性を生かすことができない。その結果、ノイマン型計算機のようにレジスタを中間作業領域として用いた処理の高速化を行うことができない。
2. 同期はすべてパケットを介して全域的に行われるため、不必要なパケットの生成や転送のオーバーヘッドが生じる。その結果、相互結合網の通信量を高める一方、要素プロセッサの利用効率をおとす。
3. パケットの待ち合わせが成功しない場合に、パイプラインの利用効率が低下する。
4. 共有資源を取り扱う際のクリティカルセクションの記述が複雑であり、そのためのオーバーヘッドが大きい。

このようなことから、第 3 世代の新しいデータ駆動計算機の研究開発においては、データ駆動原理に基づく並列性の抽出と計算の局所性を生かした効率的な実行を適度にバランスさせる必要性が認識されている。具体的には、データ駆動型計算モデルとノイマン型計算モデルのハイブリッド方式、細粒度のマルチスレッドモデル、強連結枝モデルなどが、データ駆動型計算モデルの発展形とし提案

されている。それらのモデルに基づく新しいデータ駆動計算機としては、IBMのHybrid Dataflow Machine、MITのMonsoon、*T、および電子技術総合研究所のEM-4がある。

80台(設計値は1,000台)のシングルチップ化された要素プロセッサからなるデータ駆動計算機EM-4においては、パケット通信網の要素機能としての情報交換機能と情報処理機能を兼ね備えた要素プロセッサを多数台結合することによって、汎用性の高い高性能並列計算機を実現している。EM-4の要素プロセッサは、データ駆動方式に基づく循環パイプラインをノイマン型の実行制御パイプラインに融合したアーキテクチャを構築している。今後のデータ駆動計算機の実用化に向けて、EM-4を実験環境としたシステムソフトウェアの研究開発が重要である。命令水準でデータ駆動原理を厳密に適用する純粋なデータ駆動計算機の欠点を認識し、その欠点を克服するこれらの第3世代データ駆動計算機の全般的な特徴は、次の点に集約される。

- データ駆動原理と計算機の実行機構の対応を必ずしも一致させず、データ駆動原理を踏襲しつつもっとも高性能が得られる実行方式を採用する。
- ノイマン型計算機に見られる、計算の局所性を生かした高速化が可能となる機構を導入する。
- パケットの待ち合わせ機構を実現するために、ハッシングハードウェアを含めて連想記憶を用いない。
- 逐次の命令の実行に際しても、通常のノイマン型計算機と同等程度に効率よく実行することを可能とする。

1,000台規模の要素プロセッサを有する第3世代のデータ駆動計算機の研究開発においては、実用性の検証から一歩進めた実用化検証を目指さねばならない。ハードウェアの技術革新の恩恵を十二分に浴しつつ、同計算機用ソフトウェア技術の蓄積をはかることによって実用化への道筋を指し示す必要がある。

4 データ駆動型並列計算機の今後の展開

1990年代中頃から始まる第4世代は、実用性が検証されたデータ駆動計算機の「実用化の時代」

である。ここでは、第三者利用者が現在のスーパーコンピュータのように自由に使用できる、100万規模の要素プロセッサからなるデータ駆動型超並列計算機を実現する。その実現に向けて、従来から並列処理の研究課題として取り組まれてきた問題を超並列情報処理パラダイムの視点で再考せねばならない。アーキテクチャの分野では、超並列構成のもとでの要素プロセッサおよび相互結合網の有り様を与えなくてはならない。すなわち、記憶階層、資源の仮想化、入出力制御、信頼性などのほか、超並列システム開発支援環境について具体的に探究していかねばならない。例えば、アクタモデルなどの超並列計算モデルを非常に単純化した形でサポートする要素プロセッサのアーキテクチャに発展させる必要がある。

プログラミング言語、オペレーティングシステムなどのソフトウェアの分野では、プログラムの並列性抽出、並列処理粒度の調整、スケジューリング、同期、信頼性などの管理機能のほか、超並列情報処理の観点からソフトウェア開発支援環境を見直していく必要がある。応用プログラムを問題の構造に合わせて超並列計算機にのせることによって、問題の記述を容易にするばかりでなく、より効率のよい実行が期待される。超並列計算モデルをベースとして問題の解法を与えるアルゴリズムは、新しい超並列アルゴリズムを生む可能性を持っている。

具体的な研究課題としては、例えば以下のようなものが考えられる。

- 計算モデル、アーキテクチャ、オペレーティングシステム、プログラミング言語における柔軟性、すなわち、信頼性(robustness)、開放性(openness)、拡張可能性(scalability)、実時間性などを追求する。これらの性質は超並列計算機にとって不可欠のものであり、システムの各階層において明確化され、機能の実現がはかられねばならない。
- 超並列計算機上で超分散システム環境と自律分散的な超協調システムを実現する。従来の分散システムは、ローカルエリアネットワークを介して接続された疎結合システム上での処理を前提にしたものである。超並列計算機という密結合システムの上で超分散処理を行う場合は、自律分散的に機能する膨大な数のアクティビティによる超協調作業として処理を遂行する。

- 100万規模の要素プロセッサからなる超並列計算機のシステムシミュレータを実現する。同シミュレータはワークステーション単体上で実現する場合と、現在利用可能な並列計算機上にその並列構造を活用して実現する場合が考えられる。単体計算機設計における論理シミュレータの役割を果たす超並列計算機設計支援環境の存在が不可欠である。また、超並列ソフトウェア研究の環境としての意味も大きい。超並列処理の研究課題は多面的であり、それらの共通の研究基盤としての存在意義は大きい。

5 21世紀の計算機像

21世紀の計算機を支える技術の一般的な傾向として、応用面や利用者側からの要求に対してより迅速に対応するようなニーズ指向の技術開発がより一層重要になるであろう。計算機が普及し社会への浸透が深まるにつれて、従来の汎用大型計算機に見られたようなメーカー主導の開発形態ではなく、利用者の発言力が増す方向に進むことが予想される。将来に向けた計算機アーキテクチャ技術の発展の方向として、利用者の要請に沿った形の計算能力の拡大、サイズの小型化、処理の分散化という大きな流れがある。

過去20年における計算機の進歩は半導体技術の技術革新、すなわち、ハードウェアの高速化、小型化、低廉化によるところが大きい。これからの計算機技術を展望する場合も、計算機技術が需要を喚起した結果としての半導体技術の進歩への期待はいままで以上に大きい。今後10年程度の将来を考えたとき、その期待が裏切られる兆候はない。

超並列計算機の実現に向けての最大の障害は並列ソフトウェアの問題である。並列計算機を使いこなすためのソフトウェアにおいては、並列計算機に適した問題記述のための言語、膨大な計算資源を有効に利用しうよう仕事を割り付ける資源管理、ハードウェアおよびアーキテクチャの詳細を隠した使い易いソフトウェア環境などが開発されねばならない。それらを克服するためには超並列計算機の実機を研究開発し、その上でソフトウェア開発を積み重ねていかなければならない。

将来、ハードウェアの進歩によって、極めて多数の要素プロセッサと大容量の記憶システムが自由に使いうる状況になったときの計算機像を考えてみる必要がある。まず考えられるのは、生物の脳に

近いシステムを構成してみることであろう。エネルギーシステムとして見た場合は利用効率のよい生体系も、情報システムとして見た場合、脳細胞の利用率の観点からは極めて非効率に見える。現在の計算機に欠如している直観的な情報処理能力を計算機の機能として取り込もうとする試みの一つは、この非効率な生体情報処理の解明に向かう。

計算機科学的なアプローチとしては、要素プロセッサ数が例えば1億規模の超並列計算機が物理的経済的に実現可能としたときに、それをいかに有効に利用しうるか、それを利用可能とするシステムアーキテクチャはどのようなものであるのか、などを生体情報処理とは独立に検討せねばならない。従来の計算機の持つ論理的情報処理能力に加えて、人間の得意とする直観的情報処理能力を備えた21世紀の超並列計算機は限りなく人間に近い存在となろう。これらへの挑戦は、広く情報処理にかかわる人間にとって魅力的な研究課題である。

謝辞

本稿は、筆者が本年3月まで在職した通産省電子技術総合研究所においてかかわってきたデータ駆動型並列計算機の研究開発から得た知見に基づいている。同研究所計算機方式研究室の前室長島田俊夫氏（現在、名古屋大学）および現室長山口喜教氏を初めとするデータ駆動型並列計算機研究グループの過去および現在のメンバに心から感謝する。

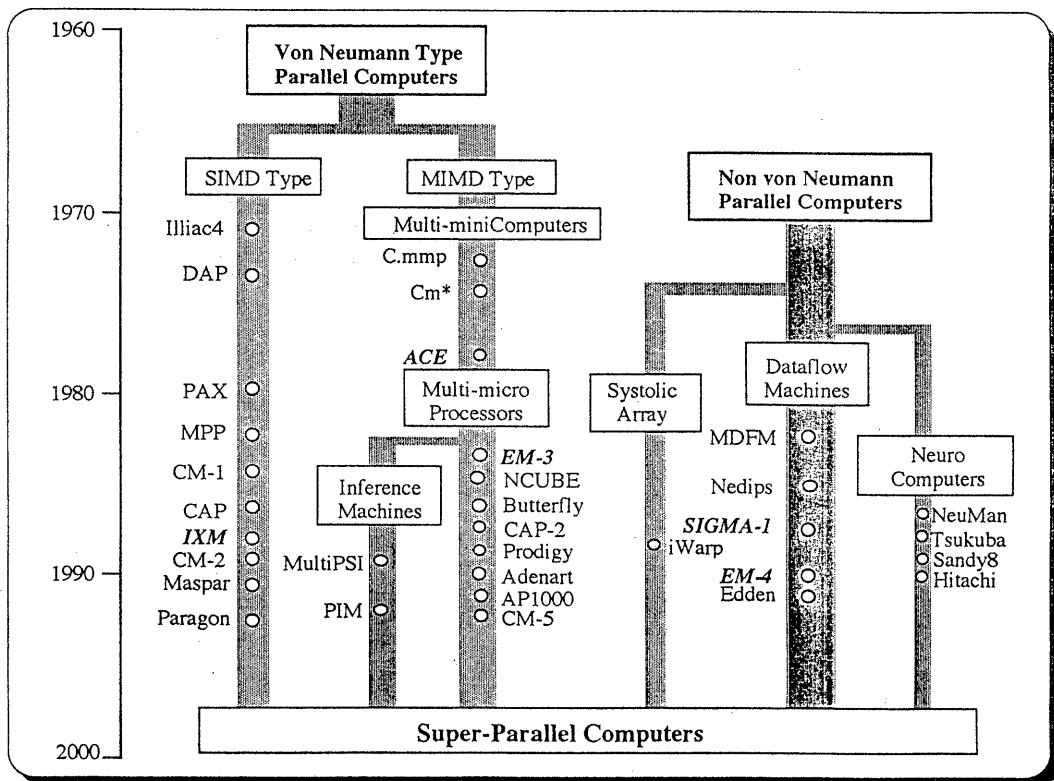


図 1: 並列計算機の研究開発系統樹