

FPGA を利用した教育用マイクロプロセッサ KITE-2 —システムソフトウェア教育への対応—

末吉 敏則† 小羽田 哲宏† 野崎 貴弘† 田中 康一郎‡ 久我 守弘‡

† 九州工業大学 情報工学部 知能情報工学科

‡ 九州工業大学 マイクロ化総合技術センター

福岡県飯塚市川津 680-4

sueyoshi@ai.kyutech.ac.jp

教育用マイクロプロセッサ KITE は、書換え可能な FPGA を用いて学習者が自らの手で設計、実装、動作確認まで行うことができる教材である。KITE マイクロプロセッサは内部可観測性に優れており、情報系学生の計算機入門教育や計算機ハードウェア教育に活用されて大きな効果を納めている。本稿では、現行の KITE マイクロプロセッサを機能拡張し、システムソフトウェア教育、特にオペレーティングシステムの実装に不可欠なメモリ管理機能や割込み機能を備えた KITE-2 マイクロプロセッサについて報告する。KITE-2 の開発により、計算機の動作原理から、論理設計、計算機アーキテクチャ、システムソフトウェアまで一貫した計算機工学教育が可能となった。

KITE-2: An Educational Microprocessor Using Field Programmable Gate Array — An Extension for System Software Education

Toshinori Sueyoshi † Tetsuhiro Kohada † Takahiro Nozaki † Koichiro Tanaka ‡ Morihiro Kuga ‡

† Department of Artificial Intelligence
Kyushu Institute of Technology

‡ Center for Microelectronic Systems
Kyushu Institute of Technology

680-4 Kawazu, Iizuka-shi, Fukuoka, 820 Japan

The educational microprocessor KITE is a teaching material for computer science using FPGA wherein students can design, implement, and verify the operations of their designs. The observability of KITE is very practical and is gaining excellent results in logic design education and in the introductory courses in computer science and computer engineering. This paper reports on the extension of KITE microprocessor organization for system software education, called KITE-2. In particular, we provide the indispensable MMU and the interrupts in the operating system implementation. With the development of KITE-2, a consistent computer education from operation principles of computers, logic design, computer architecture, up to system software development is possible.

1 はじめに

大学や高専等の教育機関における学生実験テーマとして、ASIC（特定用途型 IC）を利用した LSI 実装を前提とするマイクロプロセッサの開発が注目されている。マイクロプロセッサはデジタル回路の基本的要素をすべて含み、関連する基礎科目も多く、さらに設計の際に各自のアイデアを盛り込むこともできるので学生実験における恰好の題材である。

そこで、我々は書換え可能な LSI の一種である FPGA を活用した教育用マイクロプロセッサ KITE¹を開発し、その開発支援環境を整備してきた [1, 2, 3]。再構成可能型 FPGA の場合、構成データ次第で任意の論理回路を実現でき、書込み回数にも制限がない。そのため、(1) 設計完了後その場で短時間に LSI 化でき、(2) 学習者は自分が設計したマイクロプロセッサを手にとって動作確認できる。また、(3) デバッグや改良のために何度でも設計のやり直しができるので、論理設計の経験の浅い学部学生のような初心者の教育にも適している。

本稿では、KITE マイクロプロセッサをシステムソフトウェア教育、特にオペレーティングシステム (OS) の設計演習まで利用できるように機能拡張した教育用マイクロプロセッサ KITE-2 について述べる。以下、第 2 章では KITE-2 マイクロプロセッサの仕様について簡潔に説明し、第 3 章でその開発支援環境を紹介する。また、第 4 章では回路図入力あるいはハードウェア記述言語による KITE-2 マイクロプロセッサの実装事例について報告する。そして、第 5 章では OS の設計演習事例としてプロセス管理の実装について言及し、最後に第 6 章で簡単なまとめを述べる。

2 教育用マイクロプロセッサ KITE-2

ここでは、今回開発した KITE-2 マイクロプロセッサの開発目的、設計方針、ならびに仕様について述べる。

2.1 開発目的

KITE マイクロプロセッサは本来、図 1 に示すようにノイマン型計算機の動作原理、設計理論、構成方式、管理技法までの一貫した情報工学教育に利用できる教材の開発を目的としている。

情報工学教育の場合、入門教育では学習者がノイマン型計算機の内部動作や状態を把握することにより動作原理を理解でき、専門教育においては学習者自身が CAD システムを利用して当該計算機の設計演習を行うことが望ましい。さらには、当該計算機を対象とするコンパイラやオペレーティングシステム等を作成さ

¹KITE とはたこ揚げの鳳のことであり、'カイト' と発音する。つまり、うまく作ればぐんぐんと快調に揚がるが、作りがまずいと揚がらなかつたり失速墜落する。

せることにより計算機の管理技術を学習させ、システムソフトウェアの実現に必要なハードウェア機構を認識させて計算機のシステム設計（方式設計）に反映させることにより、計算機システムに対するより効果的な教育が期待できる。

現行の KITE マイクロプロセッサは、コンピュータの動作原理を学ぶ計算機入門教育やマイクロプロセッサを開発する論理設計教育では既に大きな成果を上げている [4]。しかし、さらにシステムソフトウェア教育を考慮した場合、特に OS の設計演習に利用するには機能的に不十分な点がある。具体的には、次の 3 点である。

- (1) 割込み機能
- (2) デュアルモード（スーパーバイザ/ユーザ）機能
- (3) メモリ管理機能

そこで今回、計算機入門教育からシステムソフトウェア教育まで一貫した計算機工学教育の実現を目指し、現行 KITE マイクロプロセッサをベースに上記機能について拡張を行った KITE-2 マイクロプロセッサの開発を行った。

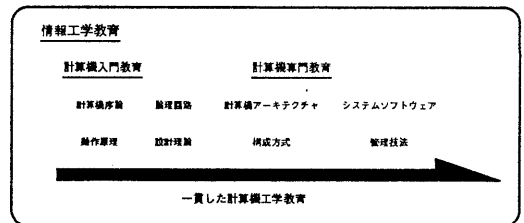


図 1: KITE マイクロプロセッサの開発目的

2.2 設計方針

以下に示す方針の下に、上記機能を拡張すべく KITE-2 マイクロプロセッサの設計を行った。

- KITE マイクロプロセッサの上位互換プロセッサとする。つまり、KITE マイクロプロセッサ用に開発されたプログラムは KITE-2 でも実行できる。
- KITE への機能追加/変更は必要最小限に抑える。
- メモリ管理機構による記憶空間の拡張・保護を行い、マルチプロセスをサポート可能にする。

また、実装デバイスについても供給・価格・ゲート数・パッケージ等を検討し、現行 KITE に利用している FPGA の上位デバイスを選択した。具体的には、KITE-2 マイクロプロセッサは、約 5,000 ゲート相当の LCA XC4005-PG156 に実装している KITE マイクロプロセッサに比べて、割込み機構やメモリ管理機構

が加わるためゲート規模が増大するのみならず、追加のレジスタ類や制御信号の可観測性のために入出力端子も増加することになる。そこで、実装デバイスとしては約 10,000 ゲート相当の回路が実装でき、ピン数が 191 本のパッケージの LCA XC4010-PG191 を採用している。

2.3 KITE-2 マイクロプロセッサの仕様

KITE マイクロプロセッサをシステムソフトウェア教育、特に OS の設計演習に利用するために機能拡張した上位互換プロセッサ KITE-2 の基本仕様について述べる。現行 KITE マイクロプロセッサの基本仕様は既に紹介しているので [2]、ここでは主な拡張機能について説明する。

(1) 命令セット

命令形式は現行 KITE 同様、すべて 16 ビット固定長である。命令セットとしてはデュアルモード（スーパーバイザ/ユーザ）ならびに割込みのサポートに伴い、KITE マイクロプロセッサの基本的な命令セットに加え、新たに TRAP, RTI, PMV の各命令を追加した。命令セット一覧を表 1 に示す。

TRAP は、ユーザモードで動作するプログラムから、スーパーバイザモードで動作する OS へ処理を依頼するためのソフトウェア割込み命令である。また、RTI (ReTurn from Interrupt) は、外部割込みやソフトウェア割込み等の割込み処理から復帰するための命令である。そして、PMV (Privileged MoVe) は、後述するレジスタセットの拡張に伴って、フラグレジスタやスーパーバイザ・スタックポインタを操作するために設けた命令である。

上記命令のうち、RTI および PMV 命令はスーパーバイザモードでのみ実行可能な特権命令であり、ユーザモードで実行しようとした場合には特権違反となって割込みシーケンスが起動される。なお、KITE-2 マイクロプロセッサでは IN, OUT, HALT の各命令も特権命令となるが、命令コードや動作は同じである。

また、アドレス修飾に関しても、KITE-2 では従来のアドレッシングモードに加えて、スタックポインタ相対アドレッシングを追加している。

(2) レジスタセット

スーパーバイザモードとユーザモードという動作モードの分離に伴い、レジスタセットを拡張している。

まず、スタックポインタが、スーパーバイザ・スタックポインタとユーザ・スタックポインタに分離している。スーパーバイザ・スタックポインタはスーパーバイザモードで使用されるスタックポインタであり、ユーザモードでは参照・変更ができない。スタックポインタ

表 1: 命令セット一覧

データ転送命令	算術論理演算命令	スタック命令
LD Load	ADD Add	PUSH Push down
ST Store	SUB Subtract	POP Pop up
MV Move	INC Increment	
PMV* Privileged Move	DEC Decrement	
	ORI Inclusive OR	
	EOR Exclusive OR	
	AND AND	入出力命令
	NOT NOT	IN* Input
		OUT* Output
分岐命令	シフト命令	システム制御命令
JP Jump always	LSL Logical Shift Left	
JPC Jump on Carry	LBR Logical Shift Right	
JPV Jump on Overflow	ASL Arithmetic Shift Left	TRAP Trap
JPZ Jump on Zero	ASR Arithmetic Shift Right	RTI* Return from Interrupt
JPS Jump on Sign	ROL Rotate Left	NOI* No Operation
CALL Call Subroutine	ROR Rotate Right	
RET Return from Subroutine	SWP Byte Swap	HALT Halt

* Privileged instruction

の選択は通常、現在の動作モードがスーパーバイザモードかユーザモードかによって自動的に行われる。例外として、後述する PMV 命令がスーパーバイザモードにおいてユーザ・スタックポインタやフラグレジスタを操作するために設けた命令であるため、スーパーバイザモードでユーザ・スタックポインタを選択できる。

また、フラグとして従来の 4 種類のフラグに加え、現在の動作モードがスーパーバイザモードかユーザモードかを示すスーパーバイザ/ユーザモード・フラグ (S/U) と、割込みの許可/不許可を表わす割込み許可フラグ (IE: Interrupt Enable) とを新たに設けている。

(3) メモリ管理機構

マルチプロセスのサポートに必要な記憶空間の拡張ならびに保護を実現するために、セグメント方式に基づくメモリ管理機構 (MMU) を採用している。具体的には、KITE-2 マイクロプロセッサは論理アドレス 12 ビット/物理アドレス 16 ビットのアドレス空間を有し、MMU は論理アドレスを物理アドレスに変換する際にセグメント・フォールトをチェックする。

MMU は、図 2 に示すように KITE-2 マイクロプロセッサ・コア (本体部分) とは独立した構成をとるが、同一チップ内に実装される。MMU の内部には、スーパーバイザとユーザの各動作モード用にそれぞれコードセグメント・レジスタとデータセグメント・レジスタを用意しており、計 4 個のセグメント・レジスタがある。各セグメント・レジスタは 16 ビット長であり、下位 8 ビットはセグメント・ベースアドレスを表わし、第 8~11 ビットはセグメントサイズを表わす。また、第 12 ビット目はセグメント・フォールトの発生を示すフラグである。アドレス変換の過程を図 3 に示す。

なお、セグメント・レジスタの内容は、IN および OUT 命令によって読み書きを行う。KITE-2 では IN および OUT 命令は特権命令であるため、実際にはスーパーバイザモードでのみセグメント・レジスタの読み書きができることになる。

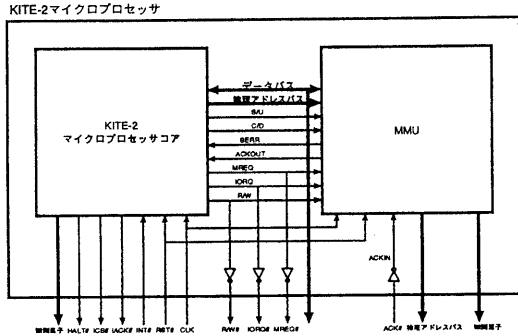


図 2: KITE-2 マイクロプロセッサの内部構成

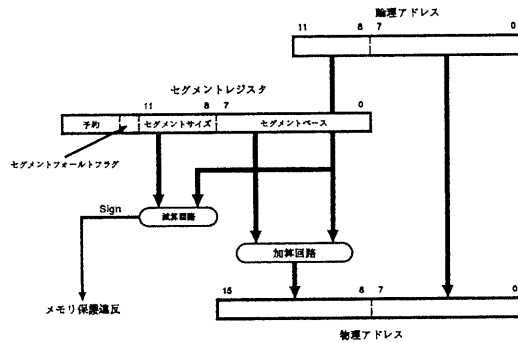


図 3: KITE-2 におけるアドレス変換

(4) 割込み機構

KITE-2 マイクロプロセッサは、表 2 に示すように割込み要因に基づくベクトル方式の割込みを採用している。つまり、KITE-2 マイクロプロセッサはベクトル番号そのものをアドレスとしてスーパーバイザ・コードセグメントへアクセスし、その内容をプログラム・カウンタの新しい値、つまり分岐先アドレスとする。

表 2: KITE-2 の割込みベクトル

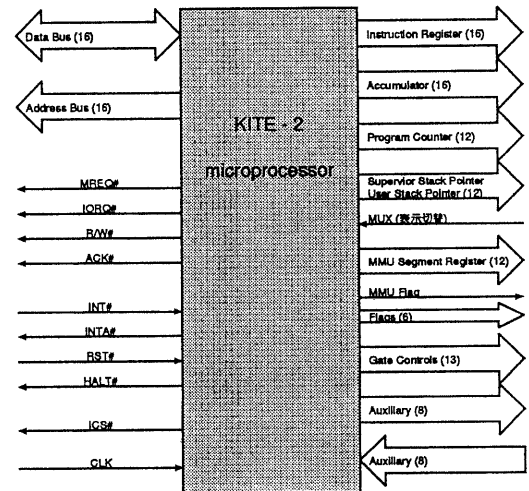
割込みベクトル	要因
0000	リセット
0001	メモリ保護違反
0010	特権違反
0011	不正命令
0100	(reserved)
0101	(reserved)
0110	(reserved)
0111	外部命令
1000 ~ 1111	ソフトウェア割込み (TRAP)

(5) 端子機能

端子は図 4 に示すように、KITE-2 マイクロプロセッサの基本動作に不可欠な入出力端子と、プロセッサ内

部の動作や状態の観測用端子に大別できる。

KITE-2 の入出力端子については、アドレスバスが 16 ビットに拡張されると共に割込み等の信号線も追加されたので合計 42 本となっている。一方、観測用端子についても、MMU セグメントレジスタやスーパーバイザ・スタックポインタ等の増設に伴って合計 117 本と大幅に増えている。現行 KITE よりもさらに多数の観測用端子を設けて可観測性を高めているので、学習者は KITE-2 マイクロプロセッサ内の状態や動作を容易に把握することができる。



入出力端子: 42ピン

観測用端子: 117ピン

図 4: KITE-2 マイクロプロセッサの端子機能

3 KITE-2 の開発支援環境

KITE-2 マイクロプロセッサの開発手法としては、KITE マイクロプロセッサの場合と同様に、回路図入力による設計と、ハードウェア記述言語 (VHDL, Verilog-HDL, ABEL-HDL) による設計法を選択できる。これらの開発工程やクロスソフトウェア環境については既に報告しているので [3]、本稿では設計した KITE-2 マイクロプロセッサを実際に動作させるために開発したボード類について述べる。

3.1 KITE-2 マイクロプロセッサボード

KITE-2 マイクロプロセッサボードの写真を図 5 に、またその機能を図 6 に示す。なお、以下の説明文中の①～⑥ならびに①～⑦は、それぞれ図 6 に示した LCA/メモリならびにスイッチ・コネクタ類を指している。

3.2 KITE-2 マイクロプロセッサボード

- (1) KITE-2 マイクロプロセッサにおける観測用端子の状態等を表示するために、42 個の 7 セグメント LED ディスプレイと 36 個の LED ランプを

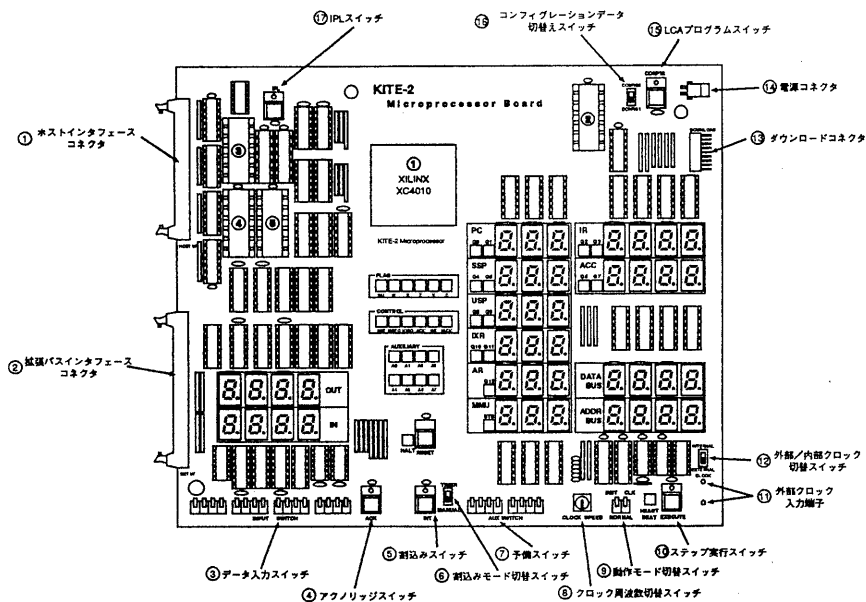


図 6: KITE-2 マイクロプロセッサボードの機能

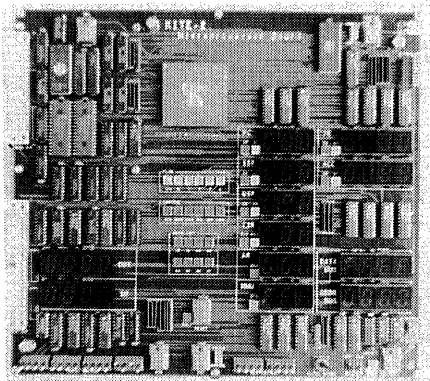


図 5: KITE-2 マイクロプロセッサボードの写真

用意している。そのうち 8 個の LED ランプは、学習者が各自のマイクロプロセッサの内部構成に応じて自由に定義して利用できる。

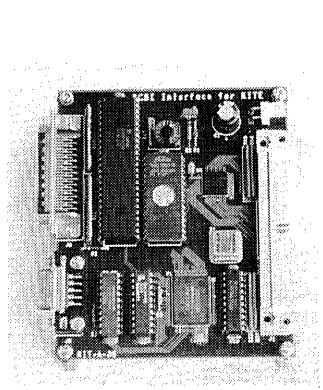
- (2) 専用 CAD システムから構成データをダウンロード・ケーブルを介して FPGA に転送するロード機構 (13) を備えており、転送終了後直ちに FPGA はマイクロプロセッサとして動作を開始できる。また、コンフィグレーション・モード指定スイッチ (15) を ROM 側に切替えることによって、EPROM (9) に実装してある動作検証済みの構成データ (KITE, KITE-2) をロードすることもできるので、ワンボード・マイコンとしても利用できる。

- (3) メモリ空間は 64K ワードであるが、実装メモリとしては RAM (4, 5) と ROM (9) をそれぞれ 64K ワード実装している。つまり、RAM はデュアルポートメモリ構成でホストインタフェース・コネクタ (1) を介してホストコンピュータから読み書きできるメモリであるが、ROM は IPL スイッチによってその内容を RAM 領域へロード (コピー) できる、いわゆるシャドウ ROM である。シャドウ ROM には KITE および KITE-2 のための簡単なテスト・プログラムを用意しており、KITE あるいは KITE-2 マイクロプロセッサの実装後、直ちに動作検証をすることができる。

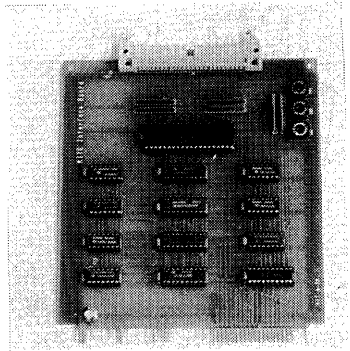
- (4) 簡易の入出力装置として I/O 空間に、16 ビットの入力ポート (トグルスイッチ) (3) と出力ポート (LED ディスプレイ) を実装している。なお、8 ビットの予備スイッチ (7) は KITE-2 の入出力装置ではなく FPGA 端子に接続されており、デバッグや汎用のブレッドボードとして利用する際に役立つ。

- (5) 割込みモード切替スイッチ (6) により、マニュアル割込みとタイマー割込みを選択できる。マニュアル割込みの場合は、割込みスイッチ (5) の押下によって手で割込みを発生させる。

- (6) KITE-2 マイクロプロセッサの動作を容易に把握できるようにクロック周波数切替スイッチ (8) を用いてクロックを 1MHz から 0.1Hz までの



(a)



(b)

図 7: ホスト IF ボード

範囲で (16 段階) 変更でき、また高速な外部クロックの入力も外部/内部クロック切替スイッチ (12) で選択可能である。さらに、動作モード選択機能 (10, 11) により命令単位やクロック単位でもプログラム実行を制御できる。

- (7) KITE-2 マイクロプロセッサのアドレスバス、データバス、および制御信号をすべて、バッファを介して外部に出力している。よって、3.3 で述べるように拡張バスインタフェース・コネクタ (2) を介して各種入出力機器を接続できる。

上記機能によって、学習者はマイクロプロセッサの内部状態や動作を視覚的に把握でき、計算機の動作原理理解、マイクロプロセッサ開発のデバッグ、システムソフトウェア実装のデバッグ等を円滑に行える。

(1) ホスト IF ボード

ホスト IF ボードとは、KITE-2 マイクロプロセッサボードとホスト計算機 (ワークステーション、あるいはパーソナルコンピュータ) を接続するためのインタフェース基板である。これにより、ホスト計算機は KITE-2 マイクロプロセッサのメモリ領域をアクセスできる。つまり、次項で述べるクロスソフトウェア環境を利用して、ホスト計算機側で作成したプログラムを

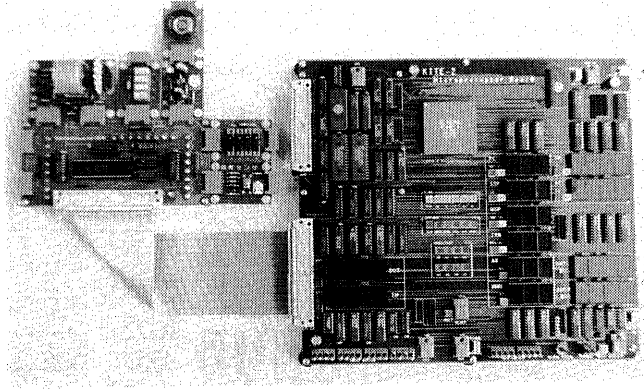


図 8: I/O インタフェースボード

KITE-2 マイクロプロセッサボード上のメモリにロードして実行したり、実行結果をホスト計算機から読み出すことができる。

ホスト IF ボードとしては、SCSI インタフェース (あるいは RS-232C) による汎用 (図 7a) と、NEC PC-9801 シリーズ専用 (図 7b) の 2 種類を用意している。なお、これらのホスト IF ボードは従来の KITE マイクロプロセッサボードにも共通に利用できる。

(2) I/O インタフェースボード

これは KITE-2 マイクロプロセッサの拡張バスインタフェースを介して、機械や制御関係の実験を行うための入出力インタフェースボードである。図 8 に示すように、温度センサ、音センサ、光センサ等のセンサモジュールと、リレー、DC モータ、スピーカ等の駆動部品モジュールを接続でき、これらを組み合わせて様々なメカトロ制御実験を行うことができる。

4 実装結果

ここでは、KITE-2 マイクロプロセッサの実装結果について述べる。また、KITE-2 マイクロプロセッサボードを利用した他マイクロプロセッサの実装結果についても紹介する。

4.1 KITE および KITE-2 の実装結果

(1) 回路図入力による実装結果

回路図入力による設計によって、2.3 で述べた仕様を満たす 1 バス構成の KITE-2 マイクロプロセッサの実装を行った。なお、表 3 には MMU を除いた構成、つまり割込み機構とデュアルモード機構だけを実装した場合の実装結果も示している。

回路規模の点では、KITE-2 マイクロプロセッサが KITE マイクロプロセッサの 1.7 倍程度になっていることが分かる。これは従来の KITE マイクロプロセッサボードには実装不可能であるが、KITE-2 マイクロプロセッサボードには余裕を持って実装できた。一方、

自動配置配線処理に要する時間は配線数の増加に伴って増加する傾向が認められたが、まだ許容できる範囲に納まっている。

(2) ハードウェア記述言語による実装結果

ハードウェア記述言語を利用すると、従来のKITEマイクロプロセッサでも仕様を完全に満たすものは実装が困難であった。そこで、KITE-2マイクロプロセッサボード上で約10,000ゲート相当のFPGAが利用できるようになったのを契機に、VHDLによって仕様を完全に満たすKITEマイクロプロセッサの開発を行った。また、KITE-2マイクロプロセッサについても実装を試み、表3に示すようにMMUを除いたKITE-2マイクロプロセッサを実装することができた。ただし、仕様を完全に満たすKITE-2マイクロプロセッサは現在実装中である。

4.2 他マイクロプロセッサの実装結果

KITE-2マイクロプロセッサボードは、FPGAを中心にメモリや入出力部(LED表示器やスイッチ等)を備えた汎用のブレッドボードとしても利用できる。そこで今回、KITE以外のマイクロプロセッサとしてCOMET[5]およびM32マイクロプロセッサ[6]の実装を試験的に行った。紙面の都合から、ここではCOMETの実装結果を表4に示す。実装の結果からも分かるようにCOMETの仕様は大きくなく、回路図入力のみならずハードウェア記述言語による設計も円滑に行うことができた。

5 OS実装例：マルチプロセス制御機構

システムソフトウェア教育に対応したKITE-2を用いて、OSに必要とされる機能の中でも特に重要なマルチプロセス制御機構の実装を試みた。マルチプロセス制御機構には、プロセス管理、コンテキスト切替え、割込みなどの処理が必要とされる。既製のワークステーションやパーソナルコンピュータではMMUや割込みのようなハードウェア機構は通常ブラックボックスであるため利用が困難である。しかし、KITE-2を利用する場合、それらの仕様が明確かつ簡素であることから、ハードウェアと密接に関係があるシステムソフトウェアの設計演習に利用することが可能である。

今回設計・実装したマルチプロセス管理機構は以下の機能を備えている。

(1) マルチプロセスの取扱い

- 1 プロセスあたり16ワード長のプロセス管理テーブル(図9)を用いて最大16個までのプロセスを管理する。テーブルは、プロセス状態フラグ(実行、停止、未使用を示す)、ナイスレベ

	プロセス状態フラグ	データセグメント	コードセグメント	USP	IXR	AGC	PC	FR
0x000	プロセス状態フラグ	データセグメント	コードセグメント	USP	IXR	AGC	PC	FR
0x008	ナイスレベル	ナイスカウンタ	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x010	プロセス状態フラグ	データセグメント	コードセグメント	USP	IXR	AGC	PC	FR
0x018	ナイスレベル	ナイスカウンタ	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x0F0	プロセス状態フラグ	データセグメント	コードセグメント	USP	IXR	AGC	PC	FR
0x0F8	ナイスレベル	ナイスカウンタ	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

図9: プロセス管理テーブル

- ル・カウンタ(実行優先度の制御に使用)、および、各種レジスタの保存領域等を備える。
- 2 実行優先度を考慮したプロセススケジューリングを行う。
 - 3 KITE-2ボードに実装されているタイマもしくはスイッチによる外部割り込みをイベントとして、プロセススケジューラの起動を行う。

なお、プロセスの切替えおよび選択は以下のアルゴリズムにより行っている。

- 外部割り込みにより、プロセススケジューラが起動される。まず、各レジスタを全て当該プロセスのプロセス管理テーブル内に保存する。
- プロセス生成要求があるか否かを調べる。プロセス生成要求があり、かつ、プロセス管理テーブルに空きエントリがあれば、新しく投入されるプロセスをプロセス管理テーブルに登録する。
- 次に実行すべきプロセスをプロセス管理テーブル上のナイス値を参考にして決定する。実行を決定したプロセスの各レジスタの値をプロセス管理テーブルから読出す。各レジスタにその値を設定した後、プロセスの実行を開始する。

(2) メモリ管理

セグメント管理：プロセス生成時におけるセグメントの競合の有無をチェックする。

(3) 例外処理

- 1 特権違反：ユーザモードにおいて特権命令を実行した場合、エラーコードを出力してユーザプロセスを終了する。
- 2 不正命令実行：ユーザプロセスではエラーコードを出力してプロセスを終了させる。スーパーバイザモードではOSの設計ミスとしてプロセッサを停止する。
- 3 セグメント外アクセス：割当てられたセグメント外のメモリをアクセスした場合、ユーザモードではエラーコードを出力してユーザプロセス

表 3: KITE および KITE-2 の実装結果

設計手法	回路図入力			VHDL	
	1 バス			3 バス	
バス構成	KITE	KITE-2*	KITE-2	KITE	KITE-2*
マイクロプロセッサ					
Input XNF Design Statistics					
Number of Logic Symbols	727	964	1293	1700	1841
Number of Flip Flops	129	225	279	131	181
Number of 3-State Buffers	116	164	180	124	128
Equivalent "Gate Array" Gates	3556	4777	6015	6519	6456
Partitioned Design Utilization					
Occupied CLBs [Utility (%)]	52	71	85	96	90
Packed CLBs [Utility (%)]	34	49	63	91	75
Flip Flops [Utility (%)]	11	19	24	11	16
3-State Buffers [Utility (%)]	12	17	18	12	13
Partitioned Design Utilization					
Number of Total lines used	3034	4186	5966	5662	5741
Cpu Times (SUN SPARC Station 10 Model41)					
Total	00:04:56	00:07:59	00:12:43	00:09:08	00:15:50

* MMU を除く

表 4: COMET の実装結果

設計手法	回路図入力		VHDL	
	1 バス		3 バス	
バス構成				
Input XNF Design Statistics				
Number of Logic Symbols	925	1820	2122	
Number of Flip Flops	189	214	185	
Number of 3-State Buffers	144	144	224	
Equivalent "Gate Array" Gates	4774	7130	7751	
Partitioned Design Utilization				
Occupied CLBs [Utility (%)]	69	92	97	
Packed CLBs [Utility (%)]	50	78	78	
Flip Flops [Utility (%)]	16	19	16	
3-State Buffers [Utility (%)]	15	15	23	
Partitioned Design Utilization				
Number of Total lines used	4162	6398	7606	
Cpu Times (SUN SPARC Station 10 Model 41)				
Total	00:06:59	00:18:31	00:33:26	

を終了する。スーパーバイザモードでは OS の設計ミスとしてプロセッサを停止する。

(4) TRAP によるサービスルーチン (システムコール)

- 1 プロセスの実行優先度の変更.
- 2 プロセス状態 (実行 ↔ 停止) の変更.
- 3 入出力命令の実行.
- 4 プロセスの終了.

今回実装したマルチプロセス管理機構は KITE-2 の機械語で 405 ステップ程度であった。また、KITE-2 マイクロプロセッサボードを使用することで、プロセスのコンテキスト切替えや例外処理等の実行状況をボード上の観測機能によりクロック単位で把握することが可能であり、マルチプロセス制御機構の理解を深めるのに効果があることが確認できた。

6 おわりに

本稿では、システムソフトウェア教育に対応した教育用マイクロプロセッサ KITE-2 について紹介し、KITE-2 マイクロプロセッサの実装結果について報告した。また、KITE-2 マイクロプロセッサボードを利用して、ハードウェア記述言語による設計教育模実施できることを示した。さらに、OS 実装実験として簡単なプロセス管理機構の実装を試行的に行い、その結果を確認した。

FPGA を利用した教育用マイクロプロセッサ KITE ならびにその機能拡張版 KITE-2 の開発により、ノイマン型計算機の動作原理から、論理設計、計算機アーキテクチャ、オペレーティングシステム、コンパイラまで一貫した計算機工学教育が可能となった。

参考文献

- [1] 末吉, 田中, 船越, 松尾, 有田: 書換え可能な LSI を用いた教育用マイクロプロセッサの開発, 情報処理学会第 43 回全国大会論文集, 2Q-11, 1991.
- [2] 末吉, 田中, 柴村: 再構成可能な論理 LSI を用いた教育用マイクロプロセッサ:KITE, 電子情報処理学会技術研究報告 (ICD92-87, CPSY92-47), 情報処理学会研究報告 (92-ARC-96-15), 1992.
- [3] 田中, 小羽田, 久我, 末吉: 教育用マイクロプロセッサ KITE とその開発支援環境, 情報処理学会研究報告 (93-ARC-100-8), 1993.
- [4] 末吉, 田中, 久我: 教育用マイクロプロセッサ KITE による設計教育の事例報告, 電子情報処理学会技術研究報告 (VLD93-85), 情報処理学会研究報告 (93-ARC-103-12, 93-DA-69-12), 1993.
- [5] 日本情報処理開発協会: 情報処理技術者試験案内書, 1994.
- [6] 所真理雄: 計算システム入門, 岩波書店, 1991.