

## 高集積メモリ型プロセッサ ULSI IMAP-2

山下信行† 藤田善弘† 木村亨† 中村和之† 岡崎信一郎†  
 日本電気(株)情報メディア研究所† マイクロエレクトロニクス研究所†  
 川崎市 宮前区 宮崎 4-1-1  
 e-mail:yama@pat.cl.nec.co.jp

**あらまし** コンパクトな高並列一次元SIMDプロセッサシステムを構築することのできる、IMAPアーキテクチャを実証すべく、動画像認識処理に適したIMAP-2を試作し、その動作を確認した。IMAP-2は、2MビットのSRAMと64個の8ビットプロセッサを1チップに集積しており、8ビット演算時に3.84GIPSの最大性能を持つ。0.55 $\mu$ mのBiCMOS2層Alプロセスを使用し、千百万トランジスタを15.1 $\times$ 15.6mm<sup>2</sup>の面積に集積した。メモリをプロセッサアレイと同一チップ上に集積しているため、十分なプロセッサ-メモリ間バンド幅を有している。また、VRAMと同様なランダムアクセスポートとシリアルアクセスポート持ち、動画像処理装置を容易に構築することができる。消費電力を削減する為に、センスアンプの削減や、動的パワー制御を導入し、最大消費電力を4Wに、実効消費電力をさらに小さくすることができた。また、汎用メモリのデュアルワード線方式を利用して、レジスタ間接アドレッシングを実現した。最後に、IMAP-2を8個使用する動画像処理システムの構成例とその性能予測を示し、IMAP-2を使用することによって、コンパクトで動画像処理に有効なシステムが構築できることを示した。

**和文キーワード** 並列処理、マルチプロセッサ、SIMD、ULSI、画像処理

## Integrated Memory Array Processor ULSI IMAP-2

Nobuyuki Yamashita†, Yoshiriho Fujita†, Tohru Kimura†,  
 Kazuyuki Nakamura†, and Shin-ichiro Okazaki†  
 Information Technology Research Laboratories†, Microelectronics Research Laboratories†,  
 NEC Corporation  
 1-1 Miyazaki 4-Chome, Miyamae-ku, Kawasaki, 216, Japan  
 e-mail: yama@pat.cl.nec.co.jp

**Abstract** An Integrated Memory Array Processor (IMAP) ULSI with 64 processing elements and a 2Mb SRAM has been developed for image processing. The chip attains a 3.84GIPS peak performance through the use of SIMD parallel processing and a 1.28GByte/s on-chip processor-memory bandwidth. The IMAP is capable of parallel indexed addressing, which increases applications for parallel algorithms. Large power consumption with the wide memory bandwidth is avoided by reducing the number of active sense amplifiers and adopting dynamic power control. Fabricated with a 0.55 $\mu$ m BiCMOS double layer metal process technology, the IMAP contains 11 million transistors in a 15.1  $\times$  15.6mm<sup>2</sup> die area.

**Keyword** parallel processing, multiple processor, SIMD, ULSI, image processing

## 1 はじめに

画像認識技術を用いたセキュリティシステムや車の自律走行、危険回避システムの研究が盛んに行われている。このようなリアルタイム画像認識応用は、多くの処理を実行出来る高速演算性能と装置に組み込んだり、携帯出来る程度の小型化を要求する。すなわち、数 GIPS から数百 GIPS の演算性能を持った、1 ボード程度の小型のシステムを実現することが出来れば、さまざまな動画像認識応用に利用できると考えられる。

高速性とコンパクト性を両立させるためには、VLSI 技術を活かすことが必須であり、多数の要素プロセッサを1チップに集積する SIMD プロセッサアレイが、VLSI 向きアーキテクチャとして数多く提案されている [1]- [3]。SIMD プロセッサアレイはプロセッサ数に比例するメモリバンド幅を必要とする。しかし、このバンド幅を得るために、これまでの SIMD プロセッサは、多数の汎用メモリチップとプロセッサアレイを使用していたため、高性能は発揮できるものの、その規模の大きさや高いコストから、広く普及するには至らなかった [4][5]。また、従来の SIMD プロセッサアレイは、集積するプロセッサ数に応じて、外部のメモリチップとのデータ転送のためのピン数が増大するため、面積的に集積可能かどうか以外にも、パッケージのピン数の制約から集積できるプロセッサ数に限界が生じてしまうという問題点があった。

筆者らは、これらの問題点に対して、一次元 SIMD プロセッサアレイと大容量メモリとを1チップに集積するアーキテクチャの研究を進め、セミカスタム LSI を使用したプロトタイプ LSI と、それを使用した動画像処理装置を試作し、機能、性能を実証してきた [6][7]。本論文では、今回新しくフルカスタム設計によって開発したメモリ集積型プロセッサ IMAP-2(Integrated Memory Array Processor) のアーキテクチャ、機能および性能見積もりについて報告する。

## 2 IMAP アーキテクチャー

IMAP は図 1 に示すように、大容量メモリの横に一次元プロセッサアレイを集積している。一次元アレイ構成の採用は、マルチチップ構成を容易に実現出来ることとチップ間で通信するための信号線によるピン数を節約出来ることを重視したためである。メモリアクセスでは、プロセッサ-メモリ間で、一行分のデータが一度に転送される。このため、広いバンド幅が得られるので、プロセッサアレイはメモリ

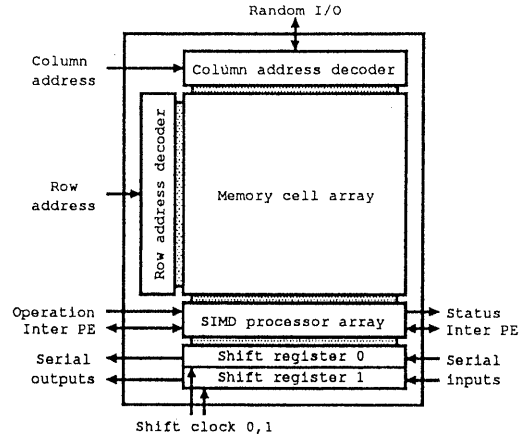


図 1: IMAP の概略構成

ボトルネックの問題を生じない。

メモリは、ランダムアクセスポートを持ち、外部プロセッサはチップ上のメモリを単なるメモリとみなしてアクセスすることが出来る。このため、IMAP のメモリを共有メモリとして、汎用プロセッサや専用プロセッサと組み合わせたシステムを容易に構築することができる。例えば、画像処理において、IMAP の SIMD プロセッサが画像処理を行い、外部プロセッサは、その処理結果を参照しながら、より上位の認識処理を実行することなどができる。

また、画像入出力と内部の演算を効率良く実行するために、ビデオ RAM と類似のシリアル入出力ポートを有している [8]。シリアル入出力にはシフトレジスタを使用しており、複数チップ構成にする場合にも、単純に一次元状に接続すればよい。画像は、内部演算で用いられるクロックとは独立のシフトクロックを用いてシフトレジスタに入出力される。したがって、画像入出力は、プロセッサアレイでの演算とオーバーラップして実行できる。プロセッサとシフトレジスタ間のデータ転送は、メモリアクセスや他の演算と同様、一行のデータを一度に転送する。

## 3 IMAP-2 の構成

今回開発した IMAP-2 の構成を図 2 に示す。IMAP-2 は、64 個のプロセッサ、40 個の 64K ビット SRAM、命令デコーダ、パイプラインレジスタ、および 2 つのメインワードデコーダから構成される。チップ内部には、シーケンサを持っていないので、命令はチップ外部から供給される。外部から供給された命令は、パイプラインレジスタにラッチされた後、デコード

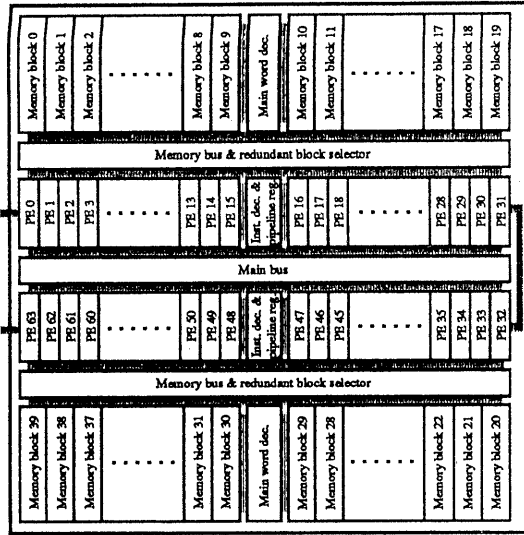


図 2: IMAP-2 のブロック構成

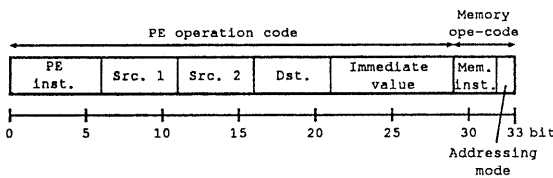


図 3: 命令コード

され、全プロセッサにブロードキャストされる。IMAP-2では、全ての命令は1クロックで終了する。

メモリ部には、既に報告済みの4MビットBiCMOS SRAM[9]のメモリブロックの設計を利用した。40個のメモリブロックのうち、8ブロックは不良ブロックの置き換え用の冗長ブロックである。すなわち、32個の64Kビットメモリブロックに64個のプロセッサが割り当てられることになるので、プロセッサ当りのメモリ容量は4Kバイトとなる。これはセミカスタムLSIによるプロトタイプによる機能検証の結果、複雑な画像処理アルゴリズムに対しては1プロセッサ当たり4Kバイト程度以上のメモリを持つことが望ましいことが分かったことによる。

IMAP-2は、演算とメモリアクセスを同時に実行できる構成を採っている。このため、図3に示すように、命令コード内に、演算命令部とメモリアクセス命令部とを持つ。演算命令部は6ビットの演算フィールド、5ビットのオペランドフィールドが2つ、5ビット

のデスティネーションフィールドおよび8ビットの即値フィールドの29ビットから構成される。また、メモリアクセス命令部は、3ビットの命令フィールド、1ビットのアドレッシングモード指定フィールドから構成されており、全体で33ビットである。演算命令は全部で37種類あり、11種類のALU命令、8種類のテーブル参照乗算命令、7種類のシフト命令、2種類のフラグ命令、4種類のPE間転送命令、3種類のマスクセット命令および2種類のデータ出力命令がある。メモリアクセス命令は、上位4ビットアクセスと下位4ビットアクセス用ロード/ストア命令がある。1ビットのアドレッシングモードビットは、メモリアクセスの際に、直接アドレッシングかレジスタ間接(以下、単に間接と呼ぶ)アドレッシングかを指定するのに用いられる。

### 3.1 プロセッサ

画像処理では、画像の濃淡を表現する8ビットデータに対する演算が多用されるため、8ビットアーキテクチャを採用した。プロセッサはALUとシフトおよび各種のレジスタなどからなる単純な構成である。プロセッサの構成を図4に示す。

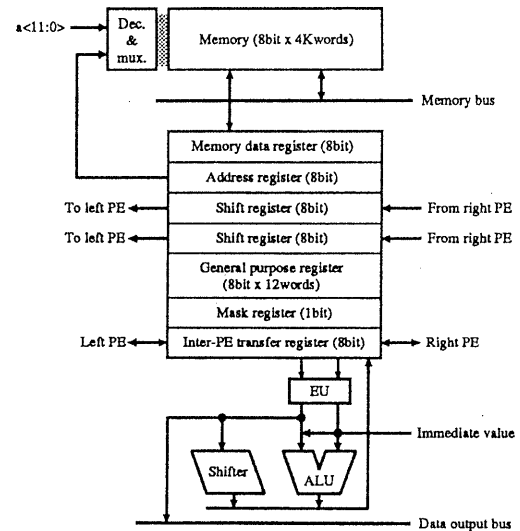


図 4: プロセッサの概略構成

#### 3.1.1 レジスタ

レジスタは、汎用レジスタが12本、隣接プロセッサ間データ転送に用いられるPE間転送レジスタ、

画像入出力用のシフトレジスタが2系統、プロセッサ毎に動作/非動作を設定できるマスクレジスタ、メモリとのデータ転送時に使用するメモリデータレジスタ、メモリを間接参照する時にアドレスをセットするアドレスレジスタの6種類から構成されている。マスクレジスタは、通常、演算結果によってプロセッサ毎に処理の内容を変える if-then-else のような制御を行う時などに使用され、演算結果のフラグをマスクレジスタにセットすることにより行う。

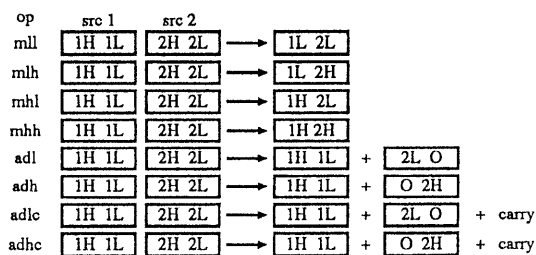
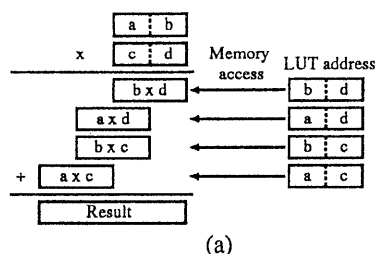
メモリデータレジスタは、メモリアクセス時に使用するレジスタで、ライト時には、前もってライトデータをそこにセットし、読みだし時にはリードデータがそこに転送される。アドレスレジスタは、間接メモリアクセス時に間接アドレスをセットするレジスタである。これらのメモリアクセス専用レジスタは、後述するメモリのプロセッサに対する倍速動作への対応をすると共にプロセッサアレイでの演算とメモリアクセスのオーバーラップを可能にしている。

### 3.1.2 4ビット交換ユニット(EU)

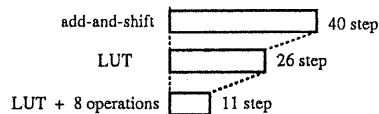
IMAP-2では、画像処理における乗算の頻度と、乗算器の面積、ALUによる乗算を高速化する付加回路およびその面積とを考慮した結果、乗算を高速化するための付加回路のみを組み込んだ。

IMAP-2において、シフトとALUのみを用いて単純に8ビット乗算を行うと40ステップかかる。一方、後述する間接参照を用いて、テーブル参照による乗算を行うと40ステップから26ステップに短縮される。これは、図5(a)に示すように、8ビット乗算を4つの4ビット乗算の加算と考え、それぞれの4ビット乗算を、テーブル参照で求める方法である。テーブル参照は乗数、被乗数の上位または下位4ビットを組み合わせた8ビットをアドレスとして、あらかじめメモリ上に用意しておいた256の解のテーブルを引くことで行われる。26ステップの内、14ステップはテーブルアドレスの生成、2ステップはメモリデータレジスタから汎用レジスタへのデータ転送、10ステップは、4つのテーブル参照結果の加算である。メモリ参照は、プロセッサでの演算と完全にオーバーラップして実行される。

IMAP-2では、このステップ数を更に短縮するために、テーブルアドレス生成および乗算部分結果加算用に4ビット交換ユニット(EU)を用意した。これは、レジスタから読み出した8ビットデータに、4ビットの論理シフトを施す回路であり、図4に示すようにレジスタの直後に配置されている。EUを使用する命令は、図5(b)に示すように4つのテーブルアド



(b)



(c)

図5: テーブル参照乗算

レス生成命令と4つのテーブル参照結果加算命令である。H、Lはデータの上位4ビット、下位4ビット、Oは0000を表す。

例えば、mll命令は、第1オペランドの下位4ビットと第2オペランドの下位4ビットを組み合わせて、8ビットのデータを生成する命令であり、adl命令は、第1オペランドに、第2オペランドを4ビット左シフトした値を足し合わせる命令である。このEUを付加することで、図5(c)に示すように、テーブル参照乗算のステップ数を26ステップから11ステップに削減することができた。

### 3.2 メモリ部

IMAP-2のメモリへのアクセスは、メモリアクセス命令によるプロセッサアレイからの内部アクセスと外部からのランダムアクセスポート経由の外部アクセスに分けられる。内部アクセスでは、全プロセッサが並列にアクセスする。外部アクセスは、単なる

メモリチップと同様に、外部から与えられたアドレスで指定される1バイトのデータをアクセスする。プロセッサアレイでの演算と、内部アクセスや外部アクセスは並行して行うことができるが、内部アクセスと外部アクセスは同時には実行できないので、外部で調停する必要がある。

### 3.2.1 高データ転送メモリ

IMAP-2において、プロセッサアレイからのメモリアクセス時に、64個のプロセッサが同時に1バイトのメモリをアクセスするためには、512個のセンスアンプが必要になる。多くのセンスアンプを実装することは、消費電力や面積の増大を招く。これを防ぐために、出来るだけ少ないセンスアンプ数で十分なデータ転送能力を持つメモリを実現するために、メモリアクセスを次のようにした。

#### (1) 4ビットアクセス

メモリアクセスの幅を単純にプロセッサ当たり4ビットとし、センスアンプの数を半減した。メモリアクセス命令は、上位4ビット用と下位4ビット用を用意した。

#### (2) 倍速アクセス

メモリアクセスをプロセッサの処理の倍速で行うことによって、同じデータ転送能力を得るのに必要なセンスアンプ数をさらに半減した。すなわち、クロックの前半でメモリブロックを共有する2プロセッサの内一方が、クロックの後半でもう一方のプロセッサがアクセスする。

4ビットアクセス方式および倍速アクセス方式によって、センスアンプを128個にすることが出来た。これによって、メモリ部の最大消費電力をプロセッサクロック40MHz、メモリクロック80MHzの時に2.7Wと抑えながら、プロセッサ-メモリ間のデータ転送幅の1.28Gバイト/秒を実現した。

### 3.2.2 動的パワー制御による低消費電力化

メモリ部は、アクセスの無いときは、メモリセルにデータを保持するための極微小な電流しか必要なくなる。従って、プロセッサで演算が行われ、かつそれとオーバーラップして実行できるメモリアクセスがない期間中、メモリ部をスタンバイ状態にしている。スタンバイ状態への移行および復帰は、1クロック毎にメモリアクセス命令をデコードした結果を元に、内部回路で自動的に行われる。スタンバイ状態では、約600mAのセンスアンプ電流の遮断およびデコーダ回路等の電力消費が低減されるので、メ

モリ部の消費電力を大幅に削減することができる。

動的パワー制御による消費電力削減効果はメモリアクセスの出現頻度に依存する。各種画像処理を実行した時の消費電力の見積もりを表1に示す。処理が単純でメモリアクセスが常時実行されるような場合は、メモリ部の消費電力は最大値の2.7W、平均値フィルタのように、メモリアクセスの行われる期間が全体の20%の場合は、メモリ部の消費電力は0.5Wとなる。

表1: 画像処理アルゴリズムとその実行時の消費電力

画像処理 アルゴリズム	メモリ アクセス率	メモリ部 消費電力	チップ 消費電力
画像間加減算	100%	2.7W	4.0W
プロジェクション	60%	1.6W	2.9W
平均値フィルタ (3×3)	20%	0.5W	1.8W
Max-min フィルタ (3×3)	9.3%	0.2W	1.5W

### 3.2.3 間接アドレッシング

IMAP-2には、全プロセッサが同じアドレスをアクセスする直接アドレッシングモードと、各プロセッサが異なるアドレスをアクセスすることのできる間接アドレッシングモードとがある。間接アドレッシングモードでは、各プロセッサは自らのアドレスレジスタの内容をアドレスとして各自のメモリをアクセスする。

画像処理において、フィルタリング処理などは、直接アドレッシングを使用して効率良く実行できるが、ヒストグラム処理でのデータの計数やハフ変換でのハフ空間への投票、ソーティング処理などは、間接アドレッシングモードの有無が処理速度に大きく影響する[10]。IMAP-2では、デュアルワード線方式のSRAMを利用することによって、汎用メモリのデザインを使用しながらわずかな付加回路によって間接アドレッシングを実現した。図6にその構成を示す。

今回IMAP-2のベースとして使用したSRAMは、アドレスデコードをメインワードデコーダと、各メモリブロック内にあるローカルデコーダ(サブワードデコーダとカラムデコーダ)で行う。IMAP-2では、メインワードデコーダへは、外部から与えられた上位アドレス4ビットを直接入力し、ローカルデコーダへは、外部から与えられる下位アドレス8ビットかプロセッサから与えられる8ビットのアドレスのどちらかをアドレッシングモードに応じて選択し入

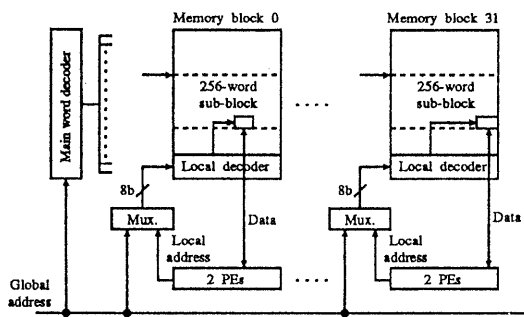


図 6: 間接アドレッシングのブロック構成

力する。

すなわち、間接アドレッシングモードの場合は、外部から与えられる上位アドレス 4 ビットをベースアドレスとして使用し、4K バイトのメモリを 16 分割した内の 1 つの 256 バイト領域を選択する。そして、プロセッサから与えられる 8 ビットデータは、その領域内のアドレスとして使用される。これによって、16 分割したメモリの任意の 256 バイト領域で間接アドレッシングが可能になっている。

### 3.3 データ / ステータス出力機構

#### 3.3.1 データ出力

IMAP-2 内のデータを外部に出力する方法には、ランダムアクセスポート経由の出力、プロセッサ間通信命令による両端 PE からの出力、そして任意のプロセッサからのデータ出力がある。図 4 に示すように、各プロセッサは、データ出力用のバスに接続されている。データ出力命令によって、ある一つのプロセッサからデータをバスに出力するのであるが、そのプロセッサの選択には、(1) 即値による選択、(2) マスクレジスタによる選択、の 2 通りの方法がある。

##### (1) 即値による選択

データ出力命令を実行するときに、即値によってバスへ出力するプロセッサを指定する。複数チップ構成のときのために、チップ選択信号も用意されている。この方法は、命令を供給する外部回路で、どのチップのどのプロセッサの値を読み出したいか決定している場合に使用する。

##### (2) マスクレジスタによる選択

プロセッサ毎に動作 / 非動作を設定できるマスクレジスタを使って、ただ一つのプロセッサのみを動作

状態に、他の全てのプロセッサを非動作状態にした後に、データ出力命令を実行する。この機能を使えば、プロセッサレイによって、メモリ内のデータを演算処理し、その結果に基づいてプロセッサ番号やデータを出力するという CAM 的な動作をさせることができる [11]。

マスクレジスタ選択命令は、あるチップ内で複数セットされたマスクレジスタの値の内、最も左もしくは右のものだけ残し、他はリセットする命令である。図 7 にその動作を示す。図 7(a) は最も左のセットされたマスクレジスタを選択する命令、図 7(b) は、最も右のセットされたマスクレジスタを選択する命令の動作である。

複数のマスクレジスタがセットされている状態で、セットされたプロセッサから順にデータを読み出したいときは次の手順を繰り返す。まず、マスクレジスタの内容を汎用レジスタにコピーする。次に、マスクレジスタ選択命令を実行し、1 つだけのマスクレジスタをセットしたのち、データ出力命令でセットされたプロセッサからデータを読み出す。その後、退避していたマスクレジスタの内容と、現在のマスクレジスタの内容の排他的論理和をとり、それをマスクレジスタにセットすることで、今読み出したプロセッサのマスクレジスタをリセットする。

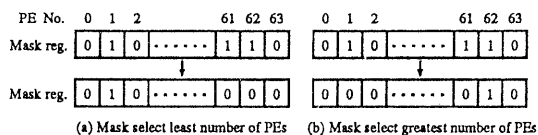


図 7: マスクレジスタ選択命令の動作

#### 3.3.2 ステータス出力

IMAP-2 はステータスとして、マスクレジスタステータスと演算ステータスを出力する。

マスクレジスタステータスは、全てのマスクレジスタの論理和を取った 1 ビット信号でマスクレジスタがセットされたプロセッサの有無を、チップ外部に出力する。複数チップ構成の装置で上記のマスクレジスタによるデータ読み出しを行う時、各チップから出力されるマスクレジスタステータスを調べるだけで、どのチップに対し読み出し動作をすべきか、また全ての読み出しが終了したかを判断することができる。

演算ステータスは、プロセッサの演算結果によってセットされるフラグをチップ外部に出力するもの

である。各プロセッサは、キャリー、ゼロ、サイン、オーバーフローの4つのフラグを持つ。演算ステータス出力命令によって、指定された任意のフラグの組み合わせについて、各プロセッサ内で論理和を取った後、全プロセッサの論理和を取った1ビットの信号をチップ外部に出力する。この信号は、条件分岐などのシーケンス制御等に使用することが出来る。

#### 4 チップレイアウトおよび諸元

IMAP-2は0.55 $\mu$ mのBiCMOS 2層アルミ配線技術を使用し、千百万トランジスタを15.1 $\times$ 15.6 $mm^2$ に集積した。チップ写真を図8に示す。また、表2にその諸元を示す。IMAP-2のピーク性能は8ビット演算に於いて3.84GIPSであり、それはプロセッサアレイ部での演算による2.56GIPSと、それと並行に実行可能なロード/ストア命令による、1.28Gバイト/秒のデータ転送によって実現されている。消費電力は、電源電圧3.3V、プロセッサ40MHz動作、メモリ80MHz動作時に、プロセッサ部1.3W、メモリ部2.7Wで合計最大4Wである。パッケージは208ピンセラミックPGAであり、その内信号線が144本である。

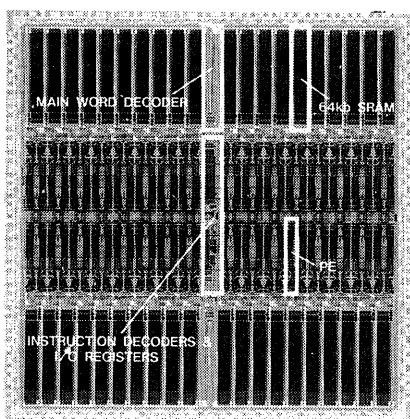


図8: IMAP-2 チップ写真

#### 5 システム構成例および性能予測

図9は、8個のIMAP-2を使用した動画処理システムの構成例である。一次元アレイ構成の512プロセッサを持つシステムで、最大性能は30.7GIPSを有する。チップ内部のメモリ容量は合計で2Mバイトとなり、512 $\times$ 512画素の8ビット画像を8面保

表2: IMAP-2の諸元

プロセス	0.8 $\mu$ m BiCMOS, 2層Al配線
チップサイズ	15.1mm $\times$ 15.6mm
トランジスタ数	千百万
動作周波数	プロセッサ: 40MHz、メモリ: 80MHz
パッケージ	208ピンPGA (信号線144本)
電源電圧	3.3V
最大消費電力	4.0W
最大性能	3.84GIPS (8ビット演算)

持することができる。2系統のシフトレジスタの内、一方はA/Dコンバータを介してカメラに接続されており、もう一方はD/Aコンバータを介してディスプレイに接続されている。

ホストプロセッサは、IMAP-2に命令を供給するためのコントローラやIMAP-2内部のメモリにバスで接続されており、コントローラ内のIMAP-2プログラムメモリへのプログラムロードや、処理の起動、IMAP-2内部のメモリの読み書きができる。従って、IMAP-2のプロセッサアレイは低レベル~中レベルの画像処理を行い、ホストプロセッサはその処理結果をIMAP-2内部のメモリを直接アクセスして、より上位の処理を行うことができる。表3は、このIMAP-2を8個使用するシステム構成でいくつかの画像処理を実行したときの処理時間をシミュレーションした結果である。全ての処理は、512 $\times$ 512画素の8ビット画像を対象とした場合である。基本的な画像処理はおおむねビデオレートの十数倍から数百倍の速度で実行できる。

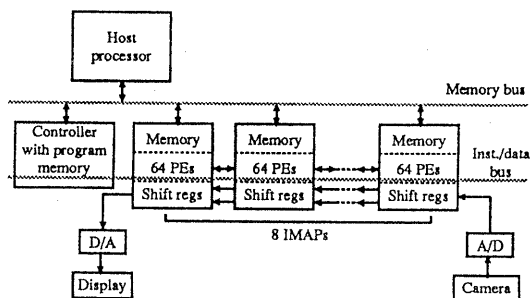


図9: IMAP-2 システム構成例

表 3: 画像処理性能予測

画像処理アルゴリズム	処理時間( $\mu$ s)	対ビデオレート比
画像間加減算	51	647 倍
プロジェクション	90	367 倍
ヒストグラム	497	66 倍
Max-min フィルタ (3×3)	576	57 倍
メジアンフィルタ (3×3)	2421	14 倍

## 6 おわりに

コンパクトな高並列一次元 SIMD プロセッサシステムを実現するために、2M ビットの SRAM と 64 個の 8 ビットプロセッサを集積する IMAP-2 を試作した。IMAP-2 は、 $0.55\mu\text{m}$  の BiCMOS 2 層 Al プロセスを使用し、千百万トランジスタを  $15.1 \times 15.6\text{mm}^2$  の面積に集積しており、最高で 3.84GIPS (8 ビット演算) の性能を発揮する。

IMAP-2 では、演算器を単純化することで 64 個のプロセッサの集積を可能にした。同時に乗算機能の不足を、メモリの間接アクセスを用いたテーブル参照方式乗算の使用およびそれを高速化する付加回路を組み込むことで補っている。

また、1.28G バイト/秒の高いデータ転送能力を持ったメモリ部を、センスアンプ数の削減を行うことで、ピーク消費電力を 2.7W と抑えながら実現した。さらに、動的パワー制御を導入し、実効消費電力をさらに小さくすることができた。また、デュアルワード線方式の汎用メモリを利用して、各プロセッサが 8 ビット幅で任意のアドレスへアクセス可能な間接アドレッシングを実現した。最後に、IMAP-2 を 8 個使用する動画画像処理システムの構成例とその性能予測を示し、IMAP-2 を使用することによって、コンパクトで動画画像処理に有効なシステムが構築できることを示した。

今後、IMAP-2 を使用した動画画像処理システムの構築、高級言語のサポートを行うと共に、IMAP の高機能化、低消費電力化、大容量化、およびその応用分野の拡大を進めていく予定である。

## 謝辞

本研究の機会を与您いただき、またご指導を与您いただいた、当社情報メディア研究所バタン認識研究部天満部長、マイクロエレクトロニクス研究所システム ULSI 研究部高田部長に深謝いたします。

## 参考文献

- [1] K. E. Batcher: "Design of a Massively Parallel Processor", IEEE Trans. on Computer, C-29, No.9, pp.836-840 (Sep. 1980).
- [2] T. J. Fountain, K. N. Matthew, M. J. B. Duff: "The CLIP7A Image Processor", IEEE Trans. on Pattern Analysis & Machine Intelligence, Vol.10, No.3, pp. 310-319 (May 1988).
- [3] L. A. Schmitt: "The AIS-5000 Parallel Processor", IEEE Trans. on Pattern Analysis and Machine Intelligence, Vol.10, No.3, pp.320-330 (May 1988).
- [4] W. D. Hills: "The Connection Machine", MIT Press, Cambridge, MA (1985).
- [5] J. R. Nickols: "The Design of the MasPar MP-2: A Cost Effective Massively Parallel Computer", MasPar Computer Corporation (1992).
- [6] 藤田善弘: "画像演算メモリ", 情処学計算機アーキテクチャ研究会, 89-1 (1991-07).
- [7] Y. Fujita, N. Yamashita, S. Okazaki: "Integrated Memory Array Processor: A Prototype VLSI and a Real-time Vision System", Proc. of Workshop on Computer Architecture for Machine Perception, pp.82-91, (Dec. 1993).
- [8] R. Pinkham, M. Novak, K. Gutttag: "Video RAM Excels at Fast Graphics", Electronic Design (Aug. 1983)
- [9] K. Nakamura: "A 6ns 4Mb ECL I/O BiCMOS SRAM with LV-TTL mask option", ISSCC Digest of Technical Papers, pp.212-213 (Feb. 1992).
- [10] P. J. Narayanan: "Processor Autonomy on SIMD Architectures", Proc. of the ACM Int. Conf. on Supercomputing, pp.127-136 (May 1993).
- [11] 田丸啓吉: "機能メモリ: 新しいアーキテクチャと集積回路技術", 情処学誌, Vol.32, No.12, pp.1230-1238 (1991-12).