

マルチメディア用RISCコントローラとその応用

河井 淳† 中澤 修† 楨 和彦‡ 大宅 伊久雄†

† 沖電気工業株式会社 研究開発本部 マルチメディア研究所

‡ 沖電気工業株式会社 電子デバイス事業本部 マルチメディアLSI事業推進センター

† 〒193 東京都八王子市東浅川町550-5

‡ 〒193 東京都八王子市東浅川町550-1

あらし

ASIC組み込み用32ビットRISCプロセッサファミリ、ASIC開発環境、およびソフトウェア開発環境を開発した。小型高性能、低消費電力なLSIと柔軟なシステム構成の提供を目指した。また、ASICとソフトウェアを並行して開発するためのハードウェア・ソフトウェア・コデザイン環境を構築した。本稿では、32ビットRISC基本仕様、および開発環境について述べ、評価を行う。また、このRISCを組み込んだASICについて紹介する。

和文キーワード：ASIC, RISC, ハードウェア・ソフトウェア・コデザイン, ASSP, ASCP, VLL, テキスト音声変換

An Embedded RISC for Multimedia and its Applications

Atsushi Kawai †, Osamu Nakazawa †, Kazuhiko Maki ‡, Ikuo Oyake †

† Media Laboratory, Research & Development Group, OKI Electric Industry Co., Ltd.

550-5, Higashiasakawa-cho, Hachioji-shi, Tokyo 193, Japan

‡ Multimedia LSI Business Development Center, Electronic Devices Group, OKI Electric Industry Co., Ltd.

550-1, Higashiasakawa-cho, Hachioji-shi, Tokyo 193, Japan

Abstract

We have developed a 32bit RISC processor family as for the ASIC embedded macro modules, and also have built up an ASIC and software design system. Our goals are customizable LSI macro libraries and ASIC design tools, by which users can tune the systems to reach their target performances with satisfying several constraints such as chip size, number of I/O pins and power consumption.

In this paper, we present basic specifications of the 32bit RISC family and hardware-software codesign environment. Then, we evaluate its performance, and finally introduce its application product.

英文key words: ASIC, RISC, hardware-software codesign, ASSP, ASCP, VLL, text to speech synthesizer

1 まえがき

最近、従来の数値やテキストデータに加えて、音声、画像データなどの多様化したメディアを介して表現される情報を扱うための技術開発、製品開発が盛んである。いわゆるマルチメディアブームである。マルチメディアは人を対象として始めて意味をもつものであるから、多くの人々が手にすることができるような機器が開発されることが広く社会に受け入れられるための条件であるといえよう。マルチメディア機器としては、PDAやゲーム機器などが身近なところで連想されるが、これらの構成要素として組み込み用RISCが重要な役割りを果たしている。このような組み込み用RISCとしては単に性能が高いだけではなく、チップ面積や消費電力についても優れていて、トータルコストを重要視している点が特長である。これらは、性能に大きなウエイトを置いた従来のRISC (Hot RISC; HRISC^{注1)}) にたいして、Cold RISC (CRISC^{注2)}) と呼ばれている¹⁾。

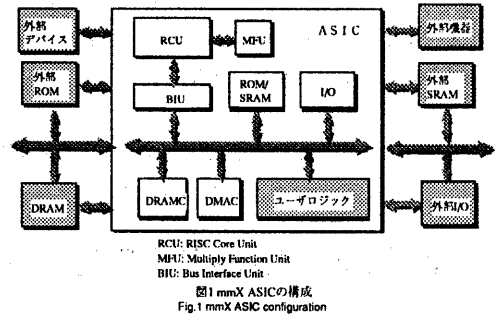
組み込み用RISCの利用環境としては、ASIC開発環境や、高級言語によるソフトウェア開発環境が整っていることが重要な条件である。システムが必要とする性能を満足する最も低コストなCPUと、これをコアプロセッサとするASIC、およびソフトウェアを早期に開発できる環境が求められる。

当社ではASIC組み込み用RISCプロセッサとしてmmX (Multimedia Executor) の開発を進めている。mmXは、マルチメディアを始めとする機器組み込み用ASICであるASSP (Application Specific Standard Products) やASCP (Application Specific Custom Products) に内蔵される32ビットRISCプロセッサファミリで、CPU、周辺I/Oモジュール、およびユーザロジックインタフェース等の各マクロライブラリと、これを利用するASIC開発環境、およびソフトウェア開発環境とで構成される。CPU

を始めとするLSIコンポーネントとしては、性能のみならず、小さなチップサイズ、低消費電力、およびユーザシステムに合わせた柔軟なシステム構成が採れるような工夫がされている。

2 mmX基本仕様

mmXは当社開発のピクセルプロセッサ (MSM7536) 2)3)をベースとする独自アーキテクチャによる32ビットRISCプロセッサ、および周辺I/Oモジュールで構成されるファミリで、現在、図1で白抜きで示されるASICを構成するための各モジュールが開発されている。現バージョンは初版のピクセルプロセッサから数えて第3世代にあたりmmX-V2と称している。



2.1 CPU

CPUは、RISC Core Unit (以下RCUと略す)、命令キャッシュ、およびBus Interface Unit (以下BIUと略す) とから構成される。表1にCPUの基本仕様を示す。RCUは5ステージで構成されるパイプライン方式のプロセッサで56の基本命令、およびオプションである6つの整数乗算命令を実行する。命令は全て32ビットの固定長とした。理由は、命令フィールドを均一にすることでシンプルなハードウェア構成をとること、命令の直交性を高く保つために32個の汎用レジスタと8個の専用レジスタにたいしほとんどの命令でオペランド指定可能とするこ

注1) HRISC: PC、ワークステーション向けの高性能であるが高発熱な性能重視のRISC

注2) CRISC: 組み込みマーケット向けの低消費電力でコストパフォーマンス重視のRISC

注3) VAXMIPS: 1秒当たりのVAX11/780のDhrystone 1.1ベンチマークの実行回数1758を1MIPSとしたときの性能値。VAX11/780は、米岡デジタルイクイップメント社の登録商標です。

RCU	
内部アーキテクチャ	5段パイプライン方式
レジスタセット	汎用レジスタ 32ビット×32語 システムレジスタ 32ビット×8語 (特権レジスタ、特殊レジスタ)
命令セット	56種 (基本) + 乗算6種 + オプション
乗算器	32ビット×32ビット→64ビット (32ビット出力選択)
メモリアドレスリング	ベース+ディスプレイースメント (ld, st) ベース+インデックス (sl)
命令キャッシュ	無し、1kB、2kB、4kB (16B/ブロック、ダイレクトマップ・VLI方式)
外部割り込み	16入力 (NMI含)、16レベル
BIU	
バス制御方式	シングルバス方式; 内部32ビット、外部8/16/32ビット (命令: 16/32)
アドレス空間設定	256MB/メモリデバイス、16MB/IO、16MB/システムレジスタ
メモリサポート	内蔵ROM/SRAM、外付けROM/SRAM/DRAM直結可能
ウェイト自動発生	デバイス毎に1-7アクセス設定、外部/内部ウェイト信号による拡張
バスマスタ	4バスマスタ (CPU、DMAC、内部バスマスタ、外部バスマスタ)
パリティチェック	バイトパリティ
諸元	
動作周波数	25Mhz (0.8μ)、40Mhz (0.5μ)
最大性能 (Dhrystone1.1)	31VAXMIPS ^{注3} (0.8μ, 25Mhz, 命令キャッシュ, 32ビットバス, メモリウェイトなし) 50VAXMIPS (0.5μ, 40Mhz, 命令キャッシュ, 32ビットバス, メモリウェイトなし)
規模	81ktr (0.8μ, RCU, BIU)、79ktr (0.5μ, RCU, BIU)
消費電力	300mW (0.8μ, 5V, 20Mhz, RCU, BIU)、240mW (0.5μ, 3.3V, 40Mhz, RCU, BIU)

表1 mmX-V2 CPU基本仕様
Table1 mmX-V2 CPU specification

と、3オペランド命令を基本命令とすること、大規模なAP実行を考慮して分岐オフセットやメモリアドレスディスプレイースメントを大きくとれること、そして将来のコプロセッサやレジスタ拡張にたいして十分な命令割り付けフィールドを確保することを優先したからである。狙いは、命令の継承性を高く保ちながら、コンパクトなオブジェクトコードと高性能を両立させることにある。現在、Cコンパイラの最適化と並行してオブジェクト効率の評価を行なっている。

命令は、条件分岐命令、乗算命令、およびロー

ド/ストア命令以外は1クロックサイクルで実行される。無条件分岐命令、および条件分岐命令にたいしては、遅延分岐命令を導入することにより分岐によるオーバヘッドを削減している。また、演算結果、および分岐条件を直接次の命令実行部、および分岐制御部に送り込むためのフォワーディングバスを設けることで、パイプラインストールによるウェイトサイクルを低減している。

命令キャッシュは、独自方式のVariable Length Line方式²⁾³⁾ (以下VLL方式と略す) で構成される。図2にVLL方式を示す。VLL方式は、キャッシュ

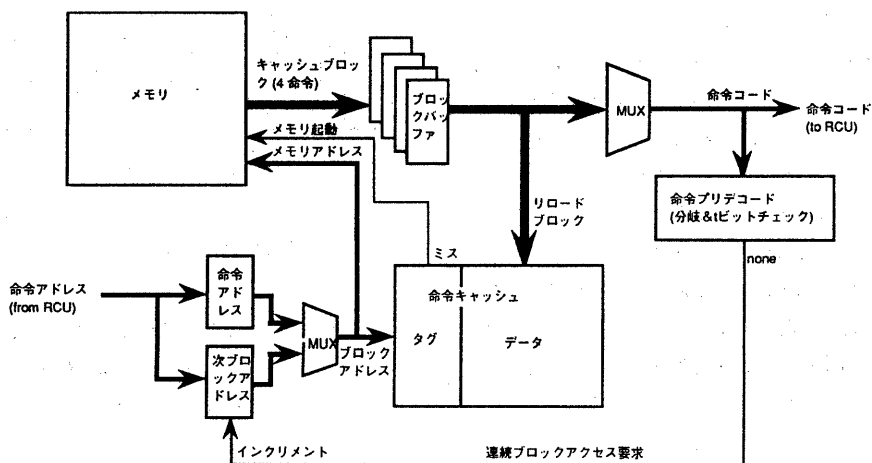


図2 VLL方式命令キャッシュ
Fig.2 Instruction cache memory with VLL algorithm

ユブロックの更新を行なう際に、入れ替えるべきブロックに連続するブロックをも先行してキャッシュメモリに読み込む方式である。バスが使用可能な状態である限りキャッシュブロックの先読みを行なうもので、メモリから読み込んだキャッシュブロック内の4つの命令中に分岐命令が含まれ、かつその分岐命令のtビットが"1"であるまで、連続する命令ブロックがキャッシュメモリに読み込まれる。VLL方式により、シーケンシャルな命令列はほとんどキャッシュミスが発生することなく命令実行を行なうことができる。分岐命令コードのtビットは、条件分岐命令における静的分岐予測ビットである。CPUの命令フェッチ部はこのビットが"1"の場合にはその条件分岐命令では分岐が成立すると予測し、命令ブロックの先行読み込みを停止する。命令キャッシュ容量は、必要とする性能とチップサイズ、そしてプログラムROMをASICに内蔵するか否かなどの条件に依存する。mmXでは、命令キャッシュを含まない構成、1kバイト、2kバイト、あるいは4kバイトのいずれかを撰択してASICに組み込むことが可能である。

BIUは、RCU、DMAC等のチップ内部のバスマスタ、およびチップ外部のバスマスタからのバスアクセス要求の調停と、チップ内蔵のROM/RAM、I/Oモジュール、および、チップ外部のROM/RAM、I/Oデバイスのためのアドレス、データ、および制御信号等のインタフェースをサポートする。各デバイス毎にアドレス空間が割り付けられていて、そのデバイスのアクセス速度に応じたウエイトサイクルの挿入、データ幅の設定、およびパリティチェックのサポートなどをソフトウェアにより設定することが可能になっている。システム構成をプログラマブルとすることにより、BIUの回路変更を行なうことなしに、必要とするASICの性能とチップサイズ、外部ピン数、動作周波数、および消費電力などを最適化することができ、システム構成の柔軟性とコストパフォーマンスの追及が可能である。

2.2 周辺モジュール

周辺モジュールは、クロックモジュール (CGB)、DRAMコントローラ (DRAMC)、DMAコントローラ (DMAC)、タイマモジュール (TMR)、シリアルI/O (SIO)、およびパラレルI/O (PIO) が用意される。表2にこれらの特長を示す。DRAMCは当社製品のほとんどのDRAMデバイスやSIMMをサポートし、ASICで直接駆動することができる。高速ページモードをサポートするためDRAMデバイスの最大性能を引き出すことができる。また、低消費電力型DRAMのセルフリフレッシュモードもサポート可能である。DMACは4チャンネルのDMAポートをもち、チップ内部のデバイス間、チップ内部と外部のデバイス間、およびチップ外部のデバイス間でのデータ転送をサポートすることができる。異なるデータ幅のデバイス間のデータ転送や、シングルアドレスモード、およびデュアルアドレスモードでのデータ転送を行なうことができる。TMR、SIO、およびPIOの各I/Oモジュールは1~8チャンネルまでを内部バスに直結することができる。

モジュール	特長
DRAMC	RAS/CAS発生、アドレスマルチプレクス、リフレッシュ制御、オートリフレッシュサポート、ファストページアクセス、1Mb~16Mb DRAM、SIMM、2バンクまでサポート
DMAC	2ch/4ch、8/16/32ビット、デュアル/シングルアドレス、バースト/サイクルスチールアクセス、バック転送
TMR	16ビット、カウンタクロック (1/4/16/64分周)、インターバルタイム/フリーランカウンタ
SIO	全2重、異同期/クロック同期、ポーレートジェネレータ内蔵、モデム制御信号、DMA転送サポート、エラーチェック機構、SIOデイズーチェーン、5Mbps (同期転送)
PIO	両方向8ビットデータポート、ハードウェアハンドシェイク、ソフトウェアポーリング、DMA転送サポート、10MB/S以上

表2 mmX周辺モジュールの特長
Table 2 mmX peripherals

3 ハードウェア/ソフトウェア・コデザイン環境

mmXを組み込むASIC開発と、そこで実行されるアプリケーションシステム (以下APと略す) の開発を並行して進めるためのハードウェア/ソフトウェア・コデザイン環境⁴⁾を構築した。ハードウェア/ソフトウェア・コデザイン環境として

は、システムの仕様記述、あるいはアルゴリズム記述からハードウェアとソフトウェアの境界を決定し、それぞれの自動合成を進める完全トップダウン的な環境5)とか、APに必要な命令やレジスタのミニマムセットを合成したCPUと、そのCPUに最適なコンパイラを生成する最適化CPU合成環境6)など、高度な開発環境も研究されている。しかし、我々の開発した環境はシステム全体を合成したり、最適なCPUとコンパイラを生成するものではなく、mmXのRISCコアと周辺モジュールを最大限に活かしたASICの設計と、そのASICにマッチしたソフトウェアの開発を並行して進めるためのものである。図3にmmXでサポートされるハードウェア・ソフトウェア・コデザイン環境を示す。ASIC開発とソフトウェア開発はシステムレベルシミュレーションを行ないながら並行して進めることができる。

システムレベルシミュレーションは、実際のAPプログラムをクロックレベルシミュレータ上で実行させて行なう。クロックレベルシミュレータは、シミュレーション性能と移植性を重視してC言語で記述され、ハードウェアの仕様に忠実にクロックサイクル単位でその振る舞いをモデル化している。シミュレータは、mmX CPUや周辺モジュールのみならず、ASIC固有の専用ロジックやASIC外部に接続される外部メモリ、および外部デバイス等を全てモデル化することができる。このクロックレベルシミュレータを使用することにより、ターゲットハードウェアを装置レベルでモデ

ル化してAPを実行させることが可能である。ASIC設計においては命令キャッシュの容量、内部メモリ容量、外部データバス幅などの構成や、動作周波数などの評価/決定を行なうことができる。また、同時にリアルタイム性の高いAPのデバッグや最適化を進めることができる。これらの評価パラメータは簡単なコンフィグレーションファイルを作成することで設定することが可能である。システムレベルシミュレーション環境はハードウェア・ソフトウェア・コデザイン環境の中核となるもので、ソフトウェア開発環境と完全にインテグレートされている。また、ASIC設計についても、システムレベルシミュレーションと同一のテストプログラムを用いてLSIシミュレーションを行ない、シミュレーション結果の確認を行なうことができる。このように、ユーザはASIC開発とソフトウェアデバッグを同一のツールとユーザインタフェースで並行して進め、ハードウェアとソフトウェアの貫性を確認することができる。

4 ソフトウェア開発環境

ソフトウェア開発環境は、当社で独自に開発を行なったツールと、フリーソフトウェアであるGNUTMをベースにmmXのアーキテクチャに即した改良を加えて移植を行なったツールとで構成される。mmXはASIC組み込み用プロセッサであるため、開発されるソフトウェアは基本的にリアルタイムシステムである。そこで、時間的にクリティ

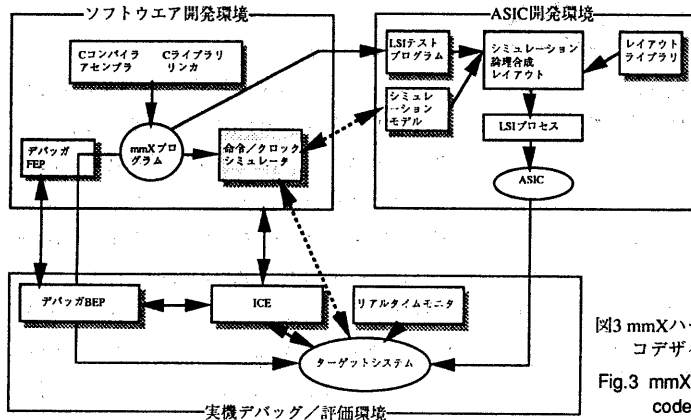


図3 mmXハードウェア・ソフトウェア・コデザイン環境

Fig.3 mmX hardware-software codesign environment

カルなソフトウェアや、ROMに格納することを前提としたプログラムの開発が多いといった点を考慮し、組み込みシステムに最適なソフトウェア開発を行なうための環境を開発している。

図4にソフトウェア開発環境の構成を、以下にその特長をそれぞれ示す。

- ・mmXの命令セットを活かした最適化Cコンパイラにより、実行性能/コード効率が良く小型で高性能なシステムの開発が可能。
- ・シミュレータ上と実機上で同じユーザインタフェースを有するCソースレベルデバッグの提供により、実機デバッグへのスムーズな移行が可能。
- ・ANSI準拠Cライブラリ、リアルタイムモニタ、I/Oドライバ等の豊富なライブラリ群の提供により、生産性の高い組み込みシステムの開発が可能。

なお、現状の開発環境はUNIX[®]ワークステーション上で使用可能であるが、今後、パーソナルコンピュータへの移植も計画している。

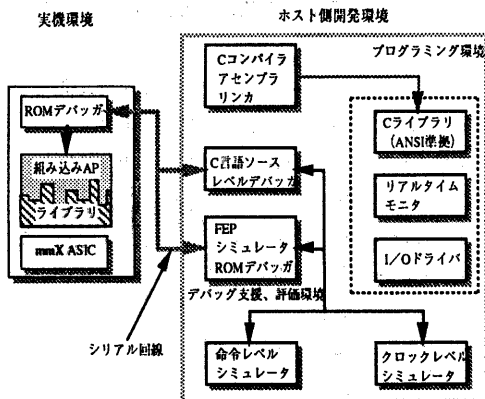


図4 mmXソフトウェア開発環境 (V2.1)
Fig.4 mmX Software environment (Ver.2.1)

5 評価

mmXのオブジェクトコードサイズ効率、およびベンチマーク性能を測定した。サンプルプログラムは全てC言語で記述されている。また、ベンチ

マーク性能は、クロックレベルシミュレータで測定した。

5.1 オブジェクトコードサイズ

GNU版ポストスクリプトインタプリタであるGhostscriptのオブジェクトコードサイズを比較した。表3に測定結果を示す。表では、使用したそれぞれのCPUにたいするCコンパイラ、オブジェクトサイズ、およびmmXのオブジェクトコードサイズにたいする比を示す。mmXの命令は32ビット固定長であるにもかかわらず、現在市販されている32ビットRISCに比べ優れた値を示している。また、mmXでは直交性の高い32ビット命令と32個の汎用レジスタを備えるため、大域的な最適化を効果的にはたかせることが可能で、ソースプログラムサイズが大きくなる程、高オブジェクト効率となることも確認している。

CPU (コンパイラ)	オブジェクトサイズ (比)
mmX-V2 (GCC 2.5.8-02)	154,616 B (1)
A社CISC (GCC 2.2.2-02)	124,620 B (0.81)
B社RISC (CC-02)	195,248 B (1.26)

表3 Ghostscript オブジェクトサイズ比較
Table3 Comparison of Ghostscript object sizes

5.2 ベンチマーク性能

5.2.1 実行性能

Dhrystone 1.1の実行性能をVAXMIPS値で、また、テキスト音声変換APプログラムの実行性能をCPI (Clocks Per Instruction) 値で測定した。命令キャッシュ容量と、メモリアクセスクロック数・データ幅をパラメータとした。図5にDhrystone 1.1の実行性能を示す。Dhrystoneベンチマークでは、プログラムメモリ、データメモリ共にアクセスクロック数・データ幅を変化させた。VAXMIPS値は、0.5μ プロセスによるmmX-V2の最大動作周波

注4) GNU:米国で開発されフリーソフトウェアとして配布されている種々のソフトウェア開発ツールで、多くの使用実績をもつ。
注5) UNIXは、X/Openカンパニーリミテッドがライセンスしている米国並びに他の国における登録商標です。

数である40Mhz時の性能を示す。図6にテキスト音声変換APの実行性能を示す。テキスト音声変換AP実行では、プログラムメモリは実際の使用条件を考慮して16ビット幅/1ウエイトアクセス時間(1命令/4クロック時間)に固定し、データメモリのアクセスクロック数・データ幅のみを変化させた。mmX-V2のCPUは、シンプルながらも高度なパイプラインアーキテクチャ、およびコンパイラとの整合が良い命令セットをもつため、組み込み用RISCとしては高い処理性能を達成している。また、RISCプロセッサでは、CPUアーキテクチャのみならず命令キャッシュ容量、メモリアクセス速度、およびバス幅の設定が性能に大きな影響を及ぼす。これらのパラメータはチップサイズ、消費電力、LSIパッケージなどのコスト要因に直接結びつく。mmX-V2では、ASICの要求するコストパフォーマンスに最適な構成をとることが可能である。

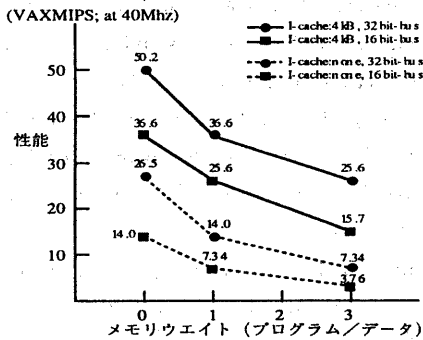


図5 Dhrystone 1.1 性能
Fig.5 Dhrystone 1.1 performance

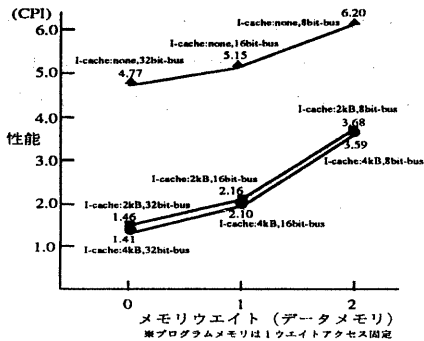


図6 テキスト音声AP CPI値
Fig.6 CPI for text to speech benchmark

5.2.2 キャッシュヒット率

テキスト音声変換APプログラムでの命令キャッシュヒット率を測定した。キャッシュ容量と、データメモリアクセスクロック数・データバス幅をパラメータとした。設定条件は前述のテキスト音声変換APの実行性能測定と同様である。図7に測定結果を示す。本APプログラム実行においては、命令キャッシュ容量が2kBの場合と4kBの場合とではキャッシュヒット率に大きな差はなく、命令キャッシュとしては2kBがコストパフォーマンスの面で最適であるといえる。プログラムの実行特性とVLL方式がマッチして、小容量ながら高いキャッシュヒット率を達成することができた。

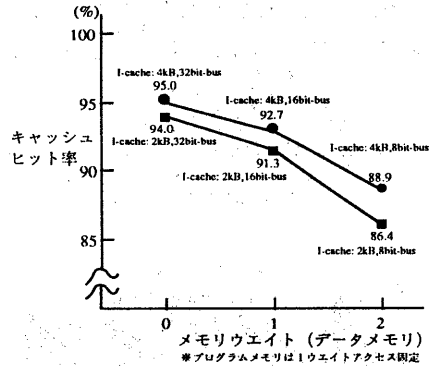


図7 テキスト音声AP 命令キャッシュヒット率
Fig.7 Instruction cache hit ratio for text to speech benchmark

6 応用製品

mmXを組み込むASSPとしてテキスト音声変換LSI (MSM7576) を開発した。また、MPEG2デコーダ (MSM7592) を現在開発中である。

6.1 テキスト音声変換LSI (MSM7576)

MSM7576は0.8μ CMOSで設計されたmmXをベースとするASSPである。本LSI、プログラムおよび辞書を格納するための外部ROM、および入力テキストの読み込みやワーク領域として使用するための外部DRAMの3チップで、テキスト音声変換

システムを構成することができる。ROMに書き込まれるアプリケーションプログラムはC言語で記述され、mmXソフトウェア開発環境を使用して開発デバッグを進めた。クロックレベルシミュレータにより実際のアプリケーションプログラムを実行することで、LSIの開発と並行してプログラムデバッグを行なうことができた。また、命令キャッシュ容量、外部データピン数などのLSI構成評価、および動作周波数の決定にもクロックレベルシミュレータを活用した。表4にLSIの仕様を、写真1にMSM7576のチップ写真を示す。

CPUアーキテクチャ	32ビットRISC方式(5段パイプライン)
命令数	62(兼算命令を含む)
命令長	32ビット固定
アドレス空間	チップ内部4GB, チップ外部16MB
データバス	チップ内部32ビット, チップ外部16ビット
命令キャッシュ	2kB(VLL方式)
割り込み	チップ内部4(SIO, PIO, タイマx2), チップ外部1
メモリ制御	外部ROM, SRAM, DRAMを直接駆動
内蔵I/O	タイマx3, SIO, PIO, D/Aコンバータ
LSI諸元	プロセス 0.8 μ m CMOS2層ポリシリコン2層メタル配線
トランジスタ数	267kt
チップサイズ	9.41mm x 9.2mm
パッケージ	100ピンQFP
動作周波数	10Mhz
消費電力	440mW@10Mhz, 5.5V

表4 MSM7576(テキスト音声変換LSI)仕様
Table4 MSM7576 specification

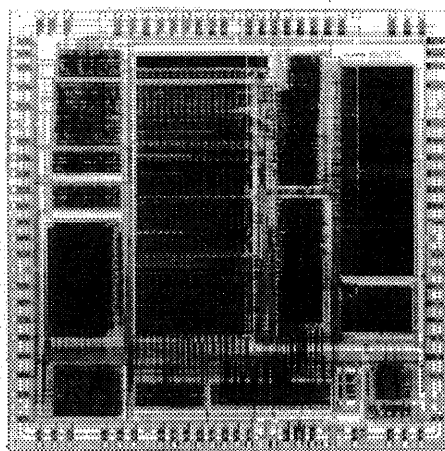


写真1 MSM7576チップ写真
Photo 1 MSM7576 microphotograph

7 あとがき

mmXは、当社独自アーキテクチャのASIC組み込み用RISCプロセッサ、およびその周辺モジュールで、LSIマクロライブラリに加え、統合化されたASIC開発とソフトウェア開発環境を提供する。現在mmX-V2を開発中

ある。応用ASSPとしてテキスト音声変換LSIを開発完了し、MPEG2デコーダを開発中である。今後、ASCPとしての応用のためのセミカスタムLSI開発環境へのデータベース化を進めると共に、更に高性能化、小型化、および低消費電力化の改良を盛り込むV3の開発を行なう予定である。

参考文献

1. "Special report: Embedded 32-bit RISC" COMPUTER DESIGN 1994 Jan., pp.77~96, 1994
2. K.Maki et al.: A Continuous reload on chip instruction cache for low-end RISC, IEEE, 1993, Symp. VLSI Circuits Dig. of Tec. Papers, pp.13~14,1993
3. 横、他:ローエンドRISC用連続書き換え可能なオンチップキャッシュ構成法,電子情報通信学会,集積回路研究会資料,1993
4. "Hardware/Software Codesign" IEEE Micro 1994 Aug., pp.8~58, 1994
5. R. Gupta and G. De Micheli, "Hardware-Software Cosynthesis for Digital Systems," IEEE Design & Test of Computers, Sept. 1993, pp.29~41
6. 中村, 安浦:ハードウェア/ソフトウェア同時協調設計のためのSoft-Core Processor, 情報処理学会計算機アーキテクチャ研究会資料, 1993年9月, pp167~174
7. Richard M. Stallman, "Using and Porting GNU CC", last updated 19 June 1993 for version 2.4
8. Hennessy, J. L. and Patterson, D. A., "Computer Architecture: A Quantative Approach, Morgan Kaufmann Publishers, Inc., 1990;
富田, 村上, 新實(訳), ヘネシー&パターソンコンピュータ・アーキテクチャー設計・実現・評価の定量的アプローチ, 日経BP社, 1992