

# 1チップ高並列3DCGレンダリングプロセッサ 「AGP」のアーキテクチャ

吉沢 英樹, 大塚 竜志, 佐々木 繁  
(株)富士通研究所 マルチメディアシステム研究所

業界標準であるOpenGLをはじめとして、多様化するCGアプリケーションへの対応とポリゴン性能450Kゲーラード・ポリゴン/秒、テクスチャ性能15メガテクセル/秒の高速性能を1チップで実現する3次元CGレンダリングプロセッサ「AGP」: Advanced Graphics Processorを開発した。AGPは、様々なCGシステムの構成に柔軟に対応し、高い処理性能を持てるように、プロセッサコアと高速パイプラインを組み合わせたヘテロ型プロセッサアーキテクチャで設計した。プロセッサコアは、2命令並列プログラム実行可能であり、3D-CG専用高速パイプライン回路はOpenGLに準拠した機能を持つ。本報告では、アーキテクチャの詳細と性能評価について述べる。

## Highly parallel architecture of a single chip 3D-CG rendering processor "AGP"

Hideki Yoshizawa, Tatsushi Ohtsuka, and Shigeru Sasaki  
Fujitsu Laboratories LTD.  
1015 Kamikodanaka, nakahara-ku, Kawasaki 211, Japan

### Abstracts:

The AGP (Advanced Graphics Processor) has been developed as an one-chip 3D-graphics rendering processor which can support not only the OpenGL functions but also many kinds of applications. Only one AGP can achieve 450 Kilo-polygons/sec when an isolated 25pix Gouraud shaded polygon is processed, and achieve 15 Million Texcels /sec when an isolated 200pix Gouraud shaded polygon is processed. The AGP has been designed by a heterogeneous processor architecture which can adapt to various configuration of CG systems and achieve high performance. An original micro processor core can execute 2 instruction in parallel. And a high speed 3D-CG pipeline circuit block supports the OpenGL functions. This paper describes about its details of the architecture and evaluating results of its performance.

## 1. はじめに

筆者らは、ワークステーション領域の性能を持ちながら、パーソナルコンピュータに適用できる、高性能3次元グラフィックスプロセッサ「AGP」を開発した。

文字、図形、音響、画像、CGなど、複数のメディアを統一的に扱えるマルチメディア・プラットフォーム環境の実現を目指し、パソコンを中心に、世界的に技術開発に拍車がかかってきた。これらメディア群の中で、特に三次元CGは、これまで高価なワークステーション環境下でしか提供されておらず、CAD/CAMや映像制作などのプロフェッショナル向けという印象が強い。ところが、1994年、マイクロソフト社がWindows/NT環境で三次元CGライブラリOpenGLの提供宣言をはじめ、業務用ゲーム機の世界で数々の三次元CGを活用したゲームタイトルが発表され、セガエンタープライゼス社のサターンや、ソニーコンピュータエンターテインメント社のプレイステーションなどが、三次元CG機能を標準搭載する家庭用ゲーム機として急速に普及するにつれ、三次元CGは、プロフェッショナルの枠を超え、他のメディアと同様に個人でも常識のメディアになりつつある。

またコンピュータグラフィックスを中心とするマルチメディア用途を意識した製品開発も活発化している。例えば、米HP社<sup>1)</sup>やサンマイクロシステムズ社<sup>2)</sup>のような命令拡張したRISCプロセッサ、三菱の3DRAM<sup>3)</sup>のように特定の論理演算機能をメモリバス上に集積したものなどが挙げられる。これらは、特定のアルゴリズムに対する性能向上を狙ってはいるが、コスト面で即座にPC製品に適應できないものが多い。

筆者らの目指す次世代3次元CGシステムは、PCやゲーム機に代表されるように、低価格かつ優れた機能拡張性と高性能を兼ね備えたものである。次世代CGシステムは、マルチメディア市場を含むコンシューマ製品市場を中心にパーソナルユースを基本とした製品であって、単に3次元CGを高速に実行できるだけでなく、多様な他メディアとの融合処理も可能であることが求められる。これらの機能の実現を狙った最近の製品アナウンスの例として米SGI社のMedia Accelerator、米3DO社のM2、伊仏SGS-THOMSON社のSTG2000などを例に挙げることができる。

最近のゲーム機では、今までワークステーションでしか見られなかった3次元グラフィックス技術をわずかに数万円の家庭用ゲーム機に搭載している。ゲーム機のCPUは、廉価版マイクロプロセッサであるという認識は、もはや時代錯誤である。今や32ビットCPUは常識であり、最先端のRISCプロセッサを使用している。基本システム構成もパーソナルコンピュータと区別が難しくなっている。つまり、市場を区分している要因は、もはや価格だけであり、技術面ではすでにボーマスになっているのである。したがって、ワークステーションで培われた業界標準のグラフィックスライブラリは、パーソナルコンピュータやゲーム機という枠組を越えて広まろうとしている。

## 2. 技術課題

### 2.1 マルチメディアシステム構築における課題

マルチメディアシステムの実現において主な技術的課題は、

- (1) 多様なアプリケーションに対応できる 機能拡張性、柔軟性を持っていること
- (2) メモリネットワークを回避し、高性能を実現できること
- (3) 部品数を削減し、システムコスト低減を実現することであると考える。

第1の課題は、マイクロプロセッサを用いてプログラムで対応することで容易に解決できる。しかも最近では、データキャッシュの搭載による高速データアクセスや動的命令スケジューリング技術、新たな高次の命令追加などによって汎用マイクロプロセッサの潜在的性能は向上の一途をたどっている。そのため、汎用プロセッサで全てを処理する方が合理的であると考えられる風潮がある。確かに科学技術計算のように一度使用したデータを再利用する可能性の高い処理では、データキャッシュ等によるアクセスの高速化技術は性能を向上させる上で有効である。

ところが、三次元CGのレンダリングにおけるZバッファ・アルゴリズムや、動画伸張<sup>4,7)</sup>の離散型逆コサイン変換のなどマルチメディアの中核技術となる処理では、データの再利用が余り期待できないため、汎用マイクロプロセッサのキャッシュ効果は殆んど期待できない。つまりデータアクセスに無駄を生じる。データアクセスに空きができれば、どんなに演算が高速であっても、マイクロプロセッサの実効性能低下

は避けられない。また、本来マイクロプロセッサは特定の演算機能に対する専用設計を行なう代わりに、プログラムによって、論理的に等価な機能を実現し、機能拡張性と柔軟性を得ているため、性能面で最適とは言い難い。したがって、CGアプリケーションのように、テクスチャ処理、ステレオ画像表示など、大量のデータアクセスを必要とする場合には、メモリアクセスがボトルネックとなって速度低下は著しいものとなり、第2の課題を解決することは、はなはだ困難なものと言わざるを得ない。

また、汎用マイクロプロセッサと専用ASIC等で解決する場合を考えてみても、システムを構成する部品数が増加し、高速システムを設計することが困難になるばかりでなく、システムコストの上昇を招く。したがって、第3の課題も解決できない。

つまり、マルチメディアシステムでは、プロセッサの多命令実行制御技術などによる基本性能向上も必要であるが、それは間接的な改善効果に留まる可能性が高く、抜本的改善は、データアクセス性能をいかに向上させるかに掛かっている。つまり、合理的なデータアクセスを考慮したハードウェアを備えたマイクロプロセッサを用いて解決する方式が妥当なのである。しかし、単なるエンベデッドプロセッサでは、汎用マイクロプロセッサと同様に命令オーバーヘッドを生じるため、デバイス駆動及び命令セットにも踏み込んだものであることが望まれる。

## 2.2 CGにおける課題

マルチメディア化に対応できる次世代CGシステムでは、多彩な機能と高性能、及び低価格システムを実現する必要があることは容易に類推できる。しかし、その実現方法を議論する前に現状のCGシステムが持つ技術課題を解決しておく必要がある。一般に三次元CGの処理レイヤは、ワークステーションもパソコンも同様であり、アプリケーション・レイヤ、API(Application Program Interface)レイヤ、ジオメトリ・レイヤ、レンダリング・レイヤに分割できる。ところが、詳細に検討していくと、どのレイヤまでをホストCPUで処理するのか、アクセラレータで処理するのか、更にレイヤ内の分割箇所を何処にするかによって、その分割点での情報転送速度限界などの影響を受けて、トータル処理速度が変

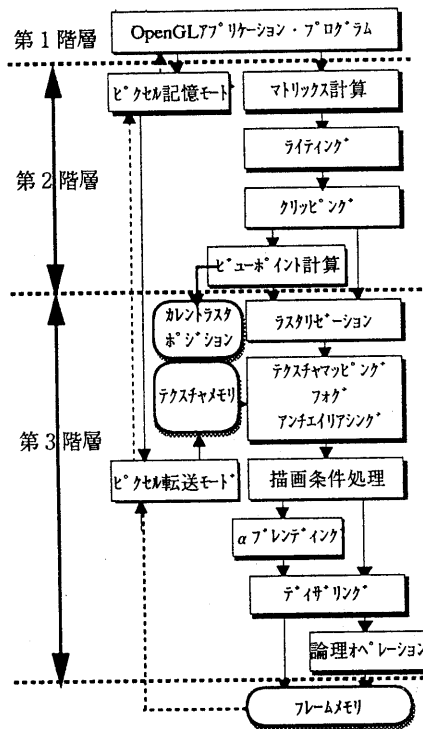


図1 OpenGL処理階層

わる。図1は実際に公開情報として提供されている業界標準のOpenGLライブラリの処理階層構成である<sup>31)</sup>。通常ワークステーションでは、同図の第1階層または第2階層でホストCPUとの処理分担がなされる。PCに於いてもよく似てはいるが、Windowsの3DDDI<sup>32)</sup>となるインターフェイスでは、この付近の仕様が、OpenGLのそれとは微妙に異なっている。このようにプラットフォームを越えて同一のCG環境を実現する場合、問題が生じる。現状では、メーカーごとに仕様の異なる専用設計されたデバイスと、これらライブラリ仕様間の調停は、全てホストCPU上に用意されたドライバなどによってソフト的に実行されている。

つまり、次世代CGシステムに於ける柔軟性や情報統合の機能を実現すること以外に、様々なインターフェイス仕様やシステム内の負荷分散の問題をも解決しなければならない。

## 3. AGP7-駆動

以上のような仕様を満たす解の一つとして、エンベデッドマイクロプロセッサを挙げることができる。エンベデッドマイクロプロセッサを用いれば、マイクロコードを変更することによ

り容易に機能拡張を行うことができる。そのため、上位システムの構成やインターフェイス仕様の変更、処理の負荷分散に対し柔軟に対処できる。AGPでは、できるだけ広範囲に適用できるよう、CGシステムに於ける対応レイヤをレンガリングレイヤに設定した。マイクロコトで制御を行う以上、通常のマイクロコトと同様の問題を抱えている。CG処理について言えば、ピクセル毎に付随する数多くの属性データに関する計算処理、データ転送、パイプライン回路部との同期管理など、オーバーヘッドを生じさせる要因は様々である。特に、小さなポリゴンを処理する場合などでは、オーバーヘッドによる速度低下が顕著に現われる。CG処理では、様々な大きさのポリゴンに対して一定の性能を保つことが理想であり、その性能が高いほどよい。しかし、どのようにハードウェアを構成してもポリゴンの大きさに依存して処理性能が変化してしまう。この問題は、高い性能を持ったレンガリングLSIを設計する上でも問題となる。その場合、設計仕様上、機能・性能と回路規模のトレードオフをどのようにバランスさせるかが重要となる。AGPでは、PCを中心とするマルチメディア市場ニーズに対応するため、目標速度を400Kポリゴン/秒程度とし、この速度をクリアするためのエンベテッドマイクロコトについて様々な検討を行った。その結果、マイクロコト部で生じるオーバーヘッドを低減するには、レンガリング処理で使用される転送・演算命令の処理サイクルを縮めること、パイプライン処理部との同期処理をノーオーバーヘッドで実行する専用命令(SLEEP)の必要があることが分かった。また、これらの改良は、殆ど小さなポリゴンの処理速度を改善するに過ぎないこともシミュレーションによって確認された。さらに、広範囲なポリゴンサイズで高いCG処理性能を得るには、プロセッサに接続するCGパイプライン回路にも高速化の工夫を施す必要があることが分かった。そこで、CGパイプライン処理を機能毎に別々に分割し、それらを並列に動作できるように改良を行った。特に、テクスチャ処理を行う場合、テクスチャメモリとZ値等描画制御情報を格納しておくメモリ(ロカールメモリ)とのアクセス競合が回避され、フレームメモリに対するデータ更新処理方法の改良との相乗効果によって、顕著な速度改善が確認できた。

このように、安定して高い性能を得るには、単純なエンベテッドプロセッサでは不十分であり、様々な工夫が必要とする。AGPは、それらに対する工夫を施したベテロ型プロセッサを開発することにより、CG処理に於ける柔軟性と高速性を両立することが可能になった。

AGPにレンガリング・レイヤをインプリメントした場合、DDA処理までの処理をマイクロコトで実行し、DDA処理以下の画素レベルにまで落ちた処理を付加されたCGパイプライン回路で処理する。これらの処理は、各画素に付随する多数のパラメータ(色、Z値、テクスチャ座標など)を扱う必要がある。すなわち、粒度の小さい処理を高速に実行する。反対にDDA以前の処理は、上位の幾何変換処理部とのデータの通信・変換処理や、様々なタスクレーションルや上位系の処理内容に対しマイクロコトを用いて柔軟に対処する。以下に三角形ポリゴンを描画するアルゴリズムを例にAGPによる並列処理方式例を説明する。

まず上位系システムとはデータブロック(パケット)を介して通信により結ぶ。AGPは、通信制御部によってパケット・データを解釈変換して通信制御部内のパケット・バッファにデータを蓄える。データ形式は、バイナリ形式とIEEE-754単精度浮動小数点数を基とする。浮動小数点形式のデータが入力された場合、この通信制御部により自動的に40-bit固定小数の内部表現に変換される。通信制御部は、1つのパケットの入力処理が完了するか、またはパケット・バッファが一杯になった時、マイクロコト部内のステータス・レジスタに状態が表示される。ユーザは、こ

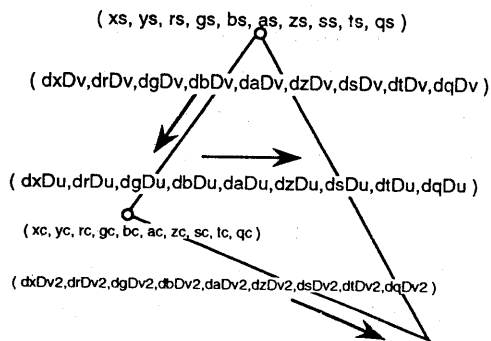


図2 パケット情報

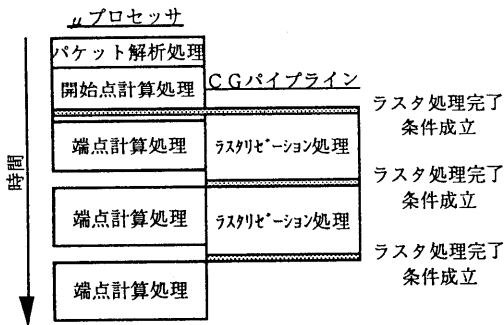


図3 協調動作

の情報に対して割り込み処理等のマイクロプログラムを作成しておき、パケットの形式に応じて処理を選択し、様々な処理機能を実現することができる。三角形ポリゴン描画処理では、上位システムから渡されるパケットには3つの頂点での色・位置・各種勾配データが含まれている(図2)。このように、パケット形式で渡されたデータから、マイクロプロセッサ部に与えられるプログラムによって、ラスタレージョンルールに従い、DDAに必要な各種パラメータを算出する。DDAでは、三角形ポリゴンを水平走査線方向の線分(スパン)に分けて扱う。AGPのCGパイプライン回路部は、この線分を構成する画素を処理単位とした高速処理を実現する。

図3にマイクロプロセッサとCGパイプライン部が、どのように協調動作するかを示した。まず、マイクロプロセッサ部は、三角形の描画開始点の各種データをプログラムで算出する。次に、開始端点のデータを、DDA処理の初期値と増分、スパンを構成する画素数をDDAの繰り返し回数として与え、CGパイプラインに非同期実行を命令内のビットによって指令する。

この非同期実行の開始を境にして、マイクロプロセッサ部は、次の端点演算処理をCGパイプラインとは並列に実行し、DDA処理部にあるプログラムされたレジスタに書き込む。図中色づけされた時刻まで1つのスパン処理の完了を待つ。スパン処理の完了は、パケット受け取り通知と同様にステータスレジスタ内に完了フラグとして伝えられる。AGPでは、パイプライン・タイルによるオーバーヘッドの無い待ち合わせを実現できるよう、待ち合わせ命令(SLEEP命令)を装備している。従って、1スパン処理の

完了と同時に非同期実行命令を発行するだけで、CGパイプラインは新たに設定された初期値と増分値を受け取ってに次のスパン処理を開始し、再びマイクロプロセッサ部は、オーバーヘッド無しで、新たな端点計算を開始できる。これら一連の流れはポリゴンを構成する最終スパンまで繰り返される。

このようにAGPのアーキテクチャの特徴は、ラスタ処理を境界として、性質の異なる2つの回路を協調実行できるように設計されている点にある。それは、各々の処理の特徴を利用したインプリメントを行なうことによって各々の回路のデメリットが現れないようにしたことにより、一般にマイクロプロセッサが苦手とするメモリに密結合した処理を高速の専用パイプライン回路に任せる代わりに、パイプライン回路の欠点である機能拡張性をマイクロプロセッサ部で補っているということである。

しかも、各々がCGレンダリング処理という1つのパイプライン処理の中にあって、並列かつ協調して実行している。次にLSIの詳細構成について触れる。

#### 4. LSIの構成

##### 4.1 マイクロプロセッサ

図4にAGPのデバイスアーキテクチャを示す。AGPは、グラフィックス・ライブラリごとに微妙に異なる描画制御仕様を吸収し、複雑なデータ構造を持った情報や音声などの他デバイスデータとの連携処理を扱えるよう主・副2つの演算部を備え、水平型64-bit長命令で動作するマイクロプロセッサによって制御される。このマイクロプロセッサ部は40-bit固定小数点データを標準として主演算部にALUとハルゲン

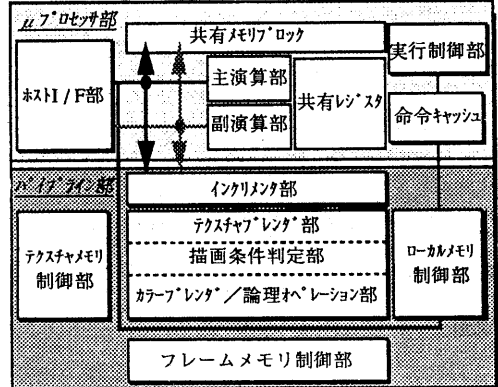


図4 デバイスアーキテクチャ

74, 副演算部にALUとハレルツ付き乗算器を備えている (図5)。主・副各々に8本のロカレジスタと、主・副どちらからでも同時に読み書き可能な16本の共有レジスタを持つ。その他、機能レジスタとしてデータセクタメントレジスタ、スタックポインタ、スタックレジスタ、2本のインテックスレジスタ、割り込みマスクレジスタを主演算器系に、パイプライン回路を制御するリポートカウンレジスタ、コンフィレーションレジスタ、DDA処理部に組み込まれたパラメタ初期値、増分値を保持するレジスタ、2本のインテックスレジスタを副演算器系にそれぞれ割り付けられている。よって、マイクロプロセッサ部で計算されたデータは、直接DDA処理部に書き込みができる。しかも、DDA処理部のレジスタは、ダブルハツク構成であるため、パイプライン動作中でも書き込み可能である。従って、オーバーヘッド無しでCGパイプラインに転送することができる。また、主・副演算部各々から並列アクセスできる256ワードの共有メモリが装備され、主・副が独立した内部バスに接続されており、並列にメモリアクセスが可能である。主演算器側バスには、ロカメモリ、フレームメモリ、テクスタメモリ、パケットバッファ、共有メモリ、各種制御レジスタが割り付けられ、副演算器側バスには、パケットバッファ、共有メモリのみがマップされている。

AGPIは、命令実行やデータ管理などを主演算部で実行し、パイプライン制御のための処理を副演算部で実行する方式に適したアーキテクチャで構成されている。命令は3つの部分から成り、主演算制御系、副演算制御系、CGパイプライン制御系を制御する。このうち、主演算制御系命令によってプログラムの実行は制御され、他の2つの命令実行順序はこれに従う。従って、主または副いずれかの命令でパイプライン拡張(パイプライン例外)が

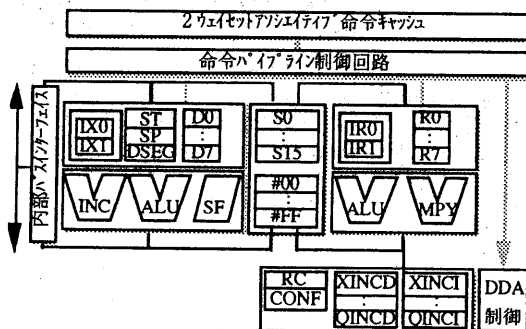


図5 マイクロプロセッサ部の構成

発生した場合、他方はそれに追従して命令実行が自動的に抑止される。これによって、ユーザが記述した主副の命令実行順序を保証することができる。主演算系命令80種、副演算系命令40種、CGパイプライン系命令3種を自由に組み合わせることができる。

命令は4ステージパイプラインで処理される。主・副の命令実行は64ビット水平型命令であるため、同期して並列実行される。CG専用パイプライン回路の実行制御は、命令の下位3ビットに設けられたフラグによって行なわれる。先の主及び副演算器とは異なり、このビットがセットされた時点でプログラムの実行とは独立に処理を開始する。処理の停止条件は、副演算部にマップされたリポートカウンレジスタの値が負になるか、またはパイプライン強制停止命令(PABORT命令)によって停止する。

#### 4.2 CG専用パイプライン

図6にCGパイプライン部の構成を示す<sup>9,10)</sup>。CG専用パイプライン回路は、DDA処理部、テクスタプレンダ部、描画条件判定部、αプレンダ部、及び3つの独立したメモリコントロール部からなる。

DDA処理部は、11個のインクリメントを装備し、1クロック毎に描画位置、色データ、テクスタ座標、デプスキュー係数などを算出して、これに繋がるテクスタプレンダに画素単位で転送する。転送速度は最大1.56GB/秒(テクスタ付きグローバルリソシエイティブ処理時)に達する。テクスタプレンダは、テクスタ座標値からテクスタ格納アドレスを補正計算回路によって算出し、テクスタ格納用メモリを制御する専用メモリコントローラに与える。さらにメモリコントローラから読み出されたテクスタデータと、DDA処理部より与えられる色データに対するブレンド処理を実行する。また、描画条件処理部では、Z値、ステッル値、ビットマスク値など各種制御データをロカメモリから読みだし、描画制御を行う。描画条件判定処理後のピクセルは、更にαプレンダ、論理演算部で処理されフレームメモリコントローラを介して描画される。AGPでは外部メモリを、テクスタを格納するテクスタメモリ、色データ、描画制御用データ、プログラムなどを格納するロカメモリ、表示データを格納するフレームメモリの3つに分割し、互いに並列アクセスを可能にした。しかも、各メモリ毎に独立した演算回路と制御回

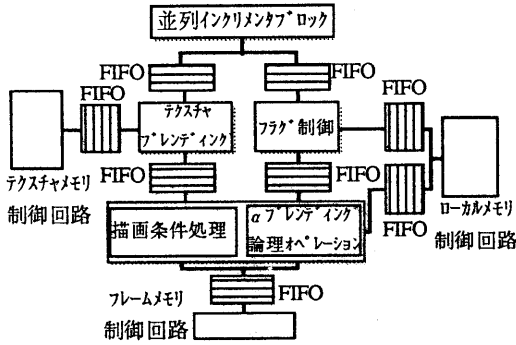


図6 CGパイプラインの構成

路を装備し、格納されている各種データに密結合した高速処理を可能にしている。このようにCG処理では、各処理の独立性が強く、メモリ間相互のアクセスを殆んど無くすることが可能である。AGPでは、この点を利用し、各処理ステージ毎処理に並列性を持たせることにより、容易に高速性を得ることが可能になった。

さらにAGPでは、高速処理を可能にするため、DRAMに代わるメモリとしてシンクロナスDRAMを採用した。このメモリを利用した場合のメリットは、高速バスアクセス速度にある。AGPではこの特長を活かし、今までのDRAMやVRAMではメモリバンク幅の不足によってインクリメント等の手法が不可欠であった、大型メモリでの高速処理を実現した。図7にテキスト付きピクセル処理時の1ピクセル当たりの各メモリバンクアクセスに要したサイクル数を示す(シミュレーション値)。この図から分かるように各パイプラインステージの処理速度はピクセルサイズによって、そのボトルネックとなるステージが変化して行く。100画素以上のピクセルを処理する場合はフレームメモリのアクセスサイクル数が描画性能を決定しており、DRAMやVRAMをローカルバッファやテキスト

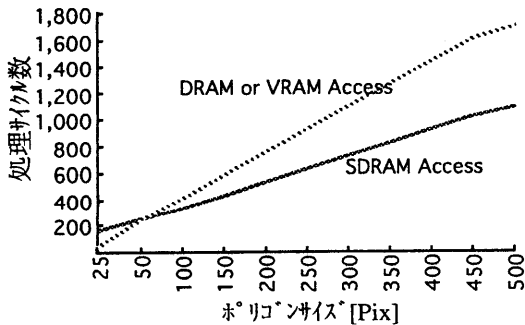


図7 機能別メモリアクセス速度比較

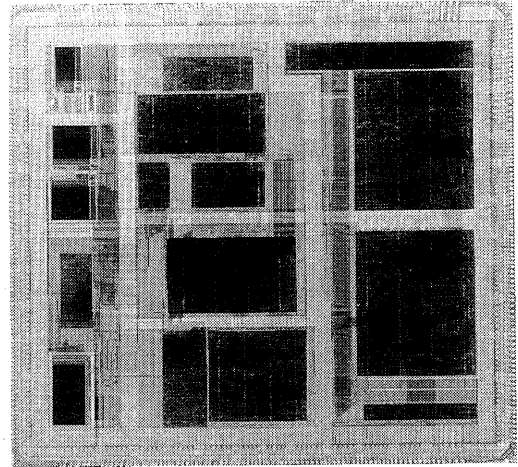


図8 チップ写真

メモリとして使用する場合に比べ、シンクロナスDRAMを採用した場合は、大幅に速度改善されていることが分かる。

AGPのメモリ空間は16Mワード。外部・内部割込機能を持つ。使用テクノロジーは、0.5μCMOSスタンダードセル。集積規模は、約110万トランジスタ、消費電力5W(60MHz動作時)で、パッケージは304ピンシミックQFPである。図8に本チップの写真を示す。

### 5. 評価実験

AGPの性能を検証するため、評価実験を行った。実験では、LSI内部状態の詳細を調べるため、AGPの汎用フラグ端子を用いて実測した。図9は、独立ピクセル描画性能、図10は、テキスト付き独立ピクセルの描画性能である。その結果、450Kワードピクセル/秒、15Mワード/秒(200ピクセルテキスト付きワードピクセル)を達成できることが確認された。さらに、メモリアクセスを伴うCGパイプラインとの協調動作時とμプログラムのみ(非協調動作時)の性能を比較した場合、25ピクセルのワードピクセルを除きμプロセッサ部の処理能力にはゆとりがあることが分かった。DDA処理をハードウェア化しているため、ワードピクセルをコンスタントピクセルと同等の速度で処理できることも確認された。

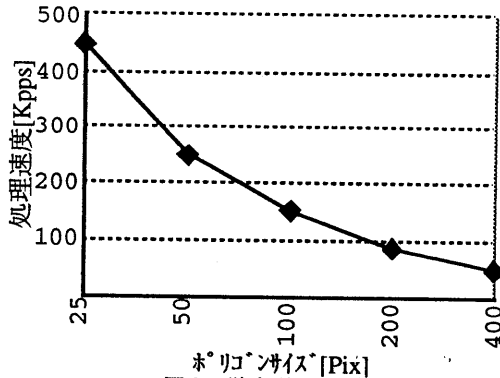


図9 独立ポリゴン性能

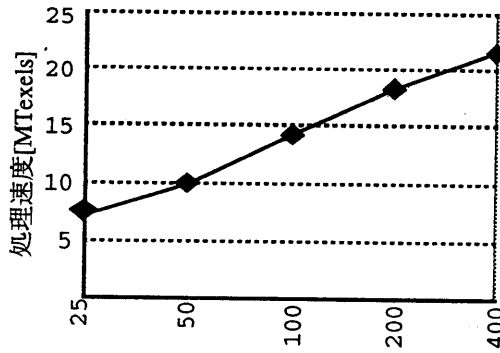


図10 テクスチャ性能

#### 7. まとめ

以上のように、CGアルゴリズムを考慮し、マイクロプロセッサと専用パイプラインを用いたアーキテクチャにより、450Kポリゴン/秒、15Mテクセル/秒という、極めて高速且つ機能拡張性をもつアーキテクチャを開発できた。

またAGPのように、マイクロプログラムによる制御を行ってもCGパイプライン回路との非同期動作によって実用領域（100ピクセル以上）においてプログラムオーバーヘッドは、問題にならないことも明らかになった。

以上より、AGPは1チップLSIとしてメモリ性能限界に近く、極めて優れた実用性能を持つプロセッサであると結論できる。

#### 参考文献

- 1) R. Lee, Multimedia Enhancements for PA-RISC Processor, Symposium Record of IEEE HOT Chips VI, pp.183-192, 1994.
- 2) A. Chamas, et al., A 64b Microprocessor with

Multimedia Support, Proc. of ISSCC '95, pp.178-179, 1995.

3) K. Inoue, et al., A 10Mb 3D Frame Buffer Memory with Z-Compare and Alpha-Blend Units, Proc. of ISSCC'95, pp.302-303, 1995

4) 北垣, 「マルチメディア画像LSI」, 電子情報通信学会誌, Vol.78, No.1, pp.76-84, 1995

5) 枝, 原田, 「低価格WSの3次元グラフィックス性能向上でパソコンの追撃を振り切る」, 日経エレクトロニクス 1994年10月24日号, no.620, pp.75-92

6) J. L. Hennesy, et al., 「コンピュータ・アーキテクチャ」, 日経BP社, 1994

7) 「最新ASIC設計術'94」, 日経BP社, 1993

8) K.R.Rao, et al., 「画像符号化技術」, オーム社, 1993

9) J. Neider, et al., OpenGL Programming Guide, Addison-Wesley Publishing Company, 1993

10) OpenGL ARB, OpenGL Reference Manual, Addison-Wesley Publishing Company, 1992

11) 原田, 「米マイクロソフトと米アップル, 3次元グラフィックスの仕様策定」, 日経エレクトロニクス 1995年4月24日号, no.634, pp.18-19