

パストラジスタ論理に基づく 低消費電力回路方式

李副烈*, 瀧和男**

*神戸大学大学院自然科学研究科

**神戸大学工学部情報知能工学科

速度向上よりも消費電力の削減に重点を置いたパストラジスタ論理 SPL と、それを用いてシステムを構成するための回路構成方式 SPHL を提案する。SPL は単一出力からインバータを用いて相補出力を生成する。また、回路の遅延時間が許容範囲にある限り中間バッファを挿入しない多段 nMOS 回路で構成する。したがって、トランジスタ数と貫通電流を同時に削減できる。SPHL はレジスタ・SPL・出力バッファの組を多段接続してシステムを構成し、信号の状態遷移確率を下げたり制御信号線負荷を減らすことにより、システムワイドに低消費電力化を図る方式である。16 ビット加算器を SPL で構成した結果、CMOS 回路に対して、トランジスタ数、遅延時間、PD 積が各々 83%、45%、56% であり、きわめて良好な結果が得られた。

A New Low-Power Circuit Technology based on Pass-Transistor Logic

BuYeol LEE* Kazuo TAKI**

*Graduate School of Science and Technology, Kobe University

**Department of Computer and Systems Engineering

Faculty of Engineering, Kobe University

This paper proposes a new low-power circuit technology SPL/SPHL based on pass-transistor logic. SPL generates complimentary signals from single output and an inverter. SPL is constructed from long chain of nMOS pass-transistors without intermediate buffers unless delay exceeds the limitation. So, SPL reduces both the number of transistors and short-circuit current of inverters. SPHL is a system architecture, which cascades sets of a resistor, SPL and output buffers. It reduces the signal transition rate and control line capacitance. SPL 16bit adder has been designed which shows much better results than CMOS on a number of transistors(83%), delay(45%) and power-delay product(56%).

1 はじめに

近年になって、低消費電力かつ高速な LSI の実現技術に関する研究が盛んに行なわれている。

CMOS 回路の消費電力 P は $P=f \cdot p \cdot C \cdot V^2$ で表すことができ、 f はクロック周波数、 p はスイッチング確率、 C は負荷容量、 V は電源電圧を表す。これらのそれぞれの値を小さくすることで電力消費が削減できるが、各々については多様な方法が提案されている [1]。

スタティック CMOS 回路よりも低消費電力、高速、小チップ面積を実現できる可能性を持つ低消費電力技術として、パストランジスタ論理が注目を集めている [1-4]。遅延時間が小さいことから V を下げても性能が得られ、かつ使用トランジスタ数が少ないために C が小さくなる回路技術といえることができる。

パストランジスタ論理に関する従来の研究 [2-5] は、どちらかという 고속論理回路の実現に重点が置かれていたと見ることもできるが、本研究では、目標の動作速度を保ちながらできる限り低消費電力の LSI を実現する技術として、パストランジスタ論理系の新しい回路方式を提案し、シミュレーションによる評価を試みる。

以下、第 2 章では提案する回路方式の概要と設計思想について、第 3 章ではその中核を成すパストランジスタ論理 SPL について詳細に述べる。第 4 章では SPL を用いてシステムを組む場合に、前記の p や C 、さらに貫通電流などを削減することのできる回路構成方式 SPHL について述べ、第 5 章では SPL のレイアウト方法について触れる。さらに第 6 章では、SPL を用いた設計例とシミュレーションによる性能測定結果を報告し、SPL の良好な特性を示す。

2 SPL/SPHL の概要と設計思想

本論文で提案する新しいパストランジスタ論理 SPL/SPHL は、およそ以下に示す考え方で低消費電力 LSI を設計するための回路方式として考案したものである。

動作電圧と動作速度の要求値を定めた上でなるべく低消費電力の LSI を設計することを考える。ただし、対象は超高速回路ではなく、どちらかといえば中速回路を想定している。

動作電圧を固定すると、許容遅延時間を満たす範囲で最小エネルギーで動作する回路を設計すればよいことになる。すなわち電力遅延積 (PD 積) 最小の回路である。この 1 次近似として、nMOS パストランジスタ論理を用いたトランジスタ数最小 (に近い) 回路を設計する。

これを行なうために、論理記述に基づきノード数になるべく少ない 2 分決定木 (BDD) を合成し、それを多段接続の nMOS パストランジスタ論理に変換する。多段接続であるから、許容遅延時間を満たさない部分が出る。そこでクリティカルパスにだけ中間バッファを必要数挿入してパストランジスタの連続段数を短くし遅延を短縮する。これはちょうど、PD 積最小の回路から出発して、許容遅延を満たすところまで PD 積を増加させながら高速化する操作である。こうして SPL を実現する。

SPL は多段の nMOS パストランジスタ論理であるため、出力の H レベル遷移がきわめて緩やかになること、および H レベルが低下することの問題がある。SPHL はこれを解決するとともに、レジスタ・SPL・出力バッファの組を多段接続してシステムを組むときのために、信号線の状態遷移確率を下げたり制御信号線負荷を減らす等によりさらなる低消費電力化を図るためのシステムワイドな回路構成方式である。

以下、SPL と SPHL について説明する。

3 SPL

3.1 基本構成

本研究で提案する SPL (Single rail Pass-transistor Logic) は動作速度よりも消費電力に重点をおいたパストランジスタ論理である。SPL の特徴は 2 つある。まず第一点について述べる。パストランジスタ論理は入力として正負両論理が必要である。既存のパストランジスタ論理は正負両論理を生成するために Double Rail で構成されている。SPL はパストランジスタ論理回路で正 (負) 論理だけを生成し、負 (正) 論理も必要な場合はインバータを用いて生成する (図 1)。したがって、SPL は既存のパストランジスタ論理よりもトランジスタ数を削減できる。第二点は、既存のパストランジスタ論理においては一定の段数ごとにバッファを挿入するが、SPL は回路の遅延時間が許容範囲にある限りバッファを挿入

せず多段の nMOS で構成する (例えば図 10)。

CPL [2]*と SPL による全加算器のキャリー生成回路を図 1 に示す。

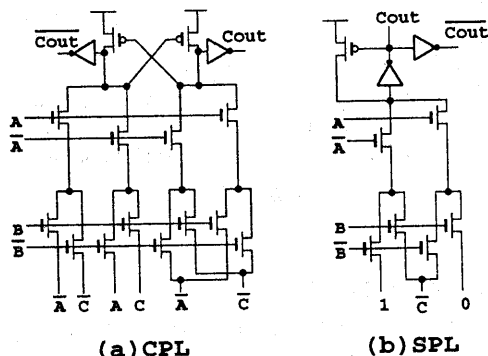


図 1: 全加算器のキャリー生成回路

SPICE シミュレーションによる SPL の全加算器の性能を表 1 に示す。設計ルールは $0.8\mu\text{m}$ 、主トランジスタサイズは $w = 4\mu\text{m}$ 、 $V_{DD} = 3\text{V}$ である。CPL が最も高速であるが、SPL が最も消費電力が小さい。

表 1: 全加算器の性能

性能	CMOS	CPL	SPL
トランジスタ数 [個]	30	32	22
速度 [ns]	1.79	0.60	1.26
PD 積 [picoWs]	1.42	1.26	0.96

3.2 SPL の構成法

パストランジスタ論理の構成法は、従来の CMOS とは異なる。SPL はパストランジスタ論理の構成法として良く知られている 2 分決定木 (Binary Decision Diagram, 以下 BDD) を用いて構成する。図 2 で示すように、論理式を BDD に変換し、次に

*CPL(Complementary Pass-transistor Logic) は nMOS パストランジスタを用いて論理回路を構成する。出力に CMOS インバータを付けて、nMOS によって下がる H レベル信号からフルスイング出力を得る。また、下がった H レベル信号によるインバータの直流電流を押えるために pMOS 交差ラッチをつけ、H レベルを V_{DD} に補正する。

BDD の各ノードをトランジスタにマッピングすることで SPL を構成する。

$$f = a \oplus b \oplus c$$

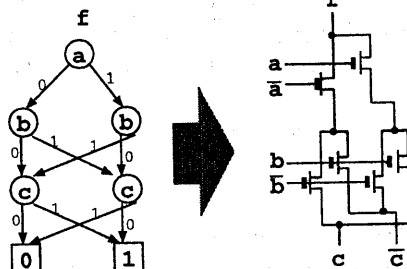


図 2: BDD によるパストランジスタ論理の構成

SPL を構成する際、以下の方法を組み合わせることによって、BDD のノード数を削減し、消費電力を小さくする。

ノードの共有化 複数の関数を同時に簡略化すれば、関数同士のノードが互いに共有化され、トランジスタ数をさらに削減できる。BDD の大きさや共有するノード数は変数順序によって変化する。経験的に多くの出力関数と関係が深い変数ほど木のリーフ側に並べることによって、小さい BDD を構成することができる。

同型部分木の置換 BDD では同じ型の部分木であっても、その部分木の入力が異なれば共有することはできない。図 3 に示すように、2 入力 1 出力の部分木が同型の場合、その部分木を新しい変数のノードと置き換え、新しい変数のノードの値は置換された部分木を用いて生成する。この置換による方法 MPL [5] の考え方と同様である。置換を行なうことによって、BDD の深さと大きさを小さくでき、遅延短縮にも効果的である。

否定枝の利用 BDD の否定枝表現を利用して木が十分小さくなる場合、否定枝をインバータにマッピングする。

3.3 nMOS 多段回路の遅延

nMOS を直列に繋いだ多段回路において、遅延時間は直列段数の 2 乗にはほぼ比例するため、既存のパストランジスタ論理回路では nMOS の一定の段数ごとにバッファを挿入している。しかしながら、負

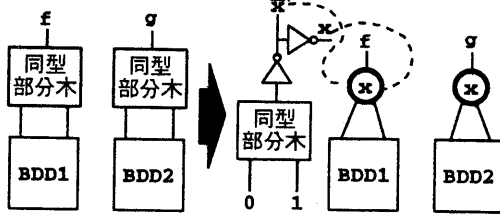


図 3: 部分木の置換

荷容量の小さい回路ではバッファの遅延が占める割合が大きい。nMOS だけを直列に繋いだ多段回路と nMOS 2 段ごとにバッファを挿入した多段回路 (図 4) の 50%遅延[†]を図 5 に示す。各段の負荷容量は off 状態の nMOS である。各段に (a) 負荷容量がない場合 (b) 負荷容量が 2 つの場合 (c) 負荷容量が 4 つの場合 (d) 負荷容量が 8 つの場合を HSPICE を用いてシミュレーションした。それぞれ (a) 14 段 (b) 8 段 (c) 6 段 (d) 4 段までは nMOS だけの回路の方が遅延時間が短い。したがって、負荷容量の小さい回路においてはバッファを挿入しなくても遅延時間は十分小さい。SPL では、遅延を満たす限りバッファの挿入を行わず、トランジスタ数とインバータによる貫通電流の両方を削減することができる。

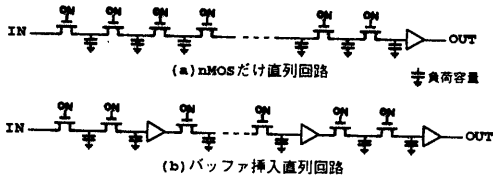


図 4: nMOS 直列多段回路

もし、SPL で構成した組合せ論理回路が目標の遅延時間を満たさない場合には、その信号のクリティカルパス上にもみ必要数の中間バッファを挿入する。

[†]入力電圧が $V_{DD}/2$ に達してから出力電圧が $V_{DD}/2$ に達するまでの時間

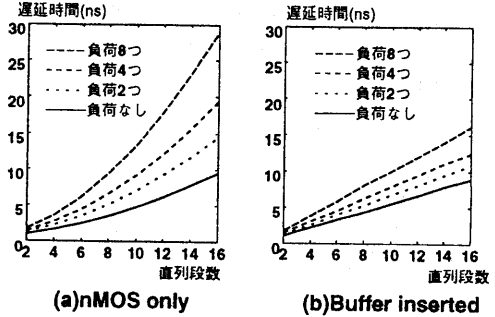


図 5: 多段回路の遅延

3.4 貫通電流の削減

パストラジスタ論理では CMOS の貫通電流とは異なるものとして、ノード変数の変化時にその相補信号値が同時に H レベルになる場合、直流電流が流れる。ホールダ (図 6-8) や中間バッファの相補出力については、信号の H 遷移を L 遷移より常に遅らせるように工夫することで、前述の直流電流を削減できる。

4 SPHL

SPL をベースにしたシステム全体の構成法として、SPHL (Single rail Pass transistors and Holders Logic) を提案する。SPHL は図 6 に示すようにホールダ、nMOS SPL、3-state バッファによって一つのモジュールを構成する。各モジュールを連結することによって全体のシステムを構成する。

既存のシステムでは各資源の接続に共有バスを用いた。しかしながら、共有バスの場合、データ転送を行なう度に、バスに繋がれているすべての資源の入出力バッファを充放電する。また、各資源が入替わりにデータ転送を行なうため、バスの遷移確率が高く、消費電力が大きい。さらに、データ転送を行なう際、バスへの出力許可とバスからの読み込み制御の両方の制御信号を送らなければならない、消費電力が増える。

SPHL は各モジュール間のデータ転送を 1 対 1 接続の専用線によって行なう。したがって、転送路の負荷が小さく、遷移確率も低い、消費電力を削減できる。また、出力部の 3-state バッファにのみ制御信号を与えることで、次段のホールダへの書込

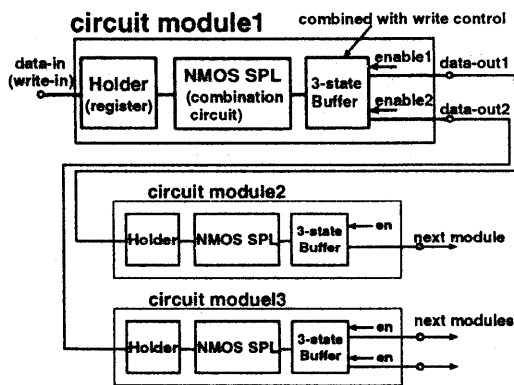


図 6: SPHL の全体的構成図

みを行なうことができ、制御信号線削減による消費電力削減効果がある。

ホールダ 単純なインバターループのホールダである。データ入力信号が書き込み制御信号を兼ねる (図 8)。

nMOS SPL nMOS パストラジスタによって構成された組合せ回路である。3 章で述べた SPL によって構成される。図 7 に SPHL の回路モジュール 1 段分を抜き出し、SPL 部分の構成イメージを示した。

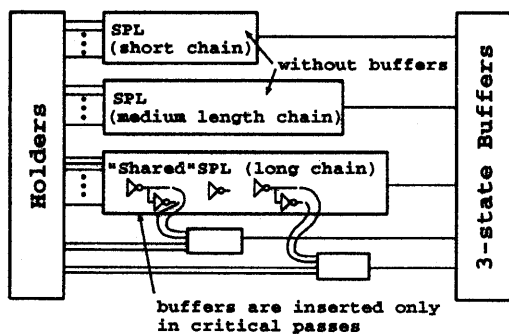


図 7: SPHL の回路モジュール 1 段分

3-state バッファ nMOS SPL の出力を増幅し信号レベルを回復する働きと、次段のホールダへの書

込み制御を兼ねる (図 8)。同バッファの中で、増幅回路として働くインバータと H レベル補正用の pMOS は、両方ともイネーブル入力が入ったときのみ動作することが特徴である。これにより SPL 出力の H 遷移がきわめて緩やかな場合でも、インバータの貫通電流や pMOS の直流電流を小さく押えることができる。

ホールダと 3-state バッファを図 8 に示す。

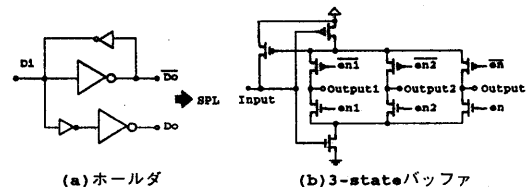


図 8: ホールダと 3-state バッファ

5 レイアウトについて

nMOS で構成されるバストラジスタ論理回路ではソース、ドレイン間の接続が非常に多い。したがって、連結されているソース、ドレインを共有することによって負荷容量を減らし消費電力を削減できる。SPL のレイアウト例を図 9 に示す。

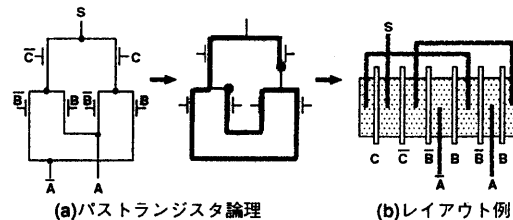


図 9: レイアウト例

6 設計例とシミュレーション結果

8 ビットキャリー選択加算器を SPL で実現した例を図 10 に示す。同型部分木の置換を行なうことによって、トランジスタ数と直列段数を削減している。

図 10 の SPL による加算器を 16 ビットに拡張したキャリー選択加算器と、CMOS スタティック回路

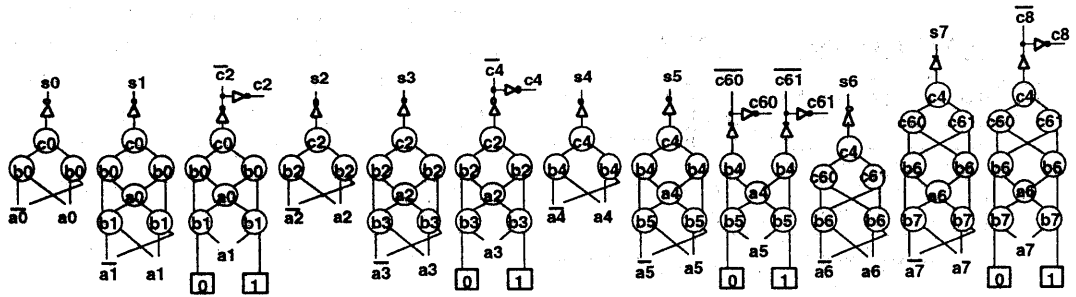


図 10: SPL による 8 ビットキャリー選択加算器

で構成した 16 ビットリプルキャリー加算器との性能比較を表 2 に示す。シミュレーションは HSPICE を用いた。設計ルールは $0.8\mu\text{m}$ 、主トランジスタサイズは $w = 4\mu\text{m}$ 、 $V_{DD} = 3\text{V}$ である。

表 2: 16 ビット加算器の性能比較 (20MHz 動作時)

性能	CMOS	SPL	相対値
トランジスタ数 [個]	480	396	0.83
速度 [ns]	18.9	8.59	0.45
PD 積 [picoWs]	26.2	14.6	0.56

ここで、SPL で構成した 16 ビットキャリー選択加算器の最大 nMOS 直列段数は 7 段である。また、表 2 にはないが、CMOS でキャリー選択加算器を構成する場合、リプルキャリー加算器の約 2 倍のゲート数を必要とし、遅延時間は約 7ns (推定) である。以上から SPL は、トランジスタ数、消費電力、動作速度のいずれにおいてもきわめて良好な特性を持つことが分かる。

7 おわりに

速度向上よりも電力削減に重点を置いたパストラジスタ論理 SPL と、それを用いてシステムを構成するための回路構成方式 SPHL を提案した。

また、16 ビット加算器を設計し、CMOS との比較評価を行なった。SPL は CMOS に対して、トランジスタ数、遅延時間、PD 積が各々 83%、45%、56% であり、きわめて良好な結果が得られた。

今後、SPHL をマイクロプロセッサに適用し、評価する予定である。

謝辞 本研究に際し、多大の協力を頂いたシャープ (株) 殿に深く感謝致します。また、ご協力頂いたケイデンスデザインシステムズ (株) 殿に感謝致します。最後に多くの助言と協力を頂いた瀧研究室の小西健三氏、石原義勝氏、梶俊明氏、田中秀樹氏、畠田宏司氏に心から感謝致します。

参考文献

- [1] 日経マイクロデバイス編. 低電力 LSI の技術白書 - 1 ミリ・ワットへ挑戦. 日経 BP 社, 1994.
- [2] K.Yano etc. A 3.8ns CMOS 16×16-b Multiplier Using Complementary Pass-Transistor Logic. *IEEE J. Solid-State Circuits*, Vol. 25, No. 2, pp. 388-395, 1990.
- [3] A.Parameswar, H.Hara, and T.Sakurai. A High Speed, Low Power, Swing Restored Pass-Transistor Logic Based Multiply and Accumulate Circuits for Multimedia Applications. *IEEE Proc. Custom IC Conf. (CICC)*, pp. 278-281, 1995.
- [4] M.Suzuki, N.Ohkubo, T.Yamanaka, A.Shimizu, and K.Sasaki. 1.5ns 32b CMOS ALU in Double Pass-Transistor Logic. *IEEE International Solid-State Circuits Conference*, pp. 90-91, 1993.
- [5] Y.Sasaki, K.Yano, S.Yamashita, H.Chikata, K.Rikino, K. Uchiyama, and K.Seki. Multi-Level Pass-Transistor Logic for Low-Power ULSIs. *IEEE Symposium on Low Power Electronics*, pp. 14-15, 1995.