

## MPEG 復号処理用 PPRAM 『PPRAM<sub>mpeg</sub>』の設計

白川 暁† 岩下 茂信†  
宮嶋 浩志† 村上 和彰††

本稿では、メモリ-マルチプロセッサ一体型 ASSP (特殊用途向け標準部品) 『PPRAM』を用いた MPEG 復号処理用 LSI の設計例を与えている。PPRAM とは、メモリ-プロセッサ混載 LSI ならびに並列処理時代における新しいコンピュータ・システム構成法のための構成要素で、当部品を標準インターフェースに基づいて相互結合するだけで任意性能のコンピュータ・システムを構成可能とする。PPRAM の設計において従来と大きく異なる点は、メモリとプロセッサを 1 チップ化することによってメモリ-プロセッサ間バスの構成の選択肢が広がることである。本稿では、MPEG 復号処理用 PPRAM 『PPRAM<sub>mpeg</sub>』の設計を行い、メモリ-プロセッサ間バスをベクトル・レジスタを用いて構成した。

### PPRAM<sub>mpeg</sub> : A PPRAM Design for MPEG Decoder

SATORU SHIRAKAWA,† SHIGENOBU IWASHITA,† HIROSHI MIYAJIMA†  
and KAZUAKI MURAKAMI††

This paper shows a design of MPEG decoder by means of a merged DRAM/logic ASSP, or PPRAM. With exploiting the far higher on-chip memory bandwidth available in PPRAM, there could be a broad range of design alternatives for designing some application-specific LSIs. Through the case study made in this paper, the authors have decided to provide some vector registers in the memory-processor path of the designed PPRAM<sub>mpeg</sub>.

#### 1. はじめに

本稿では、MPEG 復号処理用 PPRAM 『PPRAM<sub>mpeg</sub>』の設計について述べる。

PPRAM<sup>§</sup> (Parallel Processing Random Access Memory) とは、

- 大容量メモリ: DRAM や SRAM 等を組み合わせ構成
- マルチプロセッサ: 汎用プロセッサ, 特殊用途向けプロセッサ, FPGA, 等の 0 個以上のプロセッサ/ロジックから構成されるホモジニアスまたはヘテロジニアスなマルチプロセッサ
- 通信: PPRAM チップ内のプロセッサ間通信, および, PPRAM チップ間通信をある標準の通信インタフェースおよびプロトコル 『PPRAM-Link<sup>§</sup>』に基づいて制御

を 1 チップに集積した ASSP (Application-Specific

Standard Product) である。

PPRAM チップ開発者は、標準である通信以外の『内部構成』(例えば、プロセッサの機能/数/性能, メモリの種類/容量など) をアプリケーションに応じて決定する。システム開発者は、対象とするアプリケーション\*に応じて PPRAM チップの数/種類を決定し、それらを相互結合してやればよい。

従来の CPU チップ+DRAM チップという分チップ構成では I/O ピンのボトルネックによって、プロセッサ-メモリ間バンド巾が抑えられてきた。一方、PPRAM のようなメモリ-プロセッサ混載チップでは上述の制約が取り払われ、CPU チップと DRAM チップは別チップであるという前提条件のもとで考案されたものとは違った新しいメモリ-プロセッサ間アーキテクチャの実現が予想される。したがって、PPRAM チップの設計においては、従来の LSI 設計にも増してメモリ-プロセッサ間アーキテクチャの検討が重要になる。

本稿では、まず、2 章で PPRAM チップ開発におけるメモリ-プロセッサ間アーキテクチャの位置付けと関連させて PPRAM<sub>mpeg</sub> を設計する目的について述べ

† 九州大学 大学院システム情報科学研究科 情報工学専攻  
Department of Computer Science, Kyushu University  
ppram@c.scce.kyushu-u.ac.jp  
http://kasuga.scce.kyushu-u.ac.jp/~ppram

†† PPRAM コンソーシアム設立準備会  
PPRAM Consortium: Launch Working Group

\* アプリケーションは一つとは限らず複数であってもよい

る。3章ではアプリケーションとして選択したMPEGのアルゴリズムの概要、4章でPPRAM<sub>mpeg</sub>の設計について述べる。

## 2. メモリ・プロセッサ間アーキテクチャ

従来は、コンピュータ・システムを構成する場合、CPUチップ+DRAMという分チップ構成を採っていた。このような分チップ構成のもとでは、I/Oピンのボトルネックによってプロセッサ-メモリ間バンド巾が制限されていた。それがメモリ・プロセッサ間アーキテクチャを決定する上で大きな制約となっていた。現在のコンピュータ・システムではメモリ↔(キャッシュ)↔プロセッサ(レジスタ)というメモリ・プロセッサ間アーキテクチャが広く用いられている。

一方、PPRAMのようなメモリ・ロジック混載チップを構成要素としてコンピュータ・システムを構成する場合、メモリ・プロセッサ間アーキテクチャに関する設計の自由度は飛躍的に向上する。メモリ・プロセッサ間アーキテクチャを変更する手段として、

- メモリ・プロセッサ間バス巾の拡張:

従来、I/Oピン・ボトルネックによってメモリ・プロセッサ間バス巾を抑えざるを得なかった。しかし、メモリ・プロセッサ1チップ化によってその制限が無くなりバス巾の拡張することができる。ビット幅を64~128→数千ビットに、バンド幅を1GB/s→数十GB/sに上げることができる。

- メモリの分散配置:

図1(a)のようにプロセッサの各機能ブロックに専用のメモリを持たせたい場合、従来は、I/Oピン・ボトルネックおよびチップ数の削減要求から各専用メモリを共有メモリとしてバスにより接続する構成を採らざるを得ない場合があった(図1(b))。しかし、メモリ・プロセッサ1チップ化することでI/Oピンを使わずにメモリを分散配置することが可能になる(図1(c))。この構成においては各専用メモリのメモリ・アクセスの競合が無いためにメモリ・アクセス能力に余裕ができる。さらに専用メモリ毎にバス巾を広げることで機能ブロックへのデータ供給能力を高めることができる。といったものがある。

従来の分チップ構成のもとでは考え付かなかったメモリ・プロセッサ間アーキテクチャが生まれる可能性は十分にある。したがって、様々なアプリケーションに対してメモリ・プロセッサ間アーキテクチャの構成法に関する一般的な知見を蓄積していくことは重要である。そこで、メモリ・プロセッサ間アーキテクチャの検討の1ケース・スタディとしてMPEGをアプリケーションに選択してPPRAMチップの設計を行う。

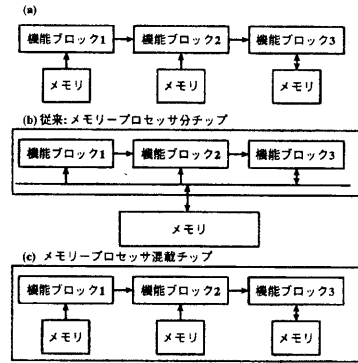


図1 メモリの分散配置

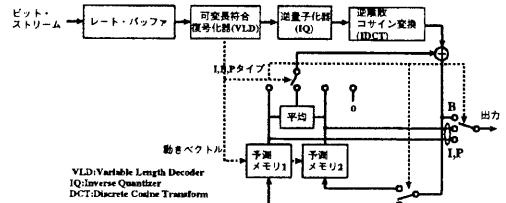


図2 MPEGの復号化处理

## 3. MPEG処理

MPEGは国際的な情報圧縮標準規格である。MPEGには、蓄積メディアをターゲットとしたMPEG1と蓄積だけでなく通信および放送メディアまでの広い範囲をターゲットとしたMPEG2がある。MPEG1, MPEG2は、ビデオ(画像)、オーディオ(音声)、システム(動画と音声の多重・同期)の3つに分けられるが、本稿では、特に断らない限りMPEG2ビデオを単にMPEGと表すことにする。

### 3.1 基本アルゴリズム

MPEGの復号化の流れを図2に示す。

MPEGの復号化処理の入力はビット・ストリームになっており、このビット・ストリームは画像の圧縮データとヘッダで構成されている。ビット・ストリームは、一旦レート調整用のバッファであるレート・バッファに書き込まれ、その後レート・バッファから読み出され復号化が開始される。これはビット・ストリームの伝送レートが一定なのに対して、復号化で単位時間に必要とされる符号量が異なる<sup>\*</sup>のを補償するためである。

レート・バッファから読み出されたビット・ストリームは、可変長符号復号化器(VLD)によって、MPEGのシンタックスに従って解釈され、各種データに分離される。データには、量子化DCT係数や動きベクトルなどがある。さらに、この量子化DCT係数や動き

<sup>\*</sup> 画像の性質によって1画像あたりの符号量が異なるためである

ベクトルは可変長符号であるので、可変長復号化して固定長データにする。

その後、量子化 DCT 係数に量子化テーブルの値を乗ずることにより逆量子化 (IQ) が、さらに逆離散コサイン変換 (逆 DCT) が行われて画像が復元される。

動き補償<sup>\*</sup>されている画面に対しては、ビット・ストリームから解読され再構成された動きベクトルを用いて参照画像のアドレスが計算される。このアドレスに従って、予測メモリから読み出された参照画像が、上記の逆 DCT の結果に加算されることによって、動き補償が行われる。

上述の手順で MPEG の復号化処理が行われるが、動き補償の処理内容が画像のタイプによって異なる (動き補償以前の処理は画像タイプによらず不変)。

MPEG では、I, P, B ピクチャの 3 種類の画像タイプがある。I (Intra) ピクチャは動き補償は使わずに画面内だけの符号化を行った画像、P (Predictive) ピクチャは時間的に前の画像 (I または P ピクチャ) を参照画像として動き補償を行って符号化した画像、B (Bidirectionally predictive) ピクチャは時間的に前と後ろの両方向の画像を参照画像として動き補償を行って符合化した画像である。

表 1 に、あるビット・ストリームに対する動き補償の処理内容を示す。まず、復号化される画像が I ピクチャのときはそのまま 2 つのうち 1 つの予測メモリに蓄える。P ピクチャのときは一方の予測メモリを参照画像として復号化し、もう一方の予測メモリに蓄える。B ピクチャのときは予測メモリ 1 および予測メモリ 2 を参照画像として復号化して予測メモリには蓄えない。再生画像の出力は、B ピクチャ処理の時、現在復号化中の画像をそのまま出力する。I, P ピクチャ処理のときは、現在書込み中でないほうの予測メモリの内容を出力する。これにより符号化のときに入れ替わった画像の順番を正しい時間順にすることができる。

表 1 の 1 行目はビット・ストリーム中の画像の並びを示している。アルファベットが画像のタイプを表し、添字が符号化する前の画像の順序を表している。2 行目は予測メモリ 1 の内容とそれに対するオペレーションを表している。オペレーションには R (Read, 読みだし)、W (Write, 書込み)、N (Nop, 何もしない) の 3 種類がある。3 行目は予測メモリ 2 の内容とそれに対するオペレーションを表している。4 行目は出力される再生画像を表している。

<sup>\*</sup> 動き補償では、画像の時間方向の冗長性を削除するためにある画像 A と参照画像 A' (A よりも時間的に前の画像である場合、後である場合、) の差分をとることで情報圧縮を行う。このとき画面内の同一位置だけでなく水平および垂直にある決まった範囲内でフレーム (画像) 間の差分が最も小さくなるような位置を求め、そのときの差分を符号化する。このときの移動方向と距離を表したものが動きベクトルである。

	MP@ML 水平画素数	MP@HL 垂直画素数	フレーム周波数
MP@ML	740	480	29.97
MP@HL	1920	1080	30

### 3.2 プロファイルとレベル

MPEG は画面の解像度 (レベルという) と使用できる圧縮手法の種類 (プロファイル) によって 11 種類にクラス分けされる<sup>9)</sup>。そのクラス分けの中で MP@ML (Main Profile at Main Level) は現行テレビと同程度の解像度で、衛星放送、ケーブルテレビや DVD などの幅広い応用が想定されている。また、MP@HL (Main Profile at High Level) は、HDTV への応用が想定されている。上記 2 つのクラスが最も利用されることが多くすると予想される。MP@ML および MP@HL の画像サイズを表に示す。

### 4. PPRAM<sub>mpeg</sub> の設計

#### 4.1 メモリの選択

必要なメモリ量は、MP@ML では 14.17Mbits に、MP@HL では 81.37Mbits になる (必要なメモリ量の見積りに関しては 4.1.1 で述べる)。10Mbits 以上のメモリが必要であるので DRAM を使うのが妥当である

##### 4.1.1 必要なメモリ量の見積り

MPEG の復号化の入力は、ビット・ストリームであり、出力は再生画像である。ビット・ストリーム、再生画像のデータともに画像の再生時間に応じて大きくなるが、その全てを保持しておく必要はない。MPEG の復号化に必要なメモリは以下の 3 種類がある。

- (1) ビット・ストリーム蓄積用のレート・バッファ
- (2) 参照画像を保持しておくための 2 フレーム分の予測メモリ
- (3) ディスプレイ・バッファ

上述のメモリに必要なメモリ量は MPEG のクラスによって異なる。以下では、MP@ML で必要なメモリ量について述べる。

まず、ビットストリーム蓄積用のレートバッファ (転送レートと復号レートの不均衡を平坦化するため) は、最低 1.75Mbits は用意するように規定されている。

予測メモリは動き補償のための参照画像を保持するのに必要で、双方向予測をサポートするために 2 フレーム分の容量が必要である。ただし、動きベクトルの範囲を限定すれば、1 フレーム全部をメモリに保持しておく必要はない。しかしながら、標準では動きベクトルは画面全体に渡るので 1 フレーム全部を保持する必要がある。

1 フレーム分のデータ量は、 $720 \times 480 \times \frac{3}{2} \times 8 \text{bits}$  であるので約 4.14Mbits となる。それが 2 フレーム必要なので全部で 8.28Mbits になる。

<sup>9)</sup> 色情報を Y, Cb, Cr で表す場合、4:2:0 では色差情報 (CbCr) は輝度情報 Y の 1/4 分に関与しているから  $\frac{3}{4}$  になる

表1 動き補償の処理の違い

ビットストリーム	$I_2$	$B_0$	$B_1$	$P_5$	$B_3$	$B_4$	$I_8$	...
予測メモリ1	$I_2(W)$	$I_2(R)$	$I_2(R)$	$I_2(R)$	$I_2(R)$	$I_2(R)$	$I_8(W)$	...
予測メモリ2	-	-	-	$P_5(W)$	$P_5(R)$	$P_5(R)$	$P_5(N)$	...
画像出力	-	$B_0$	$B_1$	$I_2$	$B_3$	$B_4$	$P_5$	...

ディスプレイ・バッファは、表示用データを保持するのに使い、Bピクチャ用に1フレーム分必要である(I, Pピクチャの表示は予測メモリを用いる)。

したがって、必要なメモリ容量=(レート・バッファの容量)+(予測メモリの容量)+(ディスプレイ・バッファの容量) = 1.75M + 8.28M + 4.14M = 14.17Mbitsとなる。

また、MP@HLの場合、1フレーム分のデータ量は、 $1920 \times 1152 \times \frac{3}{2} \times 8 = 26.54Mbits$ となる。したがって、必要なメモリ容量は、(レート・バッファの容量)+(予測メモリの容量)+(ディスプレイ・バッファの容量) = 1.75M + 26.54M × 2 + 26.54M = 81.37Mbitsとなる。

#### 4.2 データバス部の設計

MPEGの復号化で行う処理を以下に示す。

- 可変長符号復号化
- 逆量子化
- 逆DCT
- 動き補償

可変長符号復号化は、入力であるビット・ストリームを解読し、圧縮データを切り出し、固定長データにする。ビット・ストリームの解読は条件判定が大半を占めハードウェア化するのが難しい処理である。固定長データへの復号化は符号化テーブルを引いてくるだけである。逆量子化では、可変長符号復号化処理で固定長にした量子化DCT係数に量子化数を掛ける。1画素当たり4回の乗算を行う。逆DCTでは1画素当たり64回の積和演算を行う。動き補償では1画素当たり最大3回の乗算および9回の加算を行う。このほかに動きベクトルの再構成演算がある。

上述の演算回数から逆DCTがボトルネックとなるのは明らかである。可変長符号復号化や動きベクトルの再構成演算を除いた処理だけでも処理量はMP@MLで  $740 \times 480 \times 30 \times \frac{3}{2} \times (4+64 \times 2+12) = 2302MOPS$  となる。MP@HLでは  $1920 \times 1080 \times 30 \times \frac{3}{2} \times (4+64 \times 2+12) = 13GOPS$  となる。

本来は上述の処理量を実現するデータバスを設計しなければならない。しかし、本稿では、MPEGにおけるメモリ・プロセス間アーキテクチャの検討が主な目的であるのでデータバスに商用MPEG処理専用LSIの専用ロジック<sup>6),7)</sup>を使用することにする。

#### 4.3 必要メモリ・バンド巾

図3に現在のMPEG復号専用LSIの基本的な機能ブロック構成を示す。専用LSIはデータ・メモリを外づけDRAMとして持ち、そのアクセスはLSI内部のメモリ・バスを通じて行う。DRAMは4.1.1項で述べ

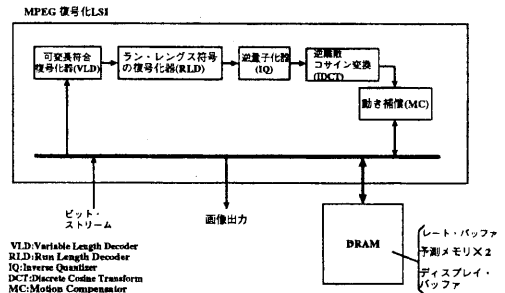


図3 MPEG処理用LSI

たレート・バッファ、予測メモリ×2およびディスプレイ・バッファからなる。機能ブロックとしては、可変長符号復号化器(VLD)、ランレンジス符号の復号化器(RLD)、逆量子化器、逆DCT回路および動き補償回路を持つ。機能ブロックは処理に必要なスループットを実現するようにパイプライン化されている。DRAMアクセスと演算パイプラインが完全にオーバーラップ実行していると仮定したときの必要メモリ・バンド巾を求める。

MPEG復号処理において、リアルタイム性を保証するには1画面の復号処理を1フレーム表示時間内に行わなければならない。MP@MLの場合、1フレームの表示時間は1/30秒であり、全部で1350のマクロブロック(16×16画素)が一画面内に存在する。したがって、1マクロブロックの復号に許容できる時間は平均24.7μsec(=1/30 × 1/1350)になる。

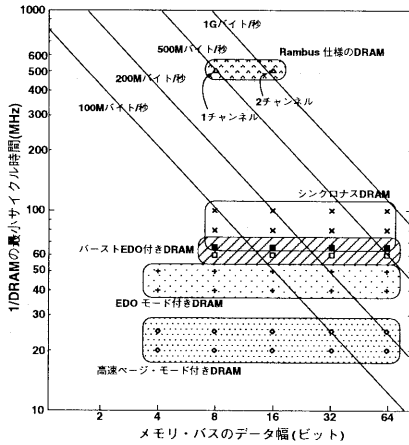
DRAMアクセスに関しては、

- (1) ビット・ストリームの書込み(入力からDRAMへ)
- (2) ビット・ストリームの読出し(DRAMからVLDへ)
- (3) 予測画像の読出し(DRAMからMCへ)
- (4) 復元画像の書込み(MCからDRAMへ)
- (5) 再生画像出力(DRAMから出力へ)

の5種類があり、同じメモリ・バスを通してアクセスが行われる。

以下、1マクロブロックの復号処理の間に必要なDRAM読出し/書込みデータを見積もる。

- (1) ビットストリームの書込みには、ビット・レートが15Mbps(MP@MLでの最大値)であると仮定すると  $15Mbps \times 24.7\mu s = 370.5bits$  のデータ転送が必要である。
- (2) ビットストリームの読出しに必要なデータ転送量は1マクロ・ブロックの符号量に依存するの



(出典:11)

図4 主記憶のピーク・メモリ・バンド巾

でここでは  $\alpha$  と仮定する。

- (3) 予測画像の読出しでは最悪1マクロ・ブロック当たり2マクロ・ブロック分のデータが必要である。したがって、転送するデータ量は  $16 \times 16 \times \frac{3}{2} \times 8 \times 2 = 6144 \text{bits}$  となる。
- (4) 復元画像の書き込みは、1マクロ・ブロック時間に1マクロ・ブロック分のデータを書き込む必要があるので  $16 \times 16 \times \frac{3}{2} \times 8 = 3072 \text{bits}$  のデータが転送される。
- (5) 再生画像の出力は、1マクロ・ブロック時間に1マクロ・ブロック分の画像データを読み出さないといけないので  $3072 \text{bits}$  のデータ転送を要する。

したがって1マクロ・ブロック時間に転送されるデータ量は  $370.5 + \alpha + 6144 + 3072 + 3072 = 12658.5 + \alpha$  bitsである。 $\alpha$ は、MPEGの圧縮率を最悪1/10と考えると、最大でも300bits程度で済む。よってMP@MLに必要なバンド巾は  $12958.5 / 24.7 \mu\text{s} = 66 \text{MB/s}$  になる。

MP@HLに必要なバンド巾を同様に求めても423MB/sになる。

図4に示すように上述のメモリ・バンド巾は決して実現不可能ではない。しかしながら、MP@HLに必要な500MB/s近いバンド巾をオフチップ・メモリで実現するよりもオンチップにした方がコスト的に有利であると考えられる。オンチップにした場合は、I/Oピンの減少やボード上のデータ・バス巾の削減によりコストが低減できる。

#### 4.4 メモリ・プロセッサ間バスの検討

図5にDRAMとMPEG復号処理LSIを1チップ化したチップのブロック図を示す。DRAMをレート・バッファ用のDRAM1と予測メモリ1、予測メモリ2およびディスプレイ・バッファ用のDRAM2に分け

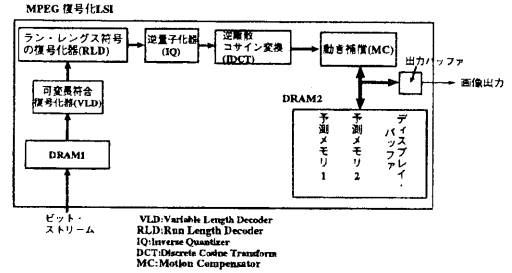


図5 DRAM混載MPEG用LSIのブロック図

て分散配置する。これは、レート・バッファとそれ以外のメモリとで必要とされるDRAMアクセスが異なるためである。

この構成の利点は、当然のことながらI/Oピンが減少することである。DRAMへのデータ・ビットおよびアドレス・ビットの数だけピン数が削減できる。

DRAM2と動き補償回路の間のバスについて検討する。DRAM2と動き補償回路との間に必要なアクセスは、

- (1) 予測画像の読出し (DRAM から MC へ)
- (2) 復元画像の書き込み (MC から DRAM へ)

の二つである。動き補償はマクロ・ブロック単位で行われるので、上記DRAMアクセスもマクロ・ブロック単位で行うのが望ましい。1マクロブロックのデータは  $16 \times 16 \times \frac{3}{2} \times 8 = 3 \text{Kbits}$  になる。そこで、DRAM2のデータ巾を3Kbitsにし、DRAMの行方向にマクロ・ブロックを格納することで、1メモリ・サイクルで1マクロブロックの読出し/書き込みを可能にする。

動き補償で必要となる演算は

- (1) 双方向予測の場合の予測画像どうしの平均演算
- (2) 予測画像と差分画像との加算
- (3) ハーフ・ペル動き補償<sup>9)</sup>を行う場合の同一マクロブロック内での平均演算
- (4) ハーフ・ペル動き補償を行う場合のマクロブロックを跨った平均演算

の4つがある。

上述の(1),(2)の演算は画素レベルで並列に実行することが可能であるので、ベクトル演算による高速化が有効である。したがって、図6のようにDRAM2と動き補償回路の間のバスとしてベクトル・レジスタ(VR)を設ける。一本のVRにはマクロブロック一つのデータが格納される。さらにベクトル・レジスタに対するベクトル演算命令を実行可能になるように動き補償回路の機能拡張を行う。

上述の(3)の演算は同一マクロブロック内で行うので、同じVR間でのスカラー演算機能を動き補償回路に設ける。(4)の演算を実行可能にするために異なるVR間のスカラー演算を設ける。

結局、動き補償回路に付加する演算は以下のようになる。

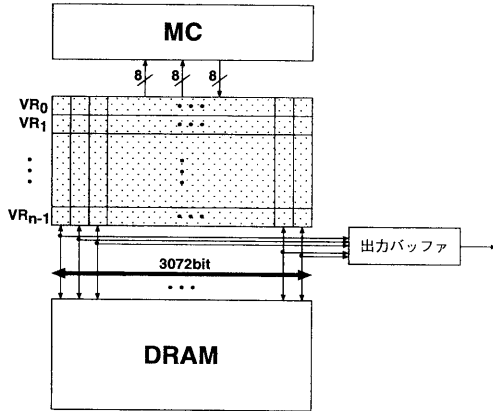


図6 DRAM2と動き補償回路間のバス

- $VR_k \leftarrow VR_i \text{op} VR_j$  (ベクトル演算)
- $VR_k[K] \leftarrow VR_i[I] \text{op} VR_j[J]$  (VR内スカラ演算)
- $VR_k[K] \leftarrow VR_i[I] \text{op} VR_j[J]$  (VR間スカラ演算)
- VRとDRAM2間のロード/ストア

図6のメモリープロセッサ間アーキテクチャ構成をとることにより

- VRとDRAM間のデータ中の拡大によるデータ転送の高速化
- ベクトル演算による『双方向予測の場合の予測画像どうしの平均演算』および『予測画像と差分画像との加算演算』の高速化

を実現できる。

MP@HLにおいて、1マクロブロックの処理で生じるDRAMアクセスに許される時間は4.1 $\mu$ sである。これはDRAMアクセスと演算処理が完全にオーバーラップ実行されるという理想的な仮定のもとでの値であり、DRAMアクセスに許される時間がもっと短くなった場合にはより多くのメモリー・バンド巾が必要になる。今回、設計した回路の持つメモリー・バンド巾では、DRAMアクセスに許される時間が約700nsまで短くなっても復号処理が可能である。このバンド巾は2GB/s以上に相当し、オフチップ・メモリーで実現するのは困難である。

## 5. おわりに

本稿では、ASSPとしてのPPRAMの設計をMPEGを例にして行った。PPRAMと従来のLSI設計の大きな違いの一つにメモリーとプロセッサを1チップ化することによってメモリープロセッサ間アーキテクチャの設計の自由度が大きくなることが上げられる。

設計したPPRAM<sub>mpeg</sub>においてはメモリープロセッサ間アーキテクチャとしてベクトルレジスタを用いた。

謝辞 日頃から御討論頂く、九州大学 大学院シス

テム情報科学研究科 安浦寛人教授、岩井原瑞穂 助教授、PPRAMプロジェクト・メンバ、安浦・村上・岩井原研究室の諸氏、ならびに、PPRAMコンソーシアム設立準備会の会員諸氏に感謝致します。

## 参考文献

- 1) 村上和彰, 吉井 卓, 岩下茂信, “21世紀に向けた新しい汎用機能部品 PPRAM の提案,” 情処研報, ARC-108-8, 1994年10月.
- 2) 村上和彰, 岩下茂信, 吉井 卓, “21世紀に向けた新しい汎用機能部品 PPRAM —並列計算モデルの検討—,” 情処研報, ARC-110-20, 1995年1月.
- 3) 岩下茂信, 宮嶋浩志, 村上和彰, “次々世代汎用マイクロプロセッサ・アーキテクチャ PPRAM の概要,” 情処研報, ARC-113-1, 1995年8月.
- 4) 村上和彰, 岩下茂信, 宮嶋浩志, 白川 暁, 吉井 卓, “メモリ-マルチプロセッサ体型 ASSP (Application-Specific Standard Product) アーキテクチャ: PPRAM,” 信学技報, ICD-96-13, 1996年4月.
- 5) 村上和彰, 岩下茂信, 宮嶋浩志, “メモリ-マルチプロセッサ体型 ASSP 「PPRAM」用標準通信インタフェース [PPRAM-Link Standard] Draft 0.0 の概要,” 情処研報, ARC-119-27, 1996年8月.
- 6) 鶴見敬行, “ビデオ CD 向け MPEG チップ, パソコンとカラオケに期待,” 日経エレクトロニクス, no.635, pp.161-174, 1995年5月.
- 7) 加藤雅浩, 田中正晴, 飯塚智弘, “画像圧縮方式 MPEG2, 次世代インフラの要に,” 日経エレクトロニクス, no.603, pp.77-116, 1994年3月.
- 8) 日経エレクトロニクス, “特集:86系マイクロプロセッサのマルチメディア命令 MMX を解剖,” 日経エレクトロニクス, no.661, pp.105-119, 1996年5月.
- 9) 藤原 洋, “ポイント図解式最新 MPEG 教科書,” ASCII, Aug.1994.
- 10) 藤原 洋, “「マルチメディア技術」のすべて,” インターフェース, pp100-118, 1996年1, 2月.
- 11) 日経エレクトロニクス, “特集:決断を迫られる高速 DRAM への切り替え,” 日経エレクトロニクス, no.641, pp.99-126, 1995年7月.