

招待講演

21世紀のVLSIアーキテクチャ

村上和彰

九州大学 大学院システム情報科学研究科
E-mail: murakami@c.csce.kyushu-u.ac.jp
<http://kasuga.csce.kyushu-u.ac.jp/ppram/>

PPRAM コンソーシアム
E-mail: murakami@ppram.or.jp
<http://www.ppram.or.jp>

あらまし

21世紀初頭のVLSIアーキテクチャは一体どのようなものになっているのだろうか? 半導体技術の進歩をバネにして、VLSIはアプリケーション面およびアーキテクチャ面で新しい局面を迎えようとしている。

本講演ではアプリケーションの将来像およびそれらがVLSIに対して課す要求を整理した上で、21世紀初頭のVLSIのビジネス・モデル、構成法、そしてアーキテクチャが満たすべき要件について述べる。

キーワード VLSI, システムLSI, プロセッサ, アーキテクチャ, 設計技術

VLSI Architectures in the 21st Century

Kazuaki Murakami

Kyushu University
E-mail: murakami@c.csce.kyushu-u.ac.jp
<http://kasuga.csce.kyushu-u.ac.jp/ppram/>

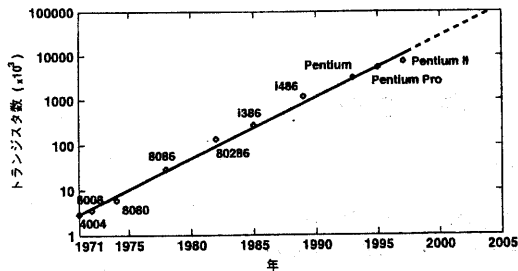
PPRAM Consortium
E-mail: murakami@ppram.or.jp
<http://www.ppram.or.jp>

Abstract

What will VLSI architectures in the 21st century look like? Thanks to the inexorable pace of semiconductor advancements, it is inevitable to see some big changes in both of VLSI applications and architectures.

This talk will try to give a vision on those VLSI applications and their demands on VLSI architectures, and then to discuss the directions of the future VLSI's business models, design methodology, and architectures.

Key words VLSI, system LSI, processor, architecture, design methodology



(出典：文献 [33] の Figure 1)

図 1: Moore の法則

1 はじめに

2001年、人類初のマイクロプロセッサ4004の誕生(1971年)から30年、「2001: A Space Odyssey (2001年宇宙の旅)」[18]のあの伝説的なコンピュータHAL9000が登場するのもこの年だ。2001年、来世紀のVLSIはどのような幕開けを迎えるのだろうか？

将来の半導体技術を予測する2つの有力な手掛かりがある。Mooreの法則とSIAロードマップだ。

Mooreの法則 1965年にIntelのGordon Moore氏(現Intel名誉会長)が発見したトランジスタ集積度の向上に関する法則。すなわち、「約18~24ヶ月毎にトランジスタ集積度は2倍になる」という法則(図1参照)。

SIAロードマップ 正確には、米Semiconductor Industry Associationが1994年に策定した*The National Technology Roadmap for Semiconductors*[29]。その抜粋を表1に示す。

この2つから、21世紀初頭には数1000万トランジスタ規模の回路がわずかに1cm²程度のエリアに集積できると予想される。Intel上級副社長のAlbert Y.C. Yu氏の1996年時点での予測[33](表2参照)に依れば、2000年には1.1インチ角(800mm²)に約4000万個ものトランジスタを搭載したマイクロプロセッサが登場する。2006年のマイクロプロセッサは、何と1.4インチ角(1200mm²)に約3億5000万個ものトランジスタを集積したものとなる。

それでは、これほど多くのトランジスタを一体何に使うのか？本講演では21世紀初頭(2010年頃までの)VLSI¹アーキテクチャを占ってみたい。

2 アプリケーションの将来像

「21世紀のマイクロプロセッサ像」に関する予想は多数ある(たとえば、文献[1], [2], [14], [20], [21], [23],

¹「マイクロプロセッサ」としなかったのは、後述するように理由がある。

表2: 将来のマイクロプロセッサに関するYu氏の予測

	1996年 時点	2000年 の予測	2006年 の予測
トランジスタ数	600万	4000万	3億5000万
チップサイズ	300mm ²	800mm ²	1200mm ²
最小加工寸法	0.35μm	0.2μm	0.1μm
動作周波数	200MHz	900MHz	4GHz
SPECint95	10	60	500

(出典：文献 [33] の Table 1 を基に単位等を修正)

[33], 等)。

ここでは、「マイクロプロセッサ(MPU)」に限定せず、VLSI全般の将来のアーキテクチャ像を議論したい。その前に、アーキテクチャはアプリケーションで決まる。数千万~数億トランジスタを集積したVLSIを用いてどのようなシステムを構築するのか、その主なアプリケーションの将来像およびVLSIに対する要求についてまず見てみよう[12]。

情報通信 (computing & communication)

- コンピューティング、とりわけ、ハイパフォーマンス・コンピューティング(HPC)：従来からの高性能ロジックLSI/MPUと大容量DRAMの主要市場であり、今後も高性能化、記憶の大容量化を求めていこう。さらに、プロセッサ-メモリ間の「Memory Wall²」解消を目的として、大容量メモリ(主にDRAM)と高性能ロジックの混載化も要件として上ってきている。加えて、PetaFlops(1秒間に1000兆回の浮動小数点演算)級のHPC実現を目指して、数10~100万プロセッサ規模の超並列システムをスケラブルに構築可能とするための技術開発も期待されている。
- 通信、ネットワーク：文字、音声、画像など種々の情報を種々の媒体を介して流通可能とした今日のマルチメディア通信は、上記のコンピューティングとはまた異なる機能(情報の圧縮/伸長、符合化/暗号化/復号化、等)と性能を求めている。特に、通信は標準のプロトコルに従う必要があるため、仕様の策定あるいは変更にも柔軟かつ迅速に追従可能(プログラマビリティ)な設計技術の確立が急務となっている。
- パーソナル・コンピューティング(PC)、モバイル・コンピューティング：PCは今日すでに高性能MPUと大容量DRAMの最大の市場であるが、今後はより携帯性を重視して低消費電力化への要求が強まろう。

²以前から定性的に問題視されていた「von Neumann ボトルネック」を定量的に分析して言い替えたもの。

表 1: 1994 年版 SIA ロードマップ (抜粋)

		1995 年	1998 年	2001 年	2004 年	2007 年	2010 年
最小加工寸法 (μm)		0.35	0.25	0.18	0.13	0.10	0.07
DRAM	容量 (bits/chip)	64M	256M	1G	4G	16G	64G
	チップサイズ (mm^2)	190	280	420	640	960	1400
高性能 MPU	トランジスタ数 ($/\text{cm}^2$)	4M	7M	13M	25M	50M	90M
	チップサイズ (mm^2)	250	300	360	430	520	620
	動作周波数 (MHz)	300	450	600	800	1000	1100
	電源電圧 (V)	3.3	2.5	1.8	1.5	1.2	0.9
	消費電力 (W)	80	100	120	140	160	180
ASIC	トランジスタ数 ($/\text{cm}^2$)	2M	4M	7M	12M	25M	40M
	チップサイズ (mm^2)	450	660	750	900	1100	1400

加えて、ヒューマン・インタフェースやマルチメディア通信の拡充を求めて、更なる高速化（特に、グラフィックス、画像処理、音声認識、等）、および、アナログ処理とデジタル処理の融合化（すなわち、アナログアナログ化、「Mixed Signal」化）が期待されている。

- 情報家電：VLSI にとってもともと機器組込み（下記参照）の対象であった「黒物」家電（AV 機器）のコンテンツ自体のデジタル化、および、上記 PC の家庭進出戦略³に伴って、今世紀最後の主戦場の様相を帯びてきている。情報家電（具体例としては、DVD プレイヤー、デジタル HDTV 対応テレビ受像機、インターネット TV、デジタル伝送ケーブル TV 用 STB、家庭用ゲーム機、等）⁴は、上記の通信ならびに PC が求める基本要件に加えて、低コスト化、短 TAT 化と言う、より厳しい条件を突き付ける。これに応える形で、PC 用の MPU、機器組込み用の MCU とは異なる、「メディア・プロセッサ⁵」と呼ぶ新しいアーキテクチャのジャンルが生まれている。

機器組込み 機器本来の目的は上記のコンピューティングや通信とは異なるところにあり、その機器本来の目的遂行を支援制御するために VLSI を用いる。（金額ベースではなく）個数ベースでは、年間に生産されるマイクロプロセッサの 90% 以上が機器組込み用途（すなわち、マイクロコントローラ (MCU)）であると報告されている。従来は対象とするシステムの 1 部品という位置付けに過ぎなかつたが、集積度の向上、デバイス/プロセス技術の発展に伴い次第にシステムそのものを VLSI 上に構築可能となつてき

ている。いわゆる、「システム LSI」（あるいは、「System-on-Silicon (SOS)」、「System-on-a-Chip (SOC)」）と呼ばれる技術である。システム LSI では、制御部の MCU、記憶部の ROM/RAM といったデジタル情報処理系に加えて、システムの特성에応じて通信系、アナログ処理系、センサー系、機械系（マイクロマシン）、といった種々の回路が同一シリコン基板上に搭載される。このような性質の異なる複数の回路（コア・セル）をどう用意し、シリコン基板上に搭載、接続し、そして、システムとして所望の動作をさせるか、解決すべき課題は多い⁶。さらに、対象とするシステム次第では、高性能、低消費電力、多機能性、低コスト、短 TAT に加えて、高信頼性、安全性、等も要求されよう。

電子マネー、IC カード 今日の貨幣を電子化した「電子マネー」、個人が財布代りに持ち歩く「IC カード」、および、これらを基盤にして構築される新しい経済システムは半導体産業の大きな市場として期待されている。このような経済システムに用いる VLSI に対しては、様々な面で信頼性、安全性、頑強性（例えば、システム攻撃に対する防御、IC カードの偽造防止、電子マネーの秘匿性保証、等）が求められている。

社会基盤システムへの組込み 上記の機器組込みをもう一歩進めて、社会基盤システム（交通網、電気/水道/ガス、通信網、等）の維持制御のために VLSI を用いる。通常の機器組込みと比較して、より厳しい環境条件下での動作保証、人命に関わる機能を果たすためのより高度な信頼性が要求される。

以上述べたアプリケーションと、それらが今後の VLSI に対して課すであろう要件との関係を表 3 にまとめた。

³PC の世帯普及率は日本で 20%、米国でも 40% に過ぎない。

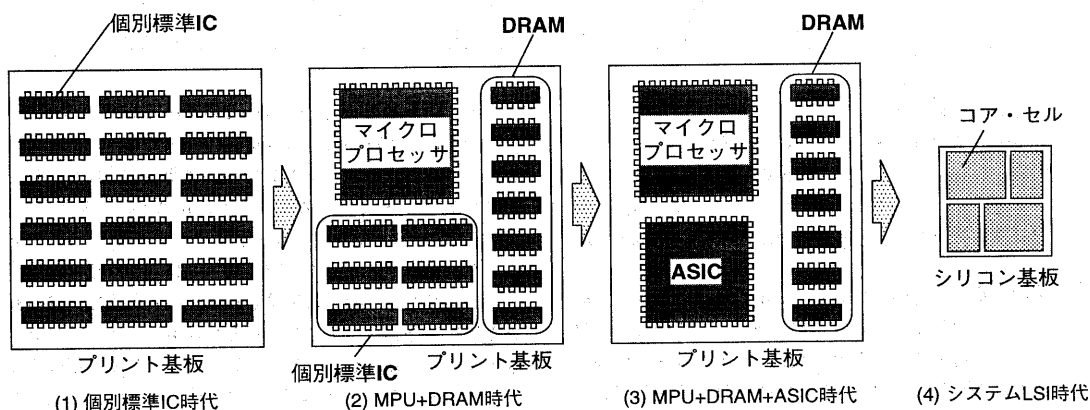
⁴さらには、PC、MC 等と各種情報家電を有線/無線で接続する「ホーム・サーバ」も登場するだろう [30]。

⁵従来のデジタル信号処理プロセッサ (DSP) との定義上の相違は明確ではないが、「内部構造を画像処理と通信処理に最適化した DSP」[3] という位置付けになる。

⁶これらの課題の解決を目標として、VSI アライアンス [32] という標準化団体が設立されている。そこでは、コア・セルのことを「IP (Intellectual Property) コア」と呼ぶ。

表 3: VLSI に対する要求事項

アプリケーション	要件 (顕著なものに√を付した)						
	高性能	低消費電力	多機能	高信頼性	プログラマビリティ	短 TAT	低コスト
HPC	✓						
通信	✓		✓		✓		
PC/MC	✓	✓	✓				
情報家電	✓		✓		✓	✓	✓
機器組み込み	✓	✓	✓	✓	✓	✓	✓
電子マネー		✓		✓			
社会基盤組み込み		✓	✓	✓			



(出典：文献 [5] の図 1 を基に加筆修正)

図 2: システム構成形態の推移

3 VLSI アーキテクチャの将来像

それでは、前章で議論した「将来のアプリケーションが求める VLSI への要件」を基に、21 世紀初頭の VLSI アーキテクチャ像を考察してみよう。

3.1 ビジネス・モデル

まず、来世紀初頭の半導体製品の形態はどのようになっているだろうか？ 今日、半導体製品は IC (集積回路) とディスクリートの 2 つに大分類され、そのうち IC は次の 5 つに中分類するのが一般的である⁷。

- MOS メモリ：DRAM, SRAM, マスク ROM, EPROM, EEPROM, フラッシュメモリ, 他
- MOS マイクロ：MPU, MCU, MPR, 他
- MOS ロジック：汎用ロジック, ASIC (ゲートアレイ, スタンダードセル), FPL (FPGA, PLD, 等), 他

⁷World Semiconductor Trade Statistics (WSTS) の分類に準拠。

- アナログ IC
- デジタル・バイポーラ IC

前章でも見たように、アプリケーションからの要求は、「メモリとロジック、デジタルとアナログの混載」を加速する方向に向かっている。そうすると、今日の上記のような分類法はほとんど意味をなさなくなる。すなわち、21 世紀の VLSI はおしなべて「システム LSI」という可能性がある。

このような半導体製品形態の推移は、システムの構成形態の推移と当然ながら一致する。図 2 に示すように、半導体製品により構成されるシステムの構成形態は次のように変化してきた。

1. 個別 (ディスクリート) 標準 IC 時代：SSI/MSI 時代と一致し、アプリケーションの機能をすべてプリント基板上に実装した個別標準 IC で実現した。いわゆる、ハードウェア制御 (hardwired) である。その後、電卓や時計に代表されるカスタム IC の製造も盛んになったが、その設計の複雑さから次の MPU+DRAM

時代に移行することになった。

2. **MPU+DRAM 時代**：LSI 時代の到来、ならびに、マイクロプロセッサ (MPU) と DRAM の登場 (1970 年代初頭) により、個別標準 IC の一部 (一般に機能が複雑な部分) をいわゆる「プログラム制御 (stored programming)」で置き換えるようになった。この構成法はそれ以前の構成法と比べて、汎用性に優れる。つまり、ハードウェア構成は変えなくても、プログラムを変えるだけで様々なアプリケーションに対応できるようになった。ただし、一部の機能 (たとえば、性能的にハードウェア制御が望ましい機能) はそのまま個別標準 IC による実現として残った。
3. **MPU+DRAM+ASIC 時代**：VLSI/ULSI 時代の到来、ならびに、ASIC (ゲートアレイ、スタンダードセル) の登場 (1980 年代中頃) により、それまで「個別標準 IC によるハードウェア制御」として残っていた機能が「ASIC によるハードウェア制御」に変わった。同時に、「汎用の MPU (または MCU) +DRAM (または ROM)」というプログラム制御では性能的に満足できない機能が再び「ASIC によるハードウェア制御」に戻った。このように、MPU+DRAM で汎用性を追求すると同時に、ASIC で高性能化、高機能化、他社との差別化を図る時代になった。
4. **システム LSI 時代**：これまでプリント基板上に実装していた MPU、メモリ、ASIC、ディスクリート IC、等をシリコン基板上に実装する。つまり、システムそのものを 1 個のチップで実現する。

いま我々はシステム LSI 時代の入口、すなわち、第 3 の変革期 [5] の真っ直中に立っている。システム LSI の実現に向けては、前章で述べたように技術上解決すべき課題が多くある。しかし、それらにも増して、システム LSI の半導体製品形態上の性格付け、ならびに、ビジネス・モデル上の位置付けをどう行なうかが極めて重要であると考える。

すなわち、今までのシステム構成法では「汎用品の MPU+DRAM で汎用性を、一方、カスタム品の ASIC で高性能化、高機能化、他社との差別化を」それぞれ実現していた。汎用品である MPU や DRAM は少品種大量生産という半導体産業向きのビジネス・モデルに合致し、その恩恵を享受してきた。一方、カスタム品の ASIC は多品種小量生産でありビジネス・モデル的には不利だが、ゲートアレイという回路技術、ならびに、論理合成等の設計技術によりビジネス的に成り立ってきた。

それでは、システム LSI のビジネス・モデルはどうなのであろうか? 「システム」と言うからには対象が限定されたカスタム品、つまり ASIC に近い製品形態になるの

であろう。となると、現在の汎用 MPU や DRAM のような少品種大量生産による効果は期待できない。すなわち、「半導体技術の進歩→集積度向上→システム化→カスタム化→多品種小量生産→薄利」という図式が成立してしまい、「半導体技術の進歩が利益に結び付かない」というジレンマに陥ってしまう⁸。このジレンマからどう脱却するか? ここに将来の VLSI アーキテクチャを考える上での鍵がある。

3.2 VLSI 構成法

前節で指摘した「半導体技術の進歩→集積度向上→システム化→カスタム化→多品種小量生産→薄利」というシステム LSI のビジネス・モデル上の不具合を技術により補償しようという動きがある。「IP コア・ベース IC (IPIC)」[10] と呼ぶ設計技術だ。

シリコン基板上に回路を実現する方法として、

1. フルカスタム (FC) 方式
2. ゲートアレイ (GA) 方式
3. スタンダードセル (SC: セル・ベース設計) 方式

といった方式が登場してきた (図 3 参照)。今日のロジック LSI の場合、高性能 MPU はフルカスタムで、ASIC はゲートアレイあるいはスタンダードセルで設計するのが一般的である。IPIC とはシステム LSI 向けの回路実現法および設計技術であり、以下の特徴を有する [10]。

- セル・ベース設計の考えに基づくが、セルはスタンダードセルよりも大きなコア・セル (機能ブロック)。
- さらに、そのコア・セルは LSI メーカー内部に閉じたクローズドなものではなく、流通に乗ったオープンなもの。単なるハードウェア回路だけでなく、それを動かすドライバ・ソフトウェア等も含む。いわば、知的所有権 (IP: Intellectual Property) のあるコア・セル。
- 目的に合った IP コアを内外を問わず自由に調達して来ることで、システム LSI の開発コストおよび開発期間の低減を目指す。

それでは、このような IPIC はシステム LSI 構成法として本当に主流に成り得るのだろうか? 別の強力な対抗馬はないのか? たとえば、以下のシナリオを考えてみよう。

前にも述べたように、システム LSI は「半導体技術の進歩→集積度向上→システム化→カスタム化→多品種小量生産→薄利」というビジネス・モデル上の不具合がある。これとは異なるビジネス・モデルとして、「半導体技術の進歩→集積度向上→汎用多機能システム&セミカスタム化→少

⁸ 汎用 MPU の最大手である Intel がシステム LSI に積極的でない理由はここにあるのかも知れない。

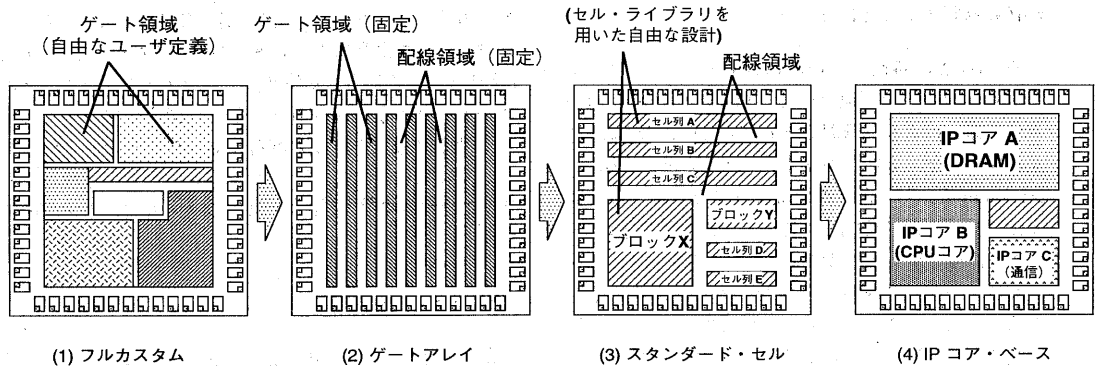


図 3: VLSI 構成法の推移

品種大量生産→巨利」というものが可能であると考える。つまり、「ASIC 的な専用システム LSI」ではなく、「ASSP (Application-Specific Standard Product) 的な汎用システム LSI」を目指す。この時の設計手法は IPIC よりもフルカスタムの方が性能面で競争力がある。Intel のようなフルカスタムの設計力があるところは、このようなコストパフォーマンスに勝った汎用システム LSI を開発できるであろう。

3.3 汎用システム LSI

それでは、「ASSP 的な汎用システム LSI」が備えるべきアーキテクチャ上の要件について考えてみたい。

汎用性と専用性 LSI の発展の歴史はある意味で「汎用化」と「専用化」のせめぎ合いの歴史でもあった。汎用システム LSI ではこの相反する 2 つの要求を 1 つのチップ上で同時に実現する必要がある。方法論的には、以下の選択肢が可能だ。

- 汎用プロセッサ自身に専用機能ユニットを追加していく。ハードウェア的にはあくまでもセミカスタムで、ソフトウェアにより専用機能を提供する。たとえば、MMX のようなマルチメディア拡張機能を用いた MPEG2 のソフトデコード等がこれに相当する。
- 汎用プロセッサ以外に専用プロセッサを追加した heterogeneous マルチプロセッサ構成を採る⁹。たとえば、コプロセッサとして DSP やメディアプロセッサを用いたマルチメディア処理等がこれに相当する。あるいは、一部の専用プロセッサを特定のアルゴリズムに特化したハードウェア制御とすることも可能。

⁹あるいは、専用プロセッサの集合体として汎用性を提供する。このような構成では、専用プロセッサ群が大部分のアプリケーションを担当することになり、汎用プロセッサはむしろ「雑用」プロセッサと呼ぶのがふさわしい。

- 汎用プロセッサ以外に FPGA (Field Programmable Gate Array) を追加する。この FPGA を用いて、所望の専用化を施す。方法としては、専用アルゴリズムを直接プログラムして専用回路化する以外に、専用機能ユニットの形で汎用プロセッサに組み込むことも可能 [4]。

標準性 上記の「汎用性」と並んで重要なのは「標準性」である。特に (いろいろな意味で) インタフェースの標準性が鍵を握る。

これまでは、対ソフトウェアのインタフェース、つまり、機械命令セットの標準を握ることが生死を決めた。しかし、ここに来て状況は変わりつつある。Java のようにインターネットからソフトウェアがやって来る時代になると、命令セットの標準 (たとえば、x86) を握ることより、如何に「標準のバイトコード」を高速に実行できる命令セット・アーキテクチャならびに処理系 (エミュレータや JIT コンパイラ) を用意するかが決め手となる。機械命令セットの標準云々が市場をコントロールした時代は過ぎ去ろうとしている。

一方、LSI の I/O インタフェースはますます重要になってきている。実は、Intel の強みは x86 アーキテクチャの標準を握っていることよりも、PCI、AGP 等の I/O インタフェースを押さえていることにあるとも言われている [13]。Rambus 社と共同で Direct Rambus の開発に乗り出したことから、Intel の I/O インタフェース重視戦略が窺い知れる。Direct Rambus 対抗の SLDRAM の動きも目が離せない。

ところで、以上の I/O インタフェースの標準化を巡る話題は、主として現状の製品形態である高性能 MPU や DRAM を中心としたものである。将来の主力製品であるシステム LSI 間の I/O (というよりも通信) インタフェースの標準化の動きは、筆者が関係している PPRAM コンソーシアム

[27]における PPRAM-Link 以外知らない。IEEE1394 や USB 等の動きもあるが、これらはシステム LSI 間インタフェースというよりボード間あるいは装置間インタフェースという類のものである。システム LSI とはそれ自身がシステムであると同時に、より大きなシステムの 1 構成要素でもある。前節で述べた「ASSP 的な汎用システム LSI」の ASSP の 2 つ目の S (Standard) とは正にシステム LSI 間の標準通信インタフェースであると筆者は信じる。

高性能化 さて、システム LSI の高性能化を図る手段としては種々の方法が考えられる。今日の高性能 MPU では当たり前となったスーパースカラ方式、メディア・プロセッサで多用され Intel のポスト x86 アーキテクチャである IA64 での採用が噂されている VLIW 方式、近年俄然注目を集めている DRAM/ロジック混載、究極の並列マシンであるオンチップ・マルチプロセッサ、等々。

しかし、いくら利用可能なトランジスタ数が潤沢だとは言え、システム LSI の内部アーキテクチャの決定に当たってはコスト/パフォーマンスおよびエネルギー/パフォーマンスに関するトレードオフを慎重に図る必要がある。そのようなトレードオフに関する定量的な評価については、文献 [6], [15], [16], [17], [19], [22], [24], [26], [28], [31] を参照のこと。

筆者の個人的な意見としては、以下の内部アーキテクチャを推奨したい [7]。

- まず、プログラム実行時間のうちメモリ・アクセスに要する時間を低減することを目的に、出来るだけ大容量のメモリをチップに載せる。利用可能なメモリ容量が増えると無駄な計算を省略でき、引いては低消費電力化にもつながる。対象とするアプリケーションにも依るが、SRAM に比べて単位面積当たりの記憶容量が 1 桁上の DRAM の混載が有望である。
- 次に、プロセッサ能力を決定する。ここで、単体プロセッサの盲目的な (スーパースカラや VLIW による) 能力強化、あるいは、安易なプロセッサ数増加に走らないことが肝要だ。たとえば、多機能性が要求されるシステム LSI において、単体プロセッサの処理能力を高めて、そこで複数のアプリケーションを時分割処理する必然性はどこにあるのか?あるいは、いたずらにプロセッサ数を増やし過ぎて、それらに対する命令およびデータ供給が追いつかなくなることはないのか?そもそも、複数のプロセッサを同一チップ上に搭載することのメリットは何なのか?といった初歩的疑問にきちんと答えられることが大切である。筆者は、先に搭載したメモリのメモリ・バンド巾に見合った能力のプロセッサ能力を提供すれば十分であると考え (命令やデータが供給されなければプロセッサは何もすることがない)。

4 おわりに

半導体微細加工技術の進歩により、21 世紀初頭には 1 チップに集積可能なトランジスタ数は数千万~数億個へと増加し、システム全体を集積したシステム LSI が半導体製品の主力となる可能性が出てきた。このようなシステム LSI 時代のアプリケーションとしては、従来からのコンピューティング、通信、家電、機器組込みといったものから、電子マネー、社会基盤システムへの組込みと多岐に渡るものと期待される。

今後の VLSI アーキテクチャの決定に当たっては、このような潤沢なトランジスタを如何にして、

- 高性能化
- 低消費電力化
- 高信頼性化
- 設計容易化
- テスト容易化

に活用するかを考える必要がある。と同時に、成功する VLSI アーキテクチャはビジネス的にも成功可能なビジネス・モデルに立脚していなければならない。今後のシステム LSI 時代における競争力のあるビジネス・モデルの構築が急務となっている。

参考文献

- [1] 浅見直樹, 枝 洋樹, 横田英史, “見えた! 21 世紀のマイクロプロセッサ,” 日経エレクトロニクス, no.677, pp.91-134, 1996 年 12 月。
- [2] 伊藤元昭, “2000 年のプロセッサ像を追う,” 日経マイクロデバイス, no.136, pp.40-61, 1996 年 10 月。
- [3] 伊藤元昭, “パソコンに挑む情報家電, 「要」はメディア・プロセッサ,” 日経エレクトロニクス, no.694, pp.83-102, 1997 年 7 月。
- [4] 末吉敏則, “Reconfigurable Computing System の現状と課題,” 信学技報, VLD96-79, CPSY96-91, 1996 年 12 月。
- [5] 船木洋一, 三好 敏, 望月洋介, 長広恭明, “「IP 時代」到来 — LSI に第 3 の変革 —” 日経マイクロデバイス, no.145, pp.40-69, 1997 年 7 月。
- [6] 宮嶋浩志, 岩下茂信, 村上和彰, “高性能システム・オンチップ構成法に関する性能評価,” 情処研報, HPC62-6, 1996 年 8 月。
- [7] 村上和彰, 吉井 卓, 岩下茂信, “21 世紀に向けた新しい汎用機能部品 PPRAM の提案,” 情処研報, ARC108-8, 1994 年 10 月。
- [8] 村上和彰, 岩下茂信, 宮嶋浩志, 白川 暁, 吉井 卓, “メモリ・マルチプロセッサ一体型 ASSP (Application-Specific Standard Product) アーキテクチャ: PPRAM,” 信学技報, ICD96-13, CPSY96-13, FTS96-13, 1996 年 4 月。
- [9] 村上和彰, 横田英史, 黒田一朗, 末吉敏則, “パネル討論: 今後の VLSI プロセッサ, システム LSI はどうなるか?,” 信学技報, ICD97-6, CPSY97-6, FTS97-6, 1997 年 4 月。
- [10] 望月洋介, 朝倉博史, “IPIC 時代の配役 — 第一幕が開演 —,” 日経マイクロデバイス, no.147, pp.50-81, 1997 年 9 月。

- [11] 安浦寛人, 増田英司, 堀田多加志, 村岡道明, 松永裕介, 小野信任, “パネル討論: システムオンシリコン時代に向けてどんな CAD を作るべきか?,” 信学技報, VLD96-95, ICD96-205, 1997年3月.
- [12] 安浦寛人, “これからのシステム LSI 設計技術,” 日本學術振興会「集積化デバイス・システム」165委員会資料, 1997年.
- [13] 横田英史, “インテルが危ない — ポスト 86 時代のマイクロプロセッサ: ジャーナリストの観点から —,” 信学技報, ICD97-5, CPSY97-5, FTS97-5, 1997年4月.
- [14] Bell, G., Sites, R., Dally, W., Ditzel, D., and Patt, Y., “Architects Look to Processors of Future,” *Microprocessor Report*, vol.10, no.10, pp.18–24, Aug. 1996.
- [15] Bowman, N., Cardwell, N., Kozyrakis, C. E., Romer, C., and Wang, H., “Evaluation of Existing Architectures in IRAM Systems,” *Workshop on Mixing Logic and DRAM: Chips that Compute and Remember*, <http://iram.cs.berkeley.edu/isca97-workshop>, June 1997.
- [16] Burger, D., Goodman, J. R., and Kägi, A., “Memory Bandwidth Limitations of Future,” *Proc. of the 23rd Annual International Symposium on Computer Architecture*, pp.78–89, May 1997.
- [17] Burger, D. C., “System-Level Implications of Processor-Memory Integration,” *Workshop on Mixing Logic and DRAM: Chips that Compute and Remember*, <http://iram.cs.berkeley.edu/isca97-workshop>, June 1997.
- [18] Clark, A. C., 2001: *A Space Odyssey*, 1968.
- [19] Fromm, R., Perssakis, S., Cardwell, N., Kozyrakis, C., McGaughey, B., Patterson, D., Anderson, T., and Yelick, K., “The Energy Efficiency of IRAM Architectures,” *Proc. of the 24th Annual International Symposium on Computer Architecture*, pp.327–337, June 1997.
- [20] Gelsinger, P. P., et al., “Microprocessor Circa 2000,” *IEEE Spectrum*, vol.26, no.10, pp.43–47, Oct. 1989.
- [21] Gelsinger, P. P., et al., “2001: A Microprocessor Odyssey,” Leebaert, D., ed., *Technology 2001, The Future of Computing and Communications*, pp.95–113, The MIT Press, 1991.
- [22] Jouppi, N. P. and Ranganathan, P., “The Relative Importance of Memory Latency, Bandwidth, and Branch Limits to Performance,” *Workshop on Mixing Logic and DRAM: Chips that Compute and Remember*, <http://iram.cs.berkeley.edu/isca97-workshop>, June 1997.
- [23] Joy, B., “Microprocessor Architecture: The Next Ten Years and Beyond,” *Hot Chips VIII Keynote Address*, Aug. 19, 1996.
- [24] Miyajima, H., Inoue, K., Kai, K., and Murakami, K., “On-Chip Memorypath Architectures for Parallel Processing RAM (PPRAM),” *Workshop on Mixing Logic and DRAM: Chips that Compute and Remember*, <http://iram.cs.berkeley.edu/isca97-workshop>, June 1997.
- [25] Moore, G., *Fall'97 Intel Developer Forum Keynote*, <http://www.intel.com/intel/idf/webcast.htm>, Sept. 30, 1997.
- [26] Olukotun, K., Nayfeh, B. A., Hammond, L., Wilson, K., and Chang, K., “The Case for a Single-Chip Multiprocessor,” *Proc. of the 7th International Conference on Architectural Support for Programming Languages and Operating Systems*, Oct. 1996.
- [27] PPRAM Consortium, <http://www.ppram.or.jp/>.
- [28] Saulsbury, A., Pong, F., and Nowatzky, A., “Missing the Memory Wall: The Case for Processor/Memory Integration,” *Proc. of the 23rd Annual International Symposium on Computer Architecture*, pp.90–101, May 1996.
- [29] Semiconductor Industry Association (SIA), *The National Technology Roadmap for Semiconductors*, <http://www.sematech.org/public/roadmap/1994rdmp.htm>, 1994.
- [30] Slater, M., “The Future of Computing Platforms,” <http://www.chipanalyst.com/analysts/michael/future.html>, 1997.
- [31] Yamauchi, T., Hammond, L., and Olukotun, K., “A Single Chip Multiprocessor Integrated with DRAM,” *Workshop on Mixing Logic and DRAM: Chips that Compute and Remember*, <http://iram.cs.berkeley.edu/isca97-workshop>, June 1997.
- [32] VSI Alliance, <http://www.vsi.org/>.
- [33] Yu, A., “The Future of Microprocessors,” *Micro*, vol.16, no.6, pp.46–53, Dec. 1996.