

HDL 設計に基づく並列計算機ルータの評価

林 匡哉 堀田 真貴 大津 金光
吉 永 努 馬 場 敬 信

宇都宮大学 工学部 情報工学科

並列計算機ルータをコスト・パフォーマンスの観点から定量的に評価するためには、ハードウェアの実装コストと転送性能の関係を十分に考慮する必要がある。そこで、ハードウェア記述言語により、並列計算機ルータを記述し、その論理合成とシミュレーション結果に基づいた評価を行なう。シミュレーションにおいては、チップの動作速度も考慮する。以上の結果から、適応ルーティングにおける静的経路指定は、安価にネットワーク性能を向上させることがわかった。また、バーチャルチャネルの導入などに伴ってハードウェアが複雑化すると、サイクルベースのスループットの向上は、速度低下によって相殺される場合があることも示す。

An Evaluation of Routers for Parallel Computers based on HDL Design

MASAYA HAYASHI, MAKI HORITA, KANEMITSU OOTSU,
TSUTOMU YOSHINAGA and TAKANOBU BABA

Department of Information Science, Faculty of Engineering,
Utsunomiya University

It is necessary for the fair evaluation of routers for parallel computers to carefully consider the relation between costs of implementation and transfer performance. Evaluation of routers based on synthesizing and simulation which considers operation speed, leads to the following conclusions: Dimension-selective routing improves network performance; Additional VCs and other things increase the complexity of router and any increase in throughput based on cycle time is offset by slower operation speed.

1. はじめに

並列計算機は、PE(Processing Element)がネットワークを介して互いに接続されており、各PE間でメッセージを送受信することで、それらが協調して処理を行なう。したがって、ネットワークは、高並列計算機の性能を決定する重要な要因の一つになる。ネットワークの通信性能を決定する主な項目として、ルーティング・アルゴリズム、トポロジーの選択、フロー制御等がある。我々は、それらの項目の中で、ルーティング・アルゴリズムがルータのハードウェア・コストやネットワーク性能に与える影響について検討している。また、静的な通信スケジューリングにより、適応ルーティング時における経路選択の静的優先順位指定やFIFO性を保証するルーティング方式を提案してきた[1]。

適応ルーティングについては、ネットワークのスループットを向上させるための有効な技術として、様々な方式が提案されている。また、近年、ルーティング・アルゴリズムの実装コストを熟考した上で、より公平にルータ・アーキテクチャを評価しようとする研究がある[2]。しかし、ルータの動作速度を包含したネットワーク全体の性能比較については、まだ十分に議論されていない。

本研究では、HDLにより様々なルータを記述し、その論理合成結果に基づいて、ルーティング・アルゴリズムがハードウェア量と動作速度に与える影響を明らかにする。また、HDLシミュレータを使用し、幾つかの典型的な通信パターンにおけるネットワーク全体の通信性能を示す。これにより、より実際にハードウェアの実装コストと通信性能の関係を議論する。

2. ルータの仕様

本研究では、ネットワークトポロジーとして、基本的な2D-メッシュを対象とし、フロー制御方式として、近年の並列計算機に広く利用されているワームホール方式について検討する。ここでは、2D-メッシュの各次元をそれぞれX、Y次元と表す。各メッセージは、そのヘッダに宛先ノードを表すXアドレスとYアドレスを絶対アドレス形式で保持する。また、フロー制御単位であるフリット・サイズは、物理チャネル幅と同一とし、ルータ間は、片方向の2組のチャネルによって接続する(全二重)。ルータ間接続信号としては、データバスの他、受信ポートで内部クロックと非同期にメッセージデータをラッチするためのクロック、隣接ルータの受信ポートが次のメッセージ・フリットを受信できるか否かを示すフロー制御信号、メッセージの終端語

であることを表す信号、バーチャルチャネル (VC:Virtual Channel) 選択信号線を設け、可変長メッセージに対応する。

2.1 ルーティング・アルゴリズム

本稿では、非適応ルータには次元順 (Dimension-order) ルーティングを採用し、適応ルータにはターンモデル (turn model)[3][4] を基本とした次の7つのルータについて考察する。ターンモデルを使用する理由は、ターンモデルがチャネル依存グラフにサイクルを許さないため、VCがなくてもデッドロックを回避できるためである。

なお、すべてのルータは、全メッセージを最短経路で配送する。

- (1) Dimension-order: 始めに X 次元に沿って宛先ノードアドレスと等しい X 座標まで転送し、その後 Y 次元に沿って宛先ノードまで転送する (非適応) [5]。
- (2) Dimension-order/2 virtual channels: X、Y 次元共に、VC を 2 本使用する (非適応)。VC 割り当ては、いくつか実験を行ない性能のよかった方法の結果を示す。
- (3) Dimension-order/auto 2 virtual channels: X、Y 次元共に VC を 2 本使用し、動的に未使用の VC を利用する (非適応)。
- (4) North-last: 全メッセージを North-last アルゴリズムで経路選択する。North-last アルゴリズムでは、北進するメッセージが曲がることを禁止し、それ以外は最短経路上の任意の経路を選択できる。宛先が北にある場合は、次元順ルーティングとなる (部分適応)。
- (5) Double-x: X 次元のポートにのみ VC を 2 本使用し、全メッセージを宛先によって North-last か South-last に区別して経路選択する (完全適応)。
- (6) North-last/Dimension-selective: (4) で複数の出力ポートが利用可能な場合の優先順位を指定できる。また、次元順ルーティングも選択できる。
- (7) Double-x/Dimension-selective: (5) で複数の出力ポートが利用可能な場合の優先順位を指定できる。また、次元順ルーティングも選択できる。
- (8) Double-xy/Dimension-selective: (7) で Y 次元のポートにも VC を 2 本使用する。オプションにより (2) をエミュレートできる。

Dimension-selective ルーティングを導入した理由は 2 つある。一つには、静的通信スケジューリングが可能な定型的な通信パターンにおいて、一部のメッセージに対する経路選択の優先次元を指定することが、ネットワークの性能向上に有効なためである。その効果については、4.1 節と 4.3 節において議論する。

二つ目は、アプリケーションが FIFO 性を必要とする場合があるためである。その場合、各メッセージヘッダに適応ルーティングを禁止するフラグをセットすることで、安価に FIFO 性の保証が可能となる。また、メッセージがネットワーク全体に均一に分散するユニフォーム転送では、時間的、及び局所的に適応ルーティングを行なうよりも、次元順ルーティングの方が高スループットになる場合が存在するためである。ターンモデルを完全適応型にすることが目的であれば、VC の構成は Double-x で十分であるが、適応ルータでも次元順ルーティングを積極的に活用するためには、Y 次元のポートにも VC を設けた方がよい。以上

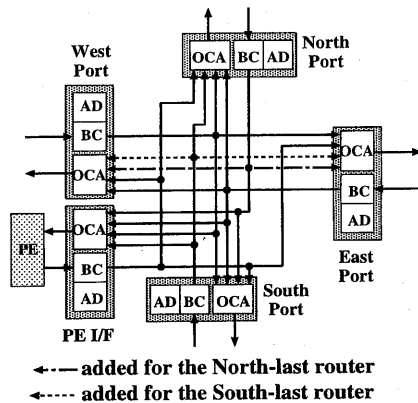


図 1: ルータの構成

の理由により、Double-xy ルータを考案した。その効果については、4.2 節と 4.4 節において議論する。

2.2 ハードウェア構成とデータバス

図 1 に VC を持たない 2D-メッシュルータの基本構成を示す。ここでは、2D-メッシュの方向を東西南北とし、各方向に 4 つのネットワークポート (North, South, East, West Port) と PE・インタフェース (I/F) を持つ。これらは wire で結線される。ポート間の実線は次元順ルーティングを行なうために必要な結線であり、North-last や South-last を実現するためには、さらに図中の破線の結線が必要となる。

本ルータでは、各ポートが独立して経路選択と出力チャネルの調停を行なう。したがって、出力ポートが衝突しない限り、複数メッセージの経路選択、入出力ポートの接続、データ転送は、すべて並列に行なう。2.1 節で述べた (2)、(3)、(5)、(7)、(8) のルータのように物理チャネルあたり 2 本の VC を持つ場合は、入力バッファとアドレスデコーダが 2 つになり、バッファの出口に VC コントローラが追加される。ルータ内部での処理の概要を以下に示す。

1. **Buffer Controller (BC)** が、ネットワークから入力されるメッセージを受信し、**Address Decoder (AD)** に経路選択要求を出力する。データ受信は、ルータ内部のクロックと非同期に行なう。
2. **AD** が、受信したメッセージのアドレスをデコードし、出力ポートに出力要求を行なう。適応ルーティングの場合は、全ての主力候補に同時に要求を行なう。
3. **Output Channel Arbitrator (OCA)** が、物理チャネルの使用状況と隣接ルータの受信バッファの状態に基づいて、各ポートからの出力要求の調停を行なう (AD へ出力許可を返す)。
4. **AD** が、出力許可を返したポートから一つを選択すると共に、**BC** にメッセージの出力を許可する。VC を使用している場合は、VC の出力制御を行なう。
5. **BC** がデータを出力し、**OCA** が隣接ルータからのフロー制御信号と **BC** のデータ保持状況に応じた出力制御を行なう。

上記 3、4、5 は同時に動作するため、ルータは 3 ステップ (1 → 2 → 3, 4, 5) でメッセージを 1 ホップする。ただし、ステップ 1 の前後には、ルータ間のデータ伝送遅延と内部クロックとの同期が必要となる。VC がある場合に

表 1: ルータのハードウェアコスト

ルータ	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
FIFO(N,S) (E,W)	4 × 1 4 × 1	4 × 2 4 × 2	4 × 2 4 × 2	4 × 1 4 × 1	4 × 1 4 × 2	4 × 1 4 × 1	4 × 1 4 × 2	4 × 2 4 × 2
クロック (MHz)	98.2	72.5	69.4	92.6	70.9	92.6	68.5	68.3
半クロック時間 (ns)	5.09	6.90	7.20	5.40	7.05	5.40	7.30	7.35
総面積 (gates)	20598.0	44979.9	45249.0	21738.0	38006.8	21882.0	38116.5	48007.5

- (1) Dimension-order (4) North-last (6) North-last/Dimension-selective
 (2) Dimension-order/2 virtual channels (5) Double-x (7) Double-x/Dimension-selective
 (3) Dimension-order/auto 2 virtual channels (8) Double-xy/Dimension-selective

いても、VC 間で静的な優先度を決定することで、1 ホップに要するクロック数は一定である。

3. ハードウェアコスト

2.1 節で述べたルータを Verilog-HDL で記述した。

3.1 論理合成

論理合成は、全てのルータにおいて同一の条件で行なった。論理合成結果を以下に示す。

シンセサイザ: Synopsys HDL Compiler Version1998.02

動作条件: 民生用最悪条件

配線負荷: セル面積による自動選択

最適化: Medium effort

ライブラリ: LSI Logic 0.6 μ m Array-Based Gate Array

表 1 に合成結果を示す。クロックと半クロック時間は、タイミング条件を満たす最もよい値を示している。なお、本研究で記述したルータはクロックの立上りと立ち下がりの両エッジを使用している。総面積は、表中の半クロック時間で反転するクロックを指定した時の値を、ゲート数換算で表している。

なお、動作速度を重視して論理合成をしたことによる総面積の増加率は 10% 未満であった。

3.1.1 次元順ルータ

(1) から (2) の総面積は、2 倍以上に増加している。表 1 には示していないが、VC 数を 4 本に増加させた場合、総面積は (1) の約 4 倍になる。このことより、総面積はバッファ容量の増加に比例して増加することがわかる。半クロック時間は (1) で 5.09ns、(2) で 6.90ns となり 1.81ns の増加となった。このことより、VC を追加すると動作速度が低下することがわかる。これは、VC コントローラが追加されることと、出力チャネルを制御するマルチプレクサが複雑化することが原因である。

(2) から (3) のセル面積の増加率は 1% 以下に留まり、VC を動的に切り替えるための回路は、総面積にほとんど影響を与えない。(3) の半クロック時間は 7.2ns であり、VC の動的切り替えは動作速度を低下させる。これは、VC の動的切り替えのための回路の追加により、クリティカル・パスが伸びるためである。

3.1.2 適応ルータ

(1) と (4) を比較すると、総面積の増加率は約 5.5% となる。これは、適応ルーティングの実現のために南のポートから東西のポートへの結線の追加や、アドレスデコーダやマルチプレクサの複雑化が原因である。半クロック時間は (1) と比較して 0.31ns 増加しているが、これは経路選択論理の複雑化に伴いアドレスデコーダ内のクリティカル・パスが伸びたことが原因である。

(5) では、総面積はバッファ容量を反映して (1) と (2) の中間の値を示している。動作速度は、(2)、(3) と同様に、主に VC の影響で低下している。

3.1.3 優先経路指定可能適応ルータ

(4) と (6)、(5) と (7) を比較すると、総面積の増加は共に 1% 以下である。また、半クロック時間は (4) と (6) では変化がなく、(5) と (7) では 0.25ns 増加する。また、(8) から Dimension-selective を除いた Double-xy ルータ (表 1 には示していない) と、(8) の半クロック時間は同じであった。よって、静的な優先経路指定アルゴリズムの追加は、ハードウェア量、動作速度共にほとんど影響を与えないことがわかる。

(2) とバッファ構成の等しい (8) では、総面積は 6.7% 増加している。これは、適応ルーティングの実現のために南北のポートから東西のポートへの結線の追加や、アドレスデコーダやマルチプレクサの複雑化が原因である。

(8) は (7) と動作速度は同程度になる。これらはバッファ容量が異なっているのみである。このことより、VC を南北のポートにのみ使用する場合と、全てのポートに使用する場合とでは、動作速度においてほとんど差がないことがわかる。

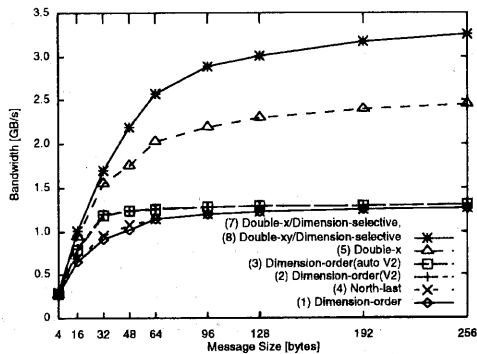
4. シミュレーション

2.1 節で述べたルータのうち (6) を除くルータに対して、典型的な通信パターンに対する性能を示す。シミュレータには、Cadence 社の Verilog-XL を使用する。それぞれの転送パターンで、全てのルータにおいて、クロックを 66MHz で一定にした場合と、各ルータごとに表 1 に示した値をクロック速度にした場合のバンド幅を示す。

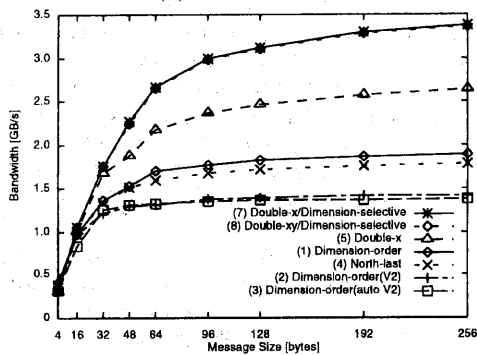
4.1 Matrix-transpose 通信

Matrix-transpose 通信におけるシミュレーション結果について述べる。ここでは、5 × 5 の 25 ノード 2D-メッシュにおいて、ノードアドレス (i, j) と (j, i) がメッセージをピンポンするものとする。シミュレーションでは、 $i \neq j$ の 20 個のノードが同時にメッセージの送信を開始した時点から、4 個のメッセージの受信が完了するまでの時間を計測し、バンド幅を求めた。各ルータに対して、メッセージ長を変えた時の結果を図 2 に示す。

図 2(a)66MHz 動作時は、完全適応型 (7)、(8) の結果が最もよい。これは、クリティカル・パスとなる (4, 0) - (0, 4) 間のメッセージを Y 次元優先に指定できるからである。さらに、その時のクリティカル・パスである (1, 0) - (0, 1) 等も Y 次元優先とすることで、ピーク性能を達成する。(5) は、通信パターンに対して最適なスケジューリングを行なう (7)、(8) には及ばない。部分適応型 (4) は、次元順ルータ



(a) 66MHz 動作時



(b) 最高動作速度時

図 2: Matrix-transpose 通信のバンド幅

タ(1)と同等の結果を示している。これは、クリティカルパスになる(0,4)から(4,0)へのメッセージが次元順に送られるためである。この通信パターンでは、(3)はVCの動的切り替えをほとんど行わない。そのため、(2)と(3)の間にほとんど差が見られない。

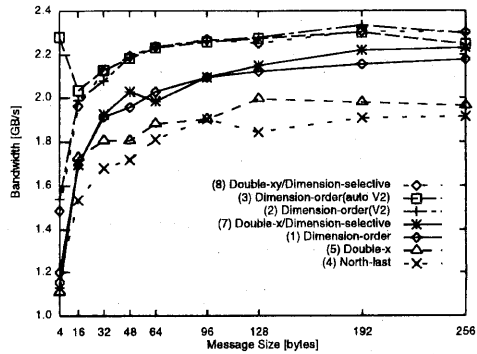
図2(b)最高動作速度時の評価では、動作速度の高い次元順ルータ(1)、(2)、(3)や部分適応型(4)と、完全適応型(5)、(7)、(8)との性能差は小さくなっている。

しかし、これらのルータ間で結果が逆転するまでには至っていない。

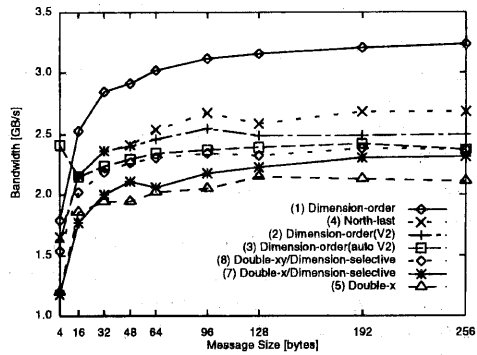
4.2 Random 通信

Random 通信におけるシミュレーション結果について述べる。ここでは、 5×5 の25ノード2D-メッシュにおいて、全てのノードが自分以外のノードに等確率でランダムに50個のメッセージを連続して送信する。シミュレーションでは、25ノード全てが同時にメッセージの送信を開始した時点から、送信されたメッセージが全て受信されるまでの時間を計測し、バンド幅を求めた。各ルータに対して、メッセージ長を変えた時の結果を図3に示す。

Random 通信では、ネットワーク全体にメッセージが均等に分散する。そのため、適応ルーティングを行なうことで、メッセージを迂回させても迂回路となるチャネルも混雑している場合が多く、全体の転送性能が低下する。したがって、図3(a)66MHz動作時には、適応ルーティングを行なう(4)や(5)の結果はよくない。



(a) 66MHz 動作時

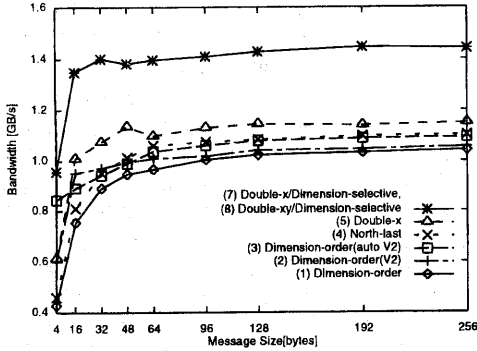


(b) 最高動作速度時

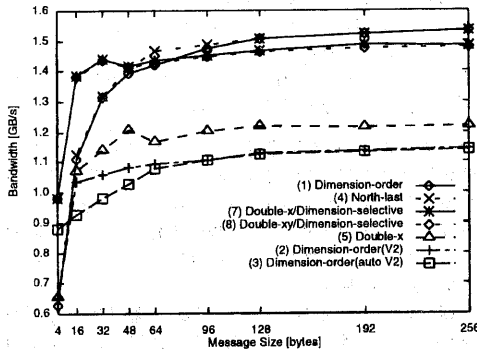
図 3: Random 通信のバンド幅

一方、次元順ルータは良好な結果を示すが、(2)、(3)はVCを用いることで物理チャネルの利用率を高め、VCを持たない(1)よりもよい結果を示す。また、メッセージサイズが小さいところで(3)が非常によい結果を示している。予備評価として(3)の各VCのバッファ容量を増加させて同様の転送パターンでシミュレーションを行なった。その結果、メッセージサイズがバッファ容量よりも小さい場合に非常によい結果を示した。これは、空きのあるチャネルを自動選択することにより、物理チャネルの使用率を高めるためである。このことに関しては、後述のHot-spot通信でも同様の傾向が見られる。一方、メッセージがバッファ容量よりも大きい場合にメッセージがブロックされると、複数のチャネルにまたがって留まることになる。Random 通信パターンは規則性がないため、このような場合、物理チャネルを効率よく使用することができない。そのため、物理チャネルの使用率が向上せず、(2)と同程度の性能を示している。

優先経路指定可能ルータ(7)、(8)では、次元順ルーティングを指定することにより適応ルータ(5)よりもよい結果を示す。(8)は、バッファ構成が同じ(2)や(3)と同程度の性能を示す。一方、(7)では、X次元にVCを持たない。そのため、X方向の2本のVCのメッセージが、Y方向では1本のチャネルに集中する。上記の理由により、(7)は、1ノード当たりのバッファ容量の少ない(1)よりも結果が悪かった。そこで、(7)で次元順ルーティングを行なう場合、一方のVCのみを使用することで、(1)程度の性能を示し

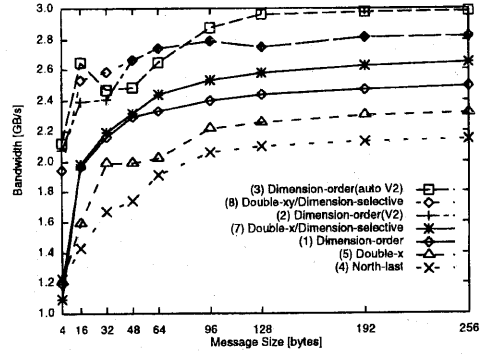


(a) 66MHz 動作時

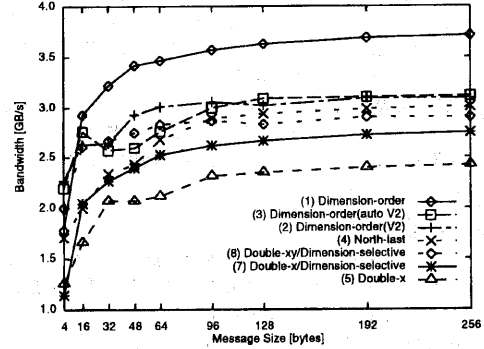


(b) 最高動作速度時

図 4: Hot-spot 通信のバンド幅



(a) 66MHz 動作時



(b) 最高動作速度時

図 5: All-to-All 通信のバンド幅

ている。

図 3(b) 最高動作速度時の評価では、ルーティング・アルゴリズムよりも最高動作速度による影響が大きい。そのため、図 3(a) では最もよい結果を示している (2)、(3)、(8) よりも、高速に動作可能な (1) や (4) の方がよい結果を示している。

4.3 Hot-spot 通信

Hot-spot 通信におけるシミュレーション結果について述べる。ここでは、 5×5 の 25 ノード 2D-メッシュにおいて、全てのノードが 50 個のメッセージを連続して送信する。それらの内 50% はノード (2, j) の 5 つのノードに等確率でランダムに送信し、それ以外のメッセージは自分以外のノードに等確率でランダムにメッセージを送信する。シミュレーションでは、25 ノード全てが同時にメッセージの送信を開始した時点から、送信されたメッセージが全て受信されるまでの時間を計測した。各ルータに対して、メッセージ長を変えた時の結果を図 4 に示す。

この転送パターンでは、次元順ルーティングを行なった場合、(2, j) ノードの Y 次元のポートを繋ぐチャンネルにメッセージが集中することになる。そのため、図 4(a) では、次元順ルータ (1)、(2)、(3) の結果はよくない。

経路選択優先次元を指定できる (7)、(8) では、宛先が (2, j) ノードのメッセージを Y 優先としている。これにより、ホットスポットへ集中するメッセージが分散し、よい結果を得ている。優先経路指定は、メッセージサイズが小

さい場合に特に有効で、次元順ルータとの性能差は大きくなる。

一方、(4) と (5) は、全てのメッセージに対して X 次元優先の適応ルーティングを行なっている。そのため、メッセージがホットスポットからあまり分散せず、次元順ルータと比較して結果にあまり差はない。

図 4(b) 最高動作速度時は、Matrix-transpose 通信と比較して速度差による影響が大きい。静的な経路選択による影響の大きい、メッセージサイズが小さい場合には、(7)、(8) の結果が最もよい。しかし、メッセージサイズが大きくなると、(7)、(8) の結果と (1)、(4) の結果が図 4(a) の結果と逆転している。なお、ホットスポットへ集中するメッセージが少なくなると、動作速度による影響は増加する。今回と同じ条件で、ホットスポットへ集中するメッセージを 33% としてシミュレーションを行なった場合、(7)、(8) と (1)、(4) 間の結果の差は拡大する。

4.4 All-to-All 通信

All-to-All 通信におけるシミュレーション結果について述べる。ここでは、 5×5 の 25 ノード 2D-メッシュにおいて、ノード n が $n+1 \rightarrow n+2 \rightarrow \dots \rightarrow 24 \rightarrow 0 \rightarrow \dots \rightarrow n-1$ の順に連続にメッセージを送信する。シミュレーションでは、25 ノード全てが同時にメッセージの送信を開始した時点から、全ノードが 24 個のメッセージ全てを受信するまでの時間を計測し、バンド幅を求めた。各ルータに対して、メッセージ長を変えた時の結果を図 5 に示す。

All-to-All 通信では、Random 通信以上に一様にネットワーク全体が混雑するため、適応ルーティングを行なった場合、スループットが低下する。したがって、図 5(a)66MHz 動作時には、適応ルーティングを行なう (4) や (5) の結果が最も悪い。

一方、次元順ルータは良好な結果を示す。特に、VC を使用する (2) と (3) の結果がよい。All-to-All 通信パターンは、Random 通信パターンと比較して規則性がある。このような通信パターンでは、(3) の動的な VC の切り替えが有効な場合がある。しかし、VC の自動切り替えを行なうことで、クリティカル・パス上のメッセージの転送が阻害される場合もある。このため、メッセージサイズが 32byte ~ 64byte では、(2) の方が性能がよくなっている。

優先経路指定可能ルータ (7)、(8) では次元順ルーティングを指定することにより、適応ルーティングを行なうルータよりもよい結果を示す。しかし、(7) では、X 次元に VC を持たないため、(8) と差が出る。

図 5(b) 最高動作速度時の評価では、Random 程ではないが、ルーティング・アルゴリズムよりも最高動作速度による影響をうける。そのため、高速に動作可能な (1) が最もよい結果を示す。

5. 関連研究

村上らは、実装を想定した正確な性能評価を行なうために、並列計算機ネットワーク用ルータ・チップの自動設計システムの開発を行なっている [6]。

Chien はルータ内の各機能ブロックごとにハードウェア量を推定し、特定のテクノロジーのゲート遅延を基にルータの動作速度を評価した [2]。しかし、ルータの動作速度を考慮したネットワーク全体の性能比較については、詳しく議論していない。

本論文では、ターンモデル [3] に経路選択の優先順位や FIFO 性保証のオプションを追加する Dimension-selective 方式を取り上げた。Dimension-selective 方式は、他の k -ary n -cube 用適応ルータにも適用可能である。実際、Double- x ルータと同様のバッファ (FIFO) 構成で、デッドロック・リカバリ方式 [7] と Dimension-selective オプションをサポートできる。また、Double- xy ルータ等は、適応ルータの一機能として次元順ルーティングを積極的に活用するという観点でターンモデルと異なる。

適応ルータにおいて、FIFO 性保証のための非適応ルーティングをサポートするものに Triplex ルータがある [8]。ただし、Triplex ルータでは、適応ルーティング時の優先次元の指定については議論していない。また、文献 [8] では、ルータの動作可能クロック速度については考慮していない。

6. まとめ

本論文では、並列計算機ルータのハードウェア量と転送性能について、論理合成とシミュレーションによる評価を行なった。この評価により、以下のようなことがわかった。

1. 我々の提案する優先経路指定可能適応ルータは、比較的小さなハードウェアの追加で実現可能であり、通信パターンに最適なスケジューリングを行ない、ネットワークの性能を向上させることができる。また、FIFO 性の保証は、ユニフォーム転送の性能向上にも寄与する。

2. ハードウェアの実装が動作速度に与える影響は大きい。そのため、ルータの性能評価においては、動作速度に対する考慮が必須である。

今回の実験結果では、VC を使用する優先次元指定可能ルータよりも VC を使用しない次元順ルータの方がスループットが高い場合があった。これは、VC を用いた適応性や優先次元指定によるスループットの向上が、VC の追加による速度低下によって相殺されたためである。今回は VC を必要としない 2D-メッシュでの評価を行なったが、他のネットワークポロジヤや、扱うメッセージの種類によっては、VC が必要になる場合も多い。我々の予備評価においては、VC なしから VC を 2 本にした場合は、速度低下が大きい。VC を 2 本から 4 本に増加した場合の速度低下は比較的小さかった。したがって、VC が必須なポロジヤでは、次元順ルータの適応ルータに対する優位性が小さくなると考えられる。

今後は、トラスや 3D-メッシュ等、より複雑なポロジヤでの評価を行なう予定である。

謝辞 本研究で有益な御意見をくださいました電子技術総合研究所の山口喜教氏、ならびに、日頃より御指導、御助力を頂いた宇都宮大学馬場研究室の諸氏に感謝致します。

本研究の一部は東京大学 大規模集積システム設計教育研究センターより提供して頂いた CAD ツールを使用しています。深く感謝致します。

本研究は、一部文部省科学研究費 基盤研究 (C) 課題番号 09680324、基盤研究 (B) 課題番号 10558039、奨励研究 (A) 課題番号 09780237 の援助による。

参考文献

- [1] 永永努, 山口喜教: “適応ルータのコスト/パフォーマンス”, 並列処理シンポジウム JSPP'98 論文集 pp.55-62 (1998).
- [2] Andrew A.Chien: “A Cost and Speed Model for k -ary n -Cube Wormhole Routers”, IEEE Transactions on Parallel and Distributed Systems, vol.9, no.2, pp.150-162 (February, 1998)
- [3] C.J.Glass and L.M.Ni: “The Turn Model for Adaptive Routing in 2D Meshes”, Proc.1992 ICCP, pp.1101-1104 (1992)
- [4] C.J.Glass and L.M.Ni: “Maximally Fully Adaptive Routing in 2D Meshes”, Proc.1992 ICCP, pp.1101-1104 (1992)
- [5] W.J.Dally and C.L.Seiz: “Deadlock-Free Message Routing in Multiprocessor Interconnection Network”, IEEE Trans. Comput., vol.C-36, no.5, pp.547-553 (May 1987)
- [6] 村上祥基, 朴泰祐: “並列計算機ネットワーク用ルータ・チップの自動設計システム”, 情報処理学会研報, vol.97, no.119, pp.1-8 (December, 1997)
- [7] Anjan K.V. and Timothy Mark Pinkston: “An Efficient, Fully Adaptive Deadlock Recovery Scheme: DISHA”, Computer Architecture News, vol.23, no.2, pp.201-210 (May, 1995)
- [8] Melanie L.Fulgham and Lawrence Snyder: “Triplex Router: A Versatile Torus Routing Algorithm”, Technical Report UW-CSE-96-01-11, University of Washington (January, 1996)