

自動応答感度調節機構を備えたビジョンチップシステム

本田 晃 亀田 成司 八木 哲也

九州工業大学情報工学部
〒 820-8502 福岡県飯塚市川津 680-4

あらまし—網膜の超並列画像処理機能を組み込んだ、1次元アナログCMOS集積回路(ビジョンチップ)を用いて、自動応答感度調節機能をもった順応型ビジョンチップシステムを製作した。応答感度の調節は、チップに内蔵された蓄積型光センサの蓄積時間を自動的に変化させることにより実現した。蓄積時間は、チップの1フレーム中の最大出力を検出し、この値が一定になるように制御した。システムの自動応答感度調節機構の性能を確認するために、照明強度をさまざまに変化させてシステムの出力をテストした。システムが通常の室内照明下で、実時間画像処理を順応的に実行できることを確認した。

A vision chip system with an automatic gain control mechanism

Akira Honda Seiji Kameda Tetsuya Yagi

Faculty of Computer Science and Systems Engineering, Kyushu Institute of Technology
Kawazu 680-4, Iizuka, Fukuoka 820-8502, Japan

Abstract — We have developed a vision chip system with an adaptive mechanism using an one-dimensional analog CMOS VLSI. The sensitivity of light was controlled automatically by changing the accumulation time of active pixel sensors embedded in the chip depending on the illumination. More precisely, the maximum response voltage of each frame was detected and then the accumulation time was adjusted to set the maximum value to a desired voltage. The system was tested under a various illumination intensity and confirmed to perform an real time image processing under the room light illumination.

1 はじめに

生体の網膜は、変化に富んだ視覚環境に柔軟に対応した情報処理を実行する。近年、網膜の視覚情報処理機能を集積回路化したアナログCMOS集積回路(ビジョンチップ)の開発が盛んになってきている[3, 4, 7]。本研究では、生体視覚系のように自然照明下で画像処理を実行す

Keywords: ビジョンチップ, アナログVLSI, FPGA, 自動応答感度調節

るという視座に立って、ビジョンチップシステムの製作を行なった。

2 外網膜ビジョンチップ

脊椎動物の網膜は、視細胞、水平細胞、双極細胞、アマクリン細胞および神経節細胞の5種類の細胞層からなり、層ごとに超並列的なアナログ画像処理を行なっている。中でも視細胞、水平細胞、双極細胞からなる神経回路は外網膜

神経回路と呼ばれ、脊椎動物の視覚系のもっとも末梢に位置する神経回路網である。この神経回路網は、形と動きを知覚するために分化した後段の視覚チャンネルに対して、共通の前処理フィルタとなっている。従って、外網膜神経回路網は、実時間視覚情報処理にとって最も基本的な機能を含んでいるはずであり、これを適切に集積回路化することは、生物の視覚に学んだ実時間並列画像処理システムを構築する上で極めて重要なことである。

外網膜神経回路の基本的な構造は抵抗回路網としてモデル化されている [1, 6]。以前本研究室では、このモデルをもとに1次元100画素のビジョンチップを製作した(図1)[7]。ここでは、まずそのチップの構成と動作について説明する。チップに入力された光信号(画像情報)は、100個のV-CELL(1画素分の回路)によって並列的に処理(輪郭強調および平滑化)され、シフトレジスタのクロック動作により1画素分ずつ読み出される。図2にV-CELLの回路構成を示す。光センサは電荷蓄積型のアクティブピクセルセンサであり、後述するように、電荷の蓄積時間を変えることによって応答感度を調節することができる。横方向の画素どうしを結ぶ抵抗はMOS抵抗であり、外部信号によって抵抗値を変え、画像の平滑化の幅(受容野の幅)を変えることができる [2, 4, 7]。Bufはノイズ補償バッファ回路として、増幅器のオフセットおよび入力側の回路のばらつきによるノイズを補償する [5, 7]。DSBはBufからの出力と2層目の抵抗回路網からの出力との差をとり、同時にばらつきノイズの補償も行なう。DSBの出力がチップの出力となる。図2の回路において、光センサと1層目の抵抗回路網が視細胞を、2層目の抵抗回路網が水平細胞を、DSBが双極細胞をそれぞれモデル化している。

チップの一連の動作は、外部から電圧信号を与え、内蔵されたスイッチを開閉して制御する。制御信号を生成する回路はFPGA(Field Programmable Gate Array)により構成した。図3に制御信号のタイミングチャートを示す。

チップの制御は以下の手順で行なう。まず時刻 t_0 で光センサの P_{bias} に5Vを加える。フォトダイオード(PD)上部のスイッチが閉じるた

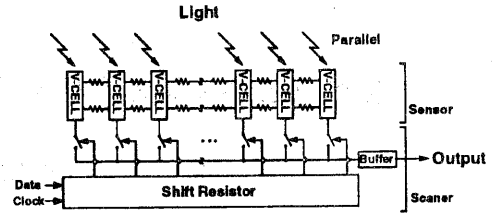


図1: 1次元100画素のラインセンサ

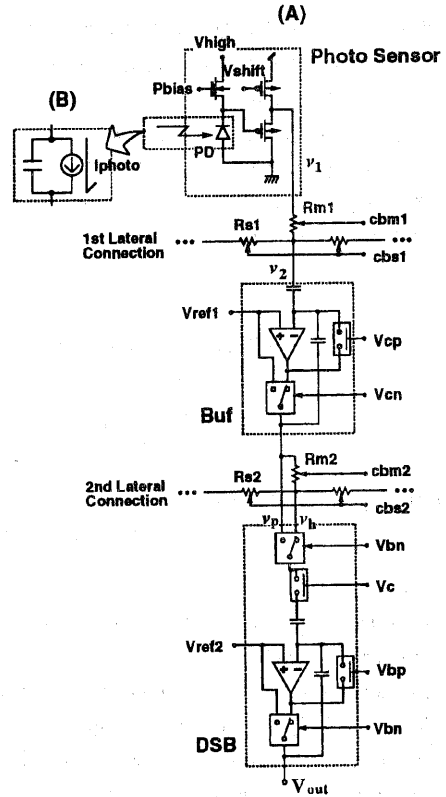


図2: V-CELL(1画素分)の回路構成

め、PDに V_{high} からMOSFETのしきい値をひいた電圧がかかり、PDの寄生容量に電荷が蓄えられる。次に時刻 t_1 で P_{bias} を0Vに落とすと、スイッチが開き容量の電荷が保存される。この光センサの予備動作をリセットと呼ぶ。光センサをリセットする間に、Bufにおいてもトランジスタ特性のばらつき補償のための予備動作(リセット)を行なう。Bufでは、 V_{cp} スイッチをON、 V_{cn} スイッチを V_{ref1} に接続し、キャパシタ

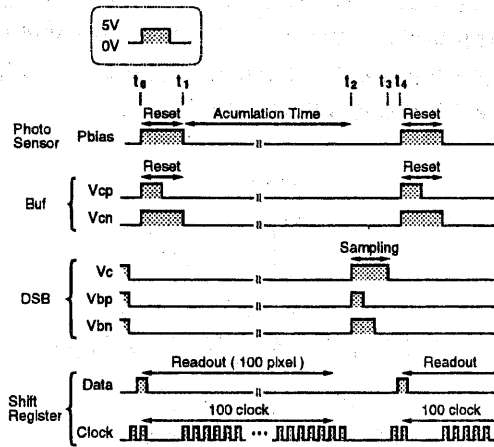


図 3: 制御信号のタイミングチャート

に増幅器のオフセットと入力側の回路のばらつきを電荷量として記憶する。入力側の回路のばらつきには、PD部の固定パターンノイズ、ソースフォロア部のばらつきノイズ、MOS抵抗のばらつきノイズが含まれる。 V_{cp} スイッチをOFFにし、 V_{cn} スイッチを出力側に接続するとリセットは完了し、Bufはキャパシタにその電荷量を保持したまま入力待ち状態となる [5, 7]。

外部信号によって光センサとBufをリセットすると、チップでは時刻 t_1 から回路のダイナミクスによる処理が始まる。まず図2(B)に示されるとおり、チップに入力された光信号は、光センサのPDの寄生容量に蓄えられた電荷を光電流として放電させる(以下これを慣例に従って放電ではなく蓄積と呼ぶ)。PDの両端の電圧減少の勾配は光強度に比例する。従って、適切な時間で電圧を読み出し、かつ時刻 t_1 からの差をとれば、固定パターンノイズを含まない電圧応答が得られる。この差をとる処理は後段のBufで行なう。PDの両端の電圧はソースフォロアされて光センサの出力電圧 v_1 となる。 v_1 は1層目の抵抗回路網で平滑化され v_2 となり、Bufに入力される。Bufでは、 v_2 と、時刻 t_1 にキャパシタに記憶した初期電圧との差を出力する。従って、この出力電圧 v_p は光強度に比例し、かつ増幅器のオフセットと入力側の回路のばらつきによるノイズを含まない電圧となる。 v_p は2層目の抵抗回路網を通して更に平滑化され、出力 v_h

になる。 v_p と v_h はDSBへの入力となる。

DSBの動作は外部信号によって制御する。その動作原理はBufとほぼ同じである。ある蓄積時間後(時刻 t_2)に V_c スイッチを閉じてDSBを前段の回路と接続する。同時にDSB入力段の V_{bn} スイッチを v_p 側に接続し、増幅器の V_{bp} と V_{bn} にBufと同様のスイッチ動作をさせ、キャパシタに電圧 v_p を記憶する。この状態でDSB入力段の V_{bn} スイッチを v_h 側に接続すると、 v_h が入力電圧となり v_h とキャパシタに記憶された電圧 v_p との差が出力される(V_{out})。時刻 t_3 で V_c スイッチを開くと、DSBは前段と切り離され出力 V_{out} が保持される。

出力は、時刻 t_4 から各画素と出力ラインをつなぐ読み出しスイッチをData信号によって閉じることで読み出す。Data信号をClockに同期させて1画素分ずつシフトスイッチを閉じれば、100クロックで100画素の出力を順番に読み出すことができる。この読み出し動作中、DSBの出力は前段と切り離されて保持されているため、出力を読み始めた t_4 の時点で、光センサ側では次のフレームの蓄積を実行することができる。すなわち図の最下段で読み出しているフレームは、1フレーム前の画像である。

3 自動応答感度調節機構

前述したチップを自然照明下で利用できるようにするためには、チップにより広いダイナミックレンジを付加しなければならない。このために、チップの光応答感度を自動的に調節する回路を製作した。光センサの応答特性と感度の調節方法を以下に説明する。図4に光センサの応答特性のシミュレーション結果を示す。横軸はPDの蓄積時間であり、縦軸は光センサの出力電圧である。電圧変化の傾きはほぼ光強度に比例する。光応答電圧は、前述したように、リセットをかけた時刻の電圧と読み出しの時点の電圧の差である。このことより分かるように、光応答感度は蓄積時間を変えることによって調節することができる。そこで、1フレーム分の画素中で、最大振幅値が常に一定値(ここでは300mV)になるように、蓄積時間を自動的に調節する回路を設計した。このシステムの概要を

図5に示す。

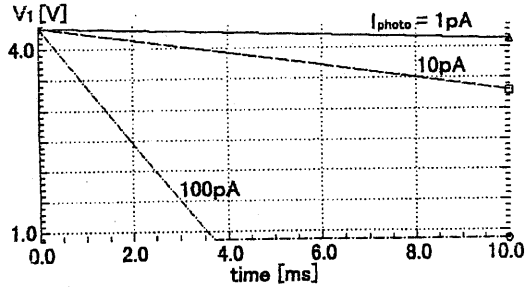


図4: 電荷蓄積型光センサの応答特性

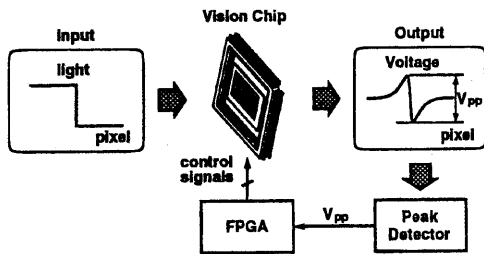


図5: 感度調節システムの概要

システムの動作を以下に説明する。まず、1フレーム(100画素)中の出力の最大振幅値 V_{pp} を、ピーク検出器を用いて1フレーム読み出す毎に検出する。検出した電圧が300mVよりも小さい場合は蓄積時間を長く、大きい場合は短くする。この蓄積時間の制御は、

$$T_a[n+1] = T_a[n](1 + D(V_{er}))$$

に従う。ここで $T_a[n]$ は現在の蓄積時間、 $T_a[n+1]$ は次の時刻での蓄積時間、 V_{er} は目標値と出力の最大振幅値との偏差(300mV- V_{pp})、 $D(V_{er})$ は変化させる蓄積時間の割合である。すなわち、現在の蓄積時間をある一定の割合 $D(V_{er})$ だけ増加(または減少)させたものを次の時刻での蓄積時間とする。図6に V_{er} と $D(V_{er})$ の関係を示す。この関係は、目標値との偏差が大きいほど次の時刻で変化させる蓄積時間の割合を大きくすることを意味している。今回は、目標値からの偏差が $\pm 3.1\%$ (± 9.4 mV) 以内になったときを安定とした(図6挿入図(i))。また、出力の最大振

幅値が20mV以下のときはチップの視野中に画像情報が入っていないとみなして、蓄積時間の調節を行なわないことにした(図6(ii))。この蓄積時間の制御はFPGAで実行する。

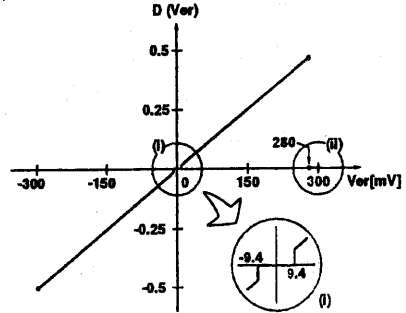


図6: 蓄積時間の制御パラメータ

4 実験

4.1 チップの受容野

ビジョンチップにカメラレンズ(FUJINON, CF12.5A, F1.4)を装着し、チップの入出力の測定を行なった。実験装置を図7に示す。以下のすべての実験はこの装置を用いて行なった。白黒の紙で作った輪郭を提示パターンとして、カメラレンズの先から1mの距離に置いた。ビジョンチップには提示パターン上の点線(0.6m)の部分の像がレンズを通して結ばれる。照明には明るさを調節できる6本の蛍光灯を用い、提示パターンに照射された光を照度として光パワーメータ(ADVANTEST, TQ8210)で測定した。

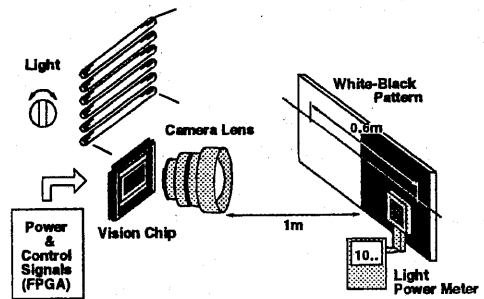


図7: 実験装置

図8はチップの1フレーム分の出力である。

出力の最大振幅値は 300mV, 蓄積時間 (= 読み出し時間) は約 0.6ms, 照度は $0.33[\text{W}/\text{m}^2]$ (1900lx) である。出力において, 輪郭付近でマッハバンドが形成されていることがわかる。これは画像情報のうち重要なコントラスト情報を強調し, 画像に対して空間帯域フィルタの特性をもつことを意味する。また素子の特性のばらつきによるノイズは最大でも 10mV 程度に抑えられている [7]。

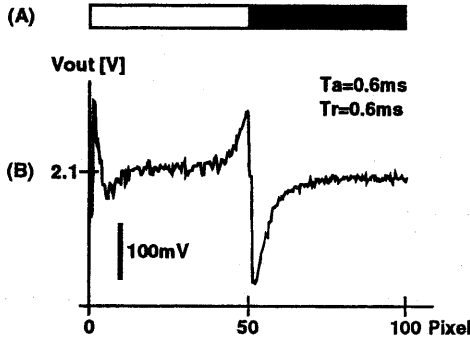


図 8: 輪郭に対するチップの出力。(A) 提示パターン, (B) 出力電圧

4.2 チップの光センサ特性

チップの光センサの特性を調べた。図 9 に, 1 フレームあたりのチップの最大出力振幅値を 300mV としたときの, 照度と蓄積時間の関係を示す。わかりやすくするため, 縦軸には蓄積時間の逆数をとった。両者の間には線形関係(照度と蓄積時間の関係は反比例)が成り立ち, これは図 4 のシミュレーション結果と一致する。また, 照度が $5[\text{mW}/\text{m}^2]$ (3.4lx) のときのチップの出力を図 10 に示す。蓄積時間は 400ms である。このときの明るさは電灯照明された室内の明るさ(約 200lx) に比べるとかなり暗い。つまり本チップは, 室内で使うための十分な感度を備えているといえる。

図 10 と図 8 を比べると, 図 10 ではやや出力のばらつきが大きくなることがわかる。これは蓄積時間が長くなったため, 各 PD の寄生容量からのリークが顕著に現れたものと考えられる。従って蓄積時間を極端に長くすることはノイズを大き

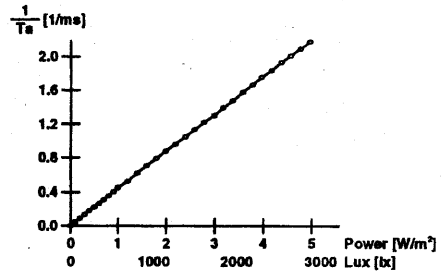


図 9: 照度と 1/蓄積時間の関係

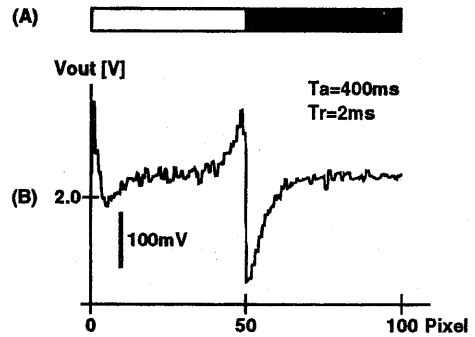


図 10: 暗いときのチップの出力

くし, 後段での画像処理に負担をかけることになる。本チップでは, 蓄積時間を, 1 フレームの処理時間が網膜錐体視細胞の暗順応時の時定数程度となるように 400ms 以下とした。この時, 照明は $5[\text{mW}/\text{m}^2]$ (3.4lx) 以上となる。また, 明るい照明に対しては, 今のところ $5[\text{W}/\text{m}^2]$ (2900lx) まで対応できることが確認できている。これ以上は照明装置の限界で試験できなかったが, シミュレーションでは, $65[\text{W}/\text{m}^2]$ (38000lx) まで対応可能であり, このとき 1 フレームを $35\mu\text{s}$ で読み出すことができる。

4.3 自動応答感度調節の特性

感度調節システムを実装したときのチップの応答を図 11 に示す。照度 $0.5[\text{W}/\text{m}^2]$, 蓄積時間 4ms のとき, 最大振幅値は 300mV である(図 11(B))。その状態から照明を 1/5 に暗くすると, その瞬間出力の信号レベルは図 11(C) の (i) のように小さくなる。その後, 感度調節機構が働き, 37ms 後には (ii) のように, さらに 101ms 後には

(iii)のように最大振幅値が増加し300mVに復帰した。最終的な蓄積時間は始めの5倍の20msとなった。このときの出力の最大振幅値の時間変化を図12に示す。縦軸は出力の最大振幅値(V_{pp})、横軸は照明を暗くした瞬間を0としたときの時間経過を表す。図中の(i)~(iii)は図11(C)の(i)~(iii)に対応している。図より約140msで約300mVの定常値に安定に収束していることがわかる。この140msという時間は、通常の画像処理においては十分速い値だと言える。以上の結果より、照明条件が変化しても一定の信号レベルを得るための、実時間で自動応答感度調節機構が実現できた。

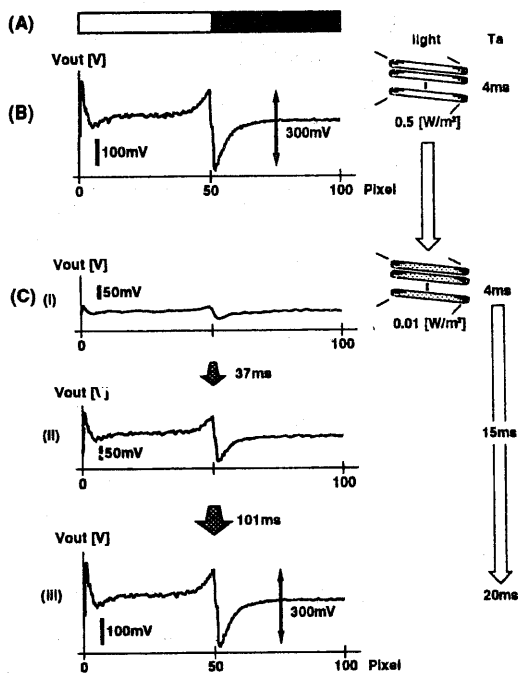


図 11: ビジョンチップの順応応答

5 むすび

生体の視覚系において、網膜は画像情報圧縮を実時間で行なう強力な前処理プロセッサである。網膜の前処理なくして脳における高次情報処理は不可能である。生体の視覚系に見られる"しなやか"な情報処理が人工デバイスに備わっているか否かを考えた時、自然な視覚環境

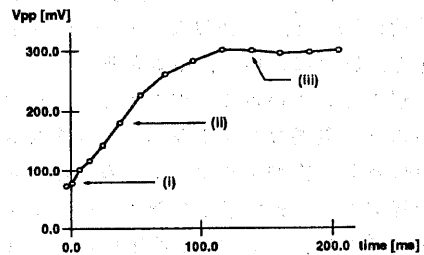


図 12: 順応の時間経過

の下で、時々刻々順応的な画像処理が実行できるか否かが一つの指標となろう。本研究では、光応答感度を順応的に変化させるビジョンチップシステムを製作した。ビジョンチップを2次元へと拡張することが今後の課題である。

参考文献

- [1] H.Kobayashi, T.Matsumoto, T.Yagi and T.Shimmi, "Image processing regularization filters on layered architecture", *Neural Networks*, vol.6, pp.327-350, 1993.
- [2] H.Kobayashi, T.Matsumoto, T.Yagi and K.Tanaka, "Light-Adaptive Architectures for Regularization Vision Chips", *Neural Networks*, vol.8, pp.87-101, 1995.
- [3] C.Koch and H.Li eds., "Vision chips implementing vision algorithms with analog VLSI circuits", *IEEE Computer Society Press*, CA, 1995.
- [4] C.Mead, "Analog VLSI and Neural Systems", *Addison-Wesley*, Reading, MA, 1989.
- [5] T.Sibano, K.Iizuka, M.Miyamoto, M.Osaka, R.Miyama and A.Kito, "Matched Filter for DS-CDMA of up to 50MChip/s Based on Sampled Analog Signal Processing", *ISSCC Digest of Tech. Papers*, pp.100-101, Feb. 1997.
- [6] 八木哲也, 大島茂通, 舟橋康行, "初期視覚における網膜双極細胞の機能について", *信学論 D-II*, J78-D-II, No.7, pp.1123-1133, 1995.
- [7] 八木哲也, 亀田成司, 飯塚邦彦, "可変受容野を備えた超並列アナログ知能視覚センサ", *信学論 D-I*, J81-D-1, No.2, pp.104-113, 1998.