

[招待論文]

タイミング設計精度向上による設計TAT短縮手法の提案

川本 裕資

株式会社アドバンテスト ATE・SE統括部 第1SE部 EBTSE課
〒190-0012 東京都立川市曙町 2-22-20 立川センタービル 9F
TEL: 042-526-9516, FAX: 042-526-8197
E-mail: kawamoto@atese.advantest.co.jp

あらまし

デバイステクノロジーの進歩に伴い、デバイスの動向は微細化によって単に高密度化するだけでなく、内部動作が高速化している。高速化に伴い、その設計段階で用いるタイミングシミュレーションの精度が実際の動作に一致しないために、設計期間が長期にわたっている。従来、EB テスタは単なる不良解析の一つの道具という認識が一般的であったが、この EB テスタを高速デバイスの設計段階で用いてデバイスの内部動作測定を行ない、その結果とタイミングシミュレーション結果を比較することによりタイミングシミュレーションの精度を向上させることができる。本報告では EB テスタの実測結果からタイミングシミュレーションの精度を向上することにより、設計 TAT の短縮と更に量産の垂直立上げ、投入資産の効率化に寄与できることを示す。

キーワード 高速デバイス、タイミングシミュレーション、動作検証、設計 TAT

A proposal to reduce design TAT for high speed ULSI using improved timing accuracy on timing simulator

Hiroshi Kawamoto

EBT SE Section 1st SE Division ATE SE Department ADVANTEST Corporation
Tachikawa Center Bld. 9F 2-22-20 Akebono cho, Tachikawa City, Tokyo
190-0012 JAPAN
TEL: 042-526-9516, FAX: 042-526-8197
E-mail: kawamoto@atese.advantest.co.jp

Abstract

Due to the progress of device technology, deep sub-micron process enables not only to increase density but also to increase the internal clock frequencies year by year. As the clock speed increases, timing accuracy of timing simulation does not fit to the actual device operation timing. This mismatch causes long development period of the high speed ULSI. Currently, E-Beam Prober is considered merely as a failure analysis tool. This E-beam prober is used for measuring the internal node for comparing the actual timing with timing simulator. By comparing both simulation timing and actual timing of E-Beam, the difference is used for improving timing accuracy of simulation. By applying this methodology to the development of high speed Memory, the development period is reduced dramatically. This paper describes about the importance of improved timing simulator for high speed devices design.

key words high speed device, timing simulation, operation verification, design Turn Around Time

1. まえがき

1999年に0.18 μm のデバイスがリリースされ始めた。米国半導体工業会(SIA)がまとめたデバイスロードマップ(Fig. 1)によると、2002年に0.13 μm 、2005年に0.1 μm とテクノロジーの進歩を予想している。これに伴って、動作クロックの速度も900MHz、1GHz以上に高速化するとしている。

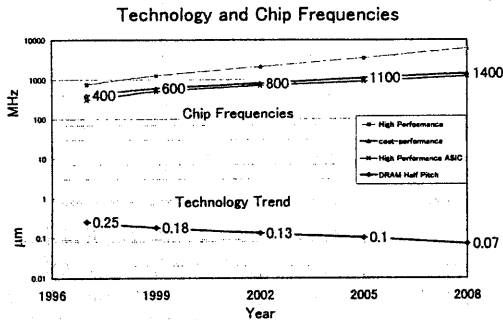


Fig. 1 米国半導体工業会 デバイスロードマップ

市場で一般に入手可能なプロセッサのクロック周波数は現時点で既に700MHzを越えている。プロセッサにおいては高速化が重要になっている。高速化によって、これまでハードウェアでしか出来なかったことが、簡単にソフトウェアで実現できるようになっている。高速化が付加価値になり、高速プロセッサを使用した製品であれば高い価格で販売することができ、他社との競争にも勝ち残ることができる。このとき、クロックスピードの速いプロセッサは高価格での取引が可能になり、高い利益をもたらす。

メモリでも同じくテクノロジーの進歩に伴って高速化している。高速動作のプロセッサは高速でデータの受け渡しできるメモリがふんだんにあって初めて高速の威力を発揮できる。

しかし、現実にはこのようなテクノロジーの進歩に対して、設計者の中からは、現在のままではとてもこのトレンドに乗ることは困難であるという嘆きがある。本報告では、現在のデバイス設計の問題点を解決するための手法を提案する。

2. デバイス設計フローの現状と問題点

2.1 これまでの設計フロー

これまで、システム設計でもモジュール設計であっても、出来あがったデバイスの内部波形を実際に測

定することは、ほとんど行われていないし、その必要もなかった。それは、これまでのデバイスに要求される動作速度において、シミュレーションの精度があまり問題にならなかったためである。このようにこれまでのデバイス設計はあくまでもモデルを元にシミュレーションを行なうだけであることから、このシミュレーション方法をMBS (Model Based Simulation)、この手法による設計手順をMBD (Model Based Design)と呼ぶことにする。このMBDの現状と問題点について以下に述べる。

2.1.1 現状のMBD(Model Based Design)のデバイス設計フロー

デバイス設計は機能を決め、論理合成によって回路を生成する。その結果を論理シミュレーションによって機能確認する。各IPモジュールの特性については予め定義されたライブラリで与えられる値を用いて設計される。配置配線を行なった後、配線長を考慮してシミュレーションによってダイナミックな動作を確認する。タイミングが合わない場合などには配置のオブティマイズを行なう。タイミングがOKになった後、マスクパターンを作る。

デバイスができた後は、主にテストで試験を行なう。故障シミュレーションの結果を基にさまざまなテストパターンを予め用意して動作確認をする。最終的には全ての機能確認を実機上で行なう。

不良が起きて、テストだけではどうしても原因がつかめない場合に初めて、他の解析装置を用いて原因究明を行なう。それ以外の場合には、デバイス内部の動作を測定することはあまりない。内部測定をすることには、多くの労力が必要な場合が多いからである。一旦動作してしまえば、それで良しとなる。出荷優先で進められるため、内部動作を把握することはほとんど行われぬ。

2.2 現状のMBDの問題点

2.2.1 0.25 μm テクノロジー TEG の実力

Fig. 2に実際の0.25 μm テクノロジーで作られたTEGの内部動作を示す。このように0.25 μm プロセスではデバイスの内部で、Tr/Tfが60psを切っており、Gate Delayも30ps程度であることがわかる。これは、0.25 μm テクノロジーの実力であり、この性能を生かすことが出来れば、500MHz動作のデバイスを実現することが出来るわけである。

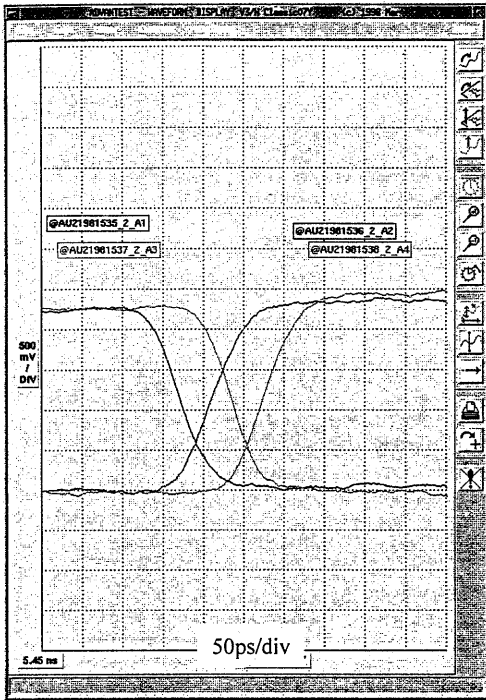


Fig. 2 0.25 μ m テクノロジの実力

2.2.2 Net Delay の割合増大

Net Delay は単純に配線長で決まるため、世代が代わってもほとんど変化しない。しかしながら、Gate Delay はテクノロジーが進むにつれて、小さくなる。そのため、Gate Delay に対する Net Delay の割合が次第に大きくなっている。この Net Delay はレイアウトが決まって初めて決まり、実際の現象をモデルに組みこむことが困難であるため、正しいシミュレーションも困難になる。

2.2.3 シミュレーションモデル

一方、シミュレーション精度は、ツール、モデル、回路、エクストラクションなどに対する条件の与え方で結果が 200% 違うのが当たり前と言われる。従って、現状ではモデルを決めて、一つのシミュレーションを Reference として、デバイスを作らざるを得ないというのが実情である。

2.2.4 シミュレーションの改善は精度向上の議論が少ない

シミュレーションの性能向上は、大規模デバイスを処理出来るようにする、操作性あげてより使いやすくする、処理速度をあげるなどという様々な努力がされている。

精度自体の改善も努力はされているが、ツール間のばらつきを小さくすることが主で真値との違いについては議論されていない。真値との違いを小さくすることは、実デバイスを持たないシミュレーションのベンダーだけに任せておいて出来ることではない。

アナログシミュレーションのモデルに用いるパラメータを細かく調整することによって精度向上が図れるが、大規模回路のシミュレーションを全てアナログシミュレーションだけで行なうには時間が掛かり実用的ではない。

2.2.5 現時点のデバイス設計の実際

現状のままでは一つの Reference を決めて設計をせざるを得ない。実際のデバイスを設計するためのシミュレーションの精度を向上させることが出来ないために、200MHz を越えた動作をするデバイスの設計をするには、不確定要素が多過ぎて、実際のデバイス動作は特にシミュレーションモデルと実物との違いに起因するタイミング系の誤動作が多発する。

このような場合に、不良部分を適切に改善して製品化される。しかし、原因が判らなくても、結果が出れば OK として出荷される。このように実物がシミュレーションのモデルと違うことからくる不良のほとんどは内部測定をしないと発見出来ず、この作業に時間が掛かる。デバイスが複雑になればなるほど開発期間が掛かってしまうのが現状である。

3. EB テストシステムを用いた新設計フロー (Timing Analysis Based Design)

3.1 新設計フローの提案

以上のような現状をもとに次世代デバイスを設計するための設計フローを提案する。デバイス設計の流れの中で、実際に出来たデバイス動作を実測して、タイミング解析を行ない、その結果を設計ツールのシミュレーションに反映し、シミュレーション精度を向上させることを狙う。

これは、先に述べた MBD で用いるシミュレーションの精度を、実動作測定によるタイミング解析によって、

あげることから、TAS (Timing Analysis Based Simulation)と呼ぶことにする。そしてこのTASを用いる設計のことを TAD (Timing Analysis Based Design)と呼ぶことにする。

3.1.1 TAD 設計の流れ

以下に TAD の手順を説明する。デバイス設計はあるモデルを立ててシミュレーションにより進める。従来と同様にタイミング設計を行った後、OK になれば ES を作る。デバイスを作っている間に、タイミング上重要な内部のノードを抽出しておく。この抽出した部分のタイミング関係を後で測定してシミュレーションと比較するのである。

3.1.2 シミュレーション調整の手順

デバイスができた後、テストで動作試験を行なう。この後、予め抽出したノードの動作タイミングを EB テストシステムで測定し、シミュレーションの結果と比較する。測定で得られたタイミングを基に論理シミュレーションの際のパラメータを調整して、シミュレーション結果がより実際の値に近くなるようにする。

この結果、システムレベルで全体のシミュレーションが一定割合のタイミングの違いで出来る様になる。TAD 設計の事例を Fig.3 に示す。この場合には、誤差率が平均で約 20% になった。

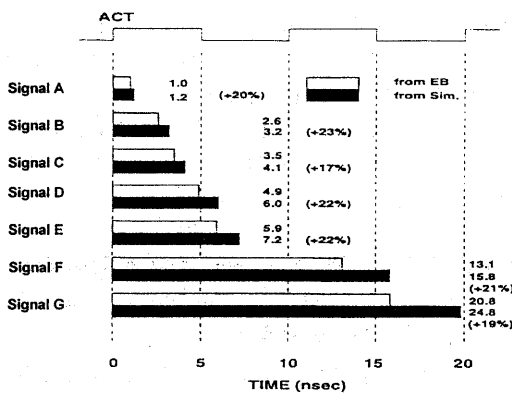


Fig.3 タイミングシミュレーション精度向上例
(富士通様のご好意)

3.1.3 TAD 設計の要件

このように TAD 設計のために EB で測定するときに重要なことは、設計した動作速度でデバイスを動作

させること、動作させた状態が良品状態であるのか、不良状態なのかをテストで把握した上で、目的の動作状態で測定を行なうことである。シミュレーション結果と比較するにはシミュレーションで仮定していることと同じ状態を作りそれを確認した上、EB で測定することが必要である。

3.2 TAD 設計の効果

誤差率が一定になれば、シミュレーションと実際の動作のずれが予め予測できるので、タイミングの Budget を正確に割り当てることができる。そのため間違ったタイミング設計をすることが無くなる。この流れを繰り返すことにより、シミュレーションと実際の動作が次第に一致する。

これを繰り返す事によって、1 回で製品を立上げることが実際に出来るようになる。同じテクノロジーを使ったデバイスであれば、確実に設計が出来る。新たなテクノロジーを採用するときには、一度確実に内部動作を測定して、その結果をシミュレーションに反映すれば、次の製品を開発することが確実に出来るため、

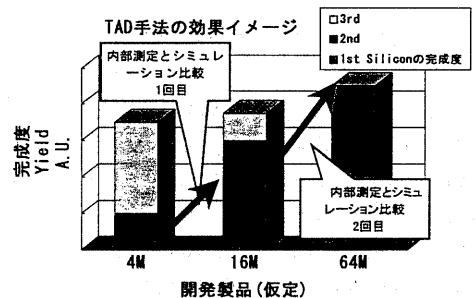


Fig.4 TAD 手法の効果

開発期間の短縮に結びつく。 Fig.4 に TAD 手法の効果の現われ方を示す。実際にはこのような現象があるが、詳しい製品名などあげられないためここでは、模式的に表す。

予め、EB による測定を前提に準備を進めておけば、不良が起きてから慌ててデバイスを開封するようなことがない。たとえばダイレクトラムバスの場合には、プロービングのためのパッケージやソケット、接続用のカード(Probe Card)などが予め用意されており、これらのセットを使うことによって、BGA パッケージに封止するようなデバイスでも確実に At-Speed で動作できる。

この TAD 設計では設計の当初から、内部動作測定を実施することをルーチン化する。この方式により、実質的なシミュレーションのタイミング精度が向上し設計精度が上がる。設計精度向上により、マスキアップの回数削減、設計 TAT 短縮、デバイスの高速化が可能、設計確度向上という効果がある。これらの効果により、開発費を低減できて投資効率を上げることができ、Time to Market が実現できて先行者利益を得ることもできる。同じ回路であっても動作速度を上げるだけで、付加価値として高価で販売することも可能である。更に、設計確度が高まることから、量産の垂直立上げも可能になるわけである。

ファーストシリコンでは、内部測定によって不具合が短期間で原因特定できる。高速メモリデバイスにおいて不具合部分の修正を従来のピコプロープでの測定より短期間で出来たという実績がある。早い時間でより多くの不良の原因が確認されれば、マスク改版の回数の削減できるため、開発期間の短縮と費用の削減につながる。

経営資源の有効利用のためにも、この TAD 方式はもはや必須の手法になるであろう。

4. EB テストシステムの適用例

4.1 EB テストシステム E1380A での測定例と効果

4.1.1 64M FCRAM 測定事例 (マージン検証)

Fig. 5に実際の動作マージンがどの程度あるかを、実測した結果を示す。このように、内部データが確定してから、データ取りこみが行われる時のマージンが、確認された。

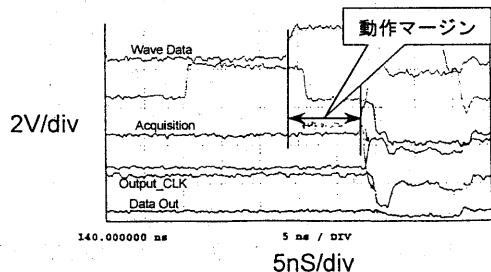


Fig. 5 動作マージン検証
(富士通様のご好意)

動作マージン検証も高速デバイス設計にとって、非常に重要なことである。

このような確認によってデバイスが余裕をもって動

作しているのか、ぎりぎりのタイミングで動作しているかがわかり、信頼性を向上させることが出来るのである。

以上の事例から判るように、今後の高速デバイスを設計するときの道具となるシミュレーションの精度を確認して、信頼できるシミュレーションを使うことが、開発期間の短縮と信頼性向上に寄与するのである。これが TAD 設計である。

4.1.2 144M ダイレクトラムバス設計検証(高速動作測定)

ダイレクトラムバスは現時点で最も高速動作をしているメモリである。データレートが 800M や 1.3G が実際に実現される。その時デバイスに供給するクロックは 400MHz から 650MHz になる。このようなスピードは従来のメモリデバイスのクロックに対して4倍から6倍になっている。

このダイレクトラムバスの動作を実際に EB テストシステムによって測定した結果を以下に示す。

Fig. 6に 144M ダイレクトラムバスの動作解析を行

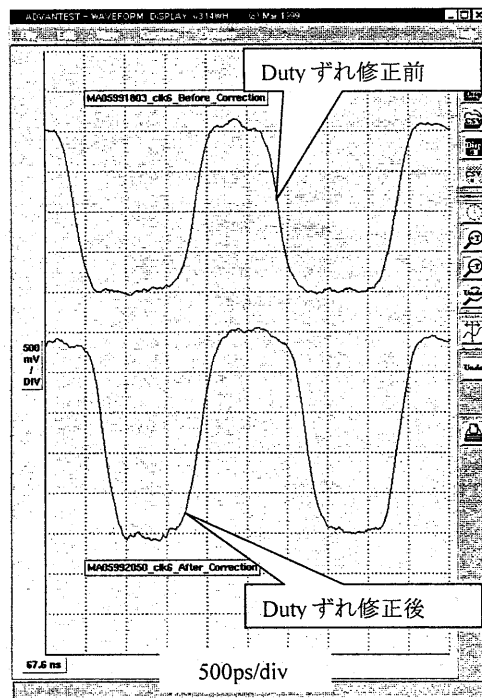


Fig. 6 ダイレクトラムバス不具合修正例
(東芝様のご好意)

った例を示す。144M ダイレクトラムバスは1.3G の

データレートを実現するため、動作クロックは650MHzが必要になる。このスピードで内部動作を動作保証することが必要である。

この例では、設計初期において内部測定によりクロックのDutyがずれていることが確認された。内部測定により、不具合現象を正確に把握した結果、短時間に設計変更が可能になった。修正後の動作確認によりDutyも正しく修正されたことが確認された。

この場合、不良の発見から修正の確認までが実時間として6時間程度で完了した。この作業効率例えばメカニカルな探針法に比較して5-10倍であり、操作する人にとっても負担を減らす効果大きい。更にEB測定では測定中のデバイス破損が無いことから、一つのデバイスで関連性を持ったデータを取得できるため、解析精度も上がるという効果がある。

Fig. 5は144Mダイレクトラムバスの550MHzクロック測定結果である。このように周期1.82nSで正常なDutyのクロック動作が確認された。EBテストシステムではこのように100ps以下のタイミング測定も可能であることがわかる。

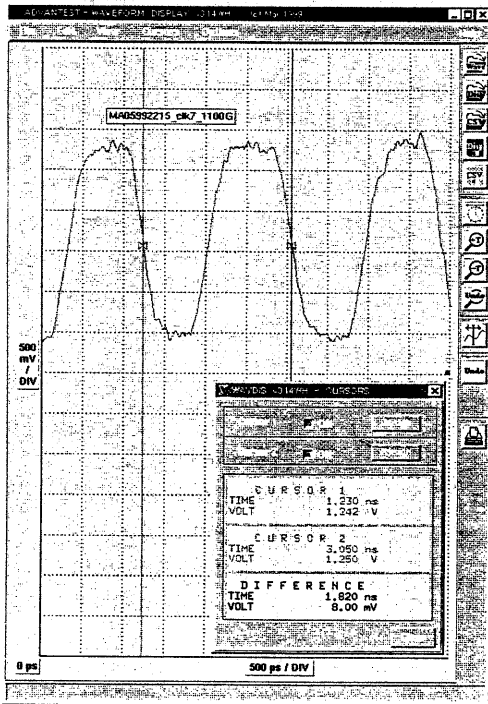


Fig. 5 ダイレクトラムバス
550MHz 動作測定例
(東芝様のご好意)

4.1.3 SDRAM 測定事例 (Bit/Bit bar 測定)

Fig. 6 に66MHzで動作させたSDRAMの内部波形を示す。従来の装置に比べてS/Nが改善されたためこの様に、Bit/Bit barの小振幅波形もきれいに測定できる。この様に最近のEBテストシステムでは、微小な振幅の波形測定においても、正確に測定できる。

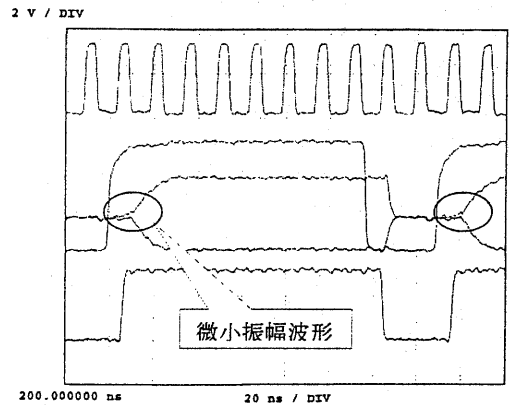


Fig. 6微小信号測定(三洋電機様のご好意)

4.2 TAD 設計に用いるシステム

高速デバイスに対してTAD設計を行なうには、高速テストシステム、高時間分解能EBテストシステム、このEBテストシステムとマッチしたデバイス動作環境とEBでの評価用パッケージなどが必要である。

高速テストシステムは、単に高速波形を出力するだけでなく、デバイスの動作状態が正常に動作しているか、それとも問題になる対象の不具合状態になっているかを判定する機能、能力がある。測定にあたってはテストシステムでデバイスの動作が本当に測定しようとする状態になっていることを確認した上で動作測定することによって、必要な波形を測定することができる。

次に今回の測定に用いたEBテストシステムについて簡単に紹介する。本装置は、従来のEBテストシステムの性能をさらに向上させ、これからの高速デバイス測定に最適設計をしたものである。高速動作測定のため、測定帯域を8.75GHzにまで高め、0.1ミクロン世代の微細パターンの観測も可能なシステムである。

このシステムでは、従来EB装置では不可能とされていたことを可能にすることによって、今後の高速デ

バイスの動作測定を可能にした。

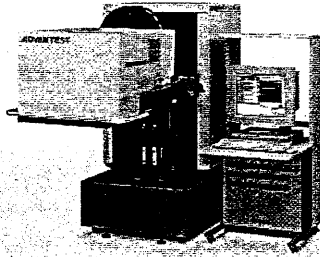


Fig. 9 高速デバイスの内部動作測定に適した
E1380A の外観

ブレーススルーは、デバイスへのアクセスと既存の資産を生かせるデバイスインタフェースを使えるようにしたこと、マニピレータ搭載型 TFE カラム構造を実現したこと、専用真空系の実現出来たことである。

デバイスを自然な方向からアクセスできることと、床固定が一般的なテストヘッドに接続することを狙うと、床に EB カラムが据え置き形態は取れないと判断し、そのため可動式のマニピレータに TFE カラムを搭載した。

また、真空の中では多くのアウトガスを発生する、既存のパフォーマンスボードや既存の Probe Card が使えるようにするため、専用の真空排気系を開発した。この二つのブレーススルーによって本当に高速動作を測定できる EB テストシステムが実現できた。

4.3 デバイスインタフェース

ダイレクトラムバス測定のために専用デバイスインタフェース(Giga-ADAPT)、Probe Card、Socket と Chip Carrier から構成される評価キットを用意した。テストへの接続は、SMA コネクタをもつ高周波同軸ケーブルで行ない、信号伝送路は 500MHz 以上の信号伝送を問題なく実現している。また、EB テストシステムを使用するときにデバイスを真空排気するのによする時間も 5 分程度と短時間であり、デバイス交換などのストレスがない。

デバイスインタフェースの性能が最終的に測定波形を左右する。EB テストシステムとして測定能力が如何に優れていても、デバイスを高速動作させることが出来なければ、測定する結果は本当に必要とする

結果を得られないのである。

さらに、本装置では作業の効率化のため、テストシステムで用いるパフォーマンスボードをそのままデバイス評価に使えるようなデバイスインタフェースも用意されている。このようなものが使えるようにするには、大幅な真空回路の改良も必要であったが、従来では不可能と思われることを実現することによって、本装置の性能が得られた。

5. まとめ

5.1 垂直立ち上げのために

新しいデバイス設計フローとして、実際に出来たデバイス動作を実測して、タイミング解析を行ない、その結果を設計ツールのシミュレーションに反映させ、よりシミュレーション精度を維持向上させる設計フロー(TAD)を提案した。EB テストシステムによる動作測定を行ない、高速化するデバイスの素子動作を確実に立上げることが出来る。

この手法を今後の高速デバイス開発に適用することにより、開発費用低減によって投資の効率化、Time to Marketによって先行者利益の獲得、高速デバイス開発によって高付加価値製品の創造による利益創造、設計確度向上により量産の垂直立ち上げが可能になることが期待される。

謝辞

本報告を行なうにあたって、先端デバイスの測定データを使用することを許諾して頂いた 富士通株式会社 LSI事業本部殿、株式会社 東芝 セミコンダクター社 メモリ事業部殿、三洋電機株式会社 セミコンダクタカンパニー 殿に深く感謝致します。

参考文献

- [1] 川本 裕資、倉田 次男、Dr. J. Frosien、“ディーブサブミクロンデバイス対応 EB テストシステム 1380A の開発”、LSI テスティングシンポジウム/1998 会議録、pp.98-103、1998。
- [2] 川本 裕資、“試作 LSI の実動作の確認をチップごとから IP ごとへ変更”、日経マイクロデバイス 7 月号、pp.64-69、1999。
- [3] 松下 晋司、“EB テスタが設計ツールになる 200MHz 以上の設計では必須ツールに”、月刊 Semiconductor World 8 月号、pp.31-34、1999。

連絡先

連絡先氏名 川本 裕資
所属機関 株式会社アドバンテスト ATE・SE 統括部 第

所在地 1SE 部 EBTSE 課
〒190-0012 東京都立川市曙町 2-22-20 立
川センタービル 9F
電話番号 (042)526-9516

FAX 番号 (042)526-8197
E-mail kawamoto@atese.advantest.co.jp