

RHiNET スイッチ RHiNET-2,3/SW

西 宏 章^{†1} 多 昌 廣 治^{†4} 稲 沢 悟^{†5}
西 村 信 治^{†2} 工 藤 知 宏^{†1} 天 野 英 晴^{†3}

本稿では、新しいネットワーククラス LASN (Local Area System Network) のための LSI スイッチ RHiNET-2/SW および RHiNET-3/SW の構成について述べ、RHiNET-2/SW もしくは RHiNET-3/SW を用いて構築したシステムを想定しシミュレーションにより評価を行った。

LASN はフロアやビルに配置されている複数の PC や WS を結合して、高い並列処理能力を獲得することを可能とする。LASN は SAN (System Area Network) と同等の低遅延と信頼性を持つ、LAN (Local Area Network) と同等の配線長とトポロジの自由度を提供する。

RHiNET-3/SW では筆者らが RHiNET-2/SW の運用で得られた知見に基づき、LASN 用のスイッチとして求められる機能と能力の拡張を行った。RHiNET-2,3/SW は、8 個のポートを持つワンチップ CMOS スイッチであり、それぞれのポートは RHiNET-2/SW は送受信各 8Gbps、RHiNET-3/SW は 10Gbps のバンド幅を持つ。RHiNET-2/SW はシンプルな go-and-stop ベースのフロー制御を行う仮想チャネルを 16 個有し、ECC によるエラー訂正を行うのに対し、RHiNET-3/SW は credit ベースのフロー制御を行う仮想チャネルを 32 個有し、再送機能により信頼性を保証する。RHiNET-2,3/SW は、LASN での利用に十分な低遅延とトポロジ自由度、信頼性を兼ね備え、bi-section bandwidth が高い大規模なネットワークを構築できる。

RHiNET switch: RHiNET-2,3/SW

HIROAKI NISHI,^{†1} KOJI TASHO,^{†4} SATORU INAZAWA,^{†5}
SHINJI NISHIMURA,^{†2} TOMOHIRO KUDO^{†1} and HIDEHARU AMANO^{†3}

In this report, the architecture and the implementation of an LSI switch chip for an LASN (Local Area System Network), called RHiNET-2/SW (2nd version) and RHiNET-3/SW (3rd version), are presented. A simulation analysis about RHiNET-2,3/SW system is also shown.

The LASN is a new class of network which enables high performance parallel processing by connecting PCs and WSs distributed on one or more floors of a building. It provides low latency reliable communication comparable to a SAN (System Area Network) as well as relatively free topology design and longer length of links comparable to a LAN (Local Area Network).

RHiNET-2,3/SW is a one-chip eight ports CMOS embedded array switch. Each port of RHiNET-2/SW has 8Gbps bandwidth in each direction. In RHiNET-3/SW, each port has a 10Gbps bandwidth in each direction. RHiNET-2/SW supports simple go-and-stop based flow control and ECC based error-correction. In RHiNET-3/SW, to realize reliable communication by the physical layer, switch-to-switch retransmission mechanism is implemented. Moreover, 32 virtual channels with credit based flow control mechanisms are provided to build a large system.

RHiNET-2,3/SW enable to form a large sized, low latency, free topology network with reliable communication and a large bi-section bandwidth.

†1 技術研究組合 新情報処理開発機構

Real World Computing Partnership

†2 技術研究組合 新情報処理開発機構 光インターコネクション日立研究室

RWCP Optical Interconnection Hitachi Lab.

†3 慶應義塾大学理工学部

Department of Computer Science, Graduate School of Science and Technology, Keio University

†4 シナジェテック (株)

Synergetech Inc.

†5 日立通信システム (株)

1. はじめに

我々は LAN (Local Area Network) と SAN (System Area Network) の双方の利点を持つ、新しいネットワーククラスである LASN (Local Area System Network) を提案している。LASN はフロアやビルに配置されている複数の PC や WS を結合して、高い並列処理能力を獲得することを可能とする。LASN

Hitachi Communication Systems Inc.

は SAN と同等の低遅延と信頼性を持ちつつ、LAN と同等の配線長、およびより自由なトポロジを提供する。

RHiNET は LASN に基づいたネットワークであり、その核となるスイッチとして、RHiNET-2/SW⁹⁾ および RHiNET-3/SW⁸⁾ を実装した。これらは 8 ポートワンチップ CMOS スイッチであり、1 ポートあたり RHiNET-2/SW は送受信各 8Gbps、RHiNET-3/SW は 10Gbps のバンド幅を持つ。

RHiNET-2/SW は Myrinet で用いられている slack buffer¹⁾ に準拠したシンプルな go-and-stop ベースのフロー制御を行う仮想チャネル (VC) を 16 個有し、ECC によるエラー訂正を行う。100m までの距離についてスケュー調整の必要がなく BER (Bit Error Rate) がほぼ無視できるほど優れている (10^{-20}) 光インタコネクションモジュールを用いた。

RHiNET-2/SW で用いているフロー制御方式は単純であるため、ハードウェア量が少なく論理設計部の小規模化、高速化が容易である。RHiNET-2/SW は実装当時、CMOS ASIC ではもっとも高バンド幅なスイッチであり、仮想チャネル数も 16 と最も多かった。

しかし、よりトポロジ自由度の高い大規模な LASN を構築する場合、RHiNET-2/SW で採用されているフロー制御方式ではリンクの往復の伝送遅延を見込んだメモリ量が必要となるため、リンク長が ASIC 内部のメモリ搭載量で制限される。さらに、光インタコネクションモジュールの構造が複雑で高価であるなどの問題がある。

RHiNET-3/SW は RHiNET-2/SW の運用で得られた知見に基づいて、LASN 用のスイッチとして求められる機能と能力の拡張を行った。RHiNET-3/SW は credit ベースのフロー制御を行う VC を 32 個有し、スイッチ to スイッチの再送機能を備えた。

RHiNET-2,3/SW は、LASN での利用に十分な低遅延とトポロジ自由度、信頼性を兼ね備え、bi-section バンド幅が高い大規模なネットワークを構築できる。本稿では、新しいネットワーククラス LASN のための LSI スイッチ RHiNET-2/SW、および RHiNET-3/SW の構成について概略を述べ、シミュレーションによりこれらのスイッチを用いてシステムを構築した場合の性能について評価を行う。

2. RHiNET の概要

LASN は、SAN と LAN の両方の利点をあわせ持つネットワーククラスである。LAN は、パケット破棄の可能性がある、遅延は重要視しないといった欠点があるが、中距離伝送を行うことができるという利点がある。一方、SAN ではリンク長が限られ、トポロジが制限されるといった欠点があるが、信頼性が高く、低遅延で高バンド幅という利点がある。LASN は中距離伝送を行い、信頼性が高く、低遅延で高バンド幅なネットワークを構築し、さらにループを含む自由なトポロジを許す。

RHiNET のスイッチは、LASN 特有の要求事項に対応するため、次のような方針に基づき設計を行った。

- 高バンド幅で信頼性の高い中距離伝送を行うために光インタコネクトを利用する。
- レイテンシが大きい store and forward routing は利用しない。RHiNET-3/SW においては、wormhole routing を利用し、RHiNET-2/SW ではマルチキャスト時のデッドロック回避が容易な asynchronous wormhole routing¹¹⁾ を用いる。
- パケットの破棄や順序の入れかえを行わず、エラーレートを低くすることで、通常の通信では、通信品質補償に必要な上位プロトコル層を省く。また、パケットの破棄を許さず、通信コストを抑えるため、デッドロックフリーを保障する。結果、高信頼性と高バンド幅を実現できる。
- ビル内やフロア内に分散して配置された計算機を接続するために、ループを含む自由なトポロジを許し、また、十分なリンク長を実現する。
- 並列処理で要求される十分な bi-section バンド幅を確保する。

転送パス間にループ依存関係があった場合、デッドロックが生じる可能性がある。そこでパケットを破棄することなく、デッドロックフリーとトポロジフリーを両立し、かつ柔軟性を持たせるため、縮約構造化チャネル法を用いることが考えられる。

構造化チャネル法⁷⁾ はネットワークの直径に等しい数の仮想チャネルを用意し、スイッチを経由するごとに異なる番号の仮想チャネル (VC) を用いる方法である。この方法を用いることで、どのようなルーティングを行ってもデッドロックフリーを保証することができる。

構造化チャネル法では、パケットがスイッチを通過するごとに 1 だけ ID が大きい VC を使用する。このため構造化チャネル法は、最多ホップ数が VC 数で制限される。

そこで、分岐のない (他のスイッチと接続されているポートが 2 以下の) スイッチを経由しても、異なる番号の VC を用いる必要がないことに着目して、縮約構造化チャネル法を提案した¹⁰⁾。この方法では、全てのパケットは、分岐のある (3 つ以上のリンクが他のスイッチに繋がっているスイッチ) を通過した時のみ、使用する VC の番号を増やす。これによって必要な VC 数を減らすことができる。

RHiNET-2/SW は table routing を行い、そのテーブルはノード ID、もしくはマルチキャスト ID をキーとして出力ポートの組み合わせを指定できる 65536 個のエントリを備えている。ノード ID をキーとすると destination routing となる。また、dateline となる出力ポート (仮想チャネル番号を変更する必要がある出力ポート) の指定も変更できる。よって、これらの table の内容により、構造化チャネル法以外の up*-down* routing²⁾ や、L-turn routing⁶⁾ などのデッドロック回避ルーティングを用いることができる。RHiNET-3/SW は、65536 エントリのテーブルを用いる table routing の他に source routing も行うことができ、両者の混在を許している。

RHiNET-2,3/SW は、用途に応じてルーティングアルゴリズムを自由に切り替えることができ、ルーティング自由度と仮想ネットワーク数を自由に選ぶことができる。

次に、RHiNET-2/SW の構成を述べる。

3. RHiNET-2/SW

RHiNET-2/SW に搭載される ASIC チップは、リンクバンド幅が 8Gbps の 1 チップスイッチで、ポート数は 8 である。デバイスには日立製作所デバイス開発センタ製の 0.18 μ m CMOS エンベッデッドアレイ ASIC を用いた。

RHiNET-2/SW はオンチップでポート当たり 16 個の VC をもつ。ゲート数の削減と高速化のため、シンプルなハンドシェイク機構を備え、信頼性を確保するために ECC によるエラー訂正を行う。また、one-shot 方式のマルチキャスト機能をサポートしており、8Gbps, 2Gbps, 1Gbps の異なるビットレートを各ポートに任意に割り当てることができる可変ビットレート機能を備える。

RHiNET-2/SW は go-and-stop ベースのフロー制御を用いている。類似の方法は Myrinet で用いられており、slack buffer¹⁾ と呼ばれる。RHiNET は構造化チャネル法を用いているため、送受信のハンドシェイク操作を VC 毎に行うように拡張する。この方式を拡張 slack buffer¹⁰⁾ と呼んでいる。

3.1 内部構造

図 1 に RHiNET-2/SW の内部構造を示す。スイッチに入力された光インタコネク受信モジュールからの 800Mbps 10bit のパケットは、1:8 Demultiplexer により、100Mbps 80bit に変換される。その後 Elastic buffer により信号を内部クロックに同期させ、ECC によりエラー訂正を行う。ルーティングモジュールは、ルーティングテーブルメモリを参照してパケットの出力先、および VC メモリのアドレスを求め、パケットを VC メモリに書き込む。VC controller は、ルーティング情報や VC 番号によりクロスバへのアービトレーションの要求、応答処理、エラー処理等を行う。アービトレーションに勝ったパケットはクロスバを抜けて ECC が付加される。その後 8:1 Multiplexer により再び 800Mbps 10bit に変換されスイッチから出力される。

図 1 に 2U に実装された RHiNET-2/SW を示す。

RHiNET-2/SW は SC2000 において 16 台システムの運営デモを行った。現在 128 台システムの運営に向けて調整中である。

次に、RHiNET-2/SW の機能や性能の拡張を行った RHiNET-3/SW について述べる。

4. RHiNET-3/SW

RHiNET-3/SW では、RHiNET-2/SW よりも、安価な光モジュールを利用することができ、ノード数が多く、設置場所が広いシステムの構築を想定した。ま

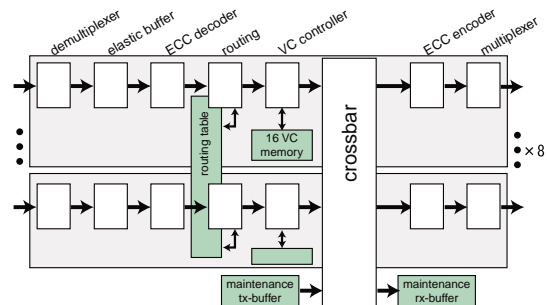


図 1 RHiNET-2/SW の構成図
Fig. 1 Structure of RHiNET-2/SW



図 2 RHiNET-2/SW の筐体
Fig. 2 Photo of 2U RHiNET-2/SW box

た、RHiNET-2/SW が備えていたマルチキャスト機能、可変ビットレート機能を削除し高速化を行った。

RHiNET-3/SW に搭載される ASIC チップは、リンクバンド幅を 10Gbps に広げた 1 チップスイッチで、ポート数は RHiNET-2/SW と同じく 8 である。デバイスには日立製作所デバイス開発センタ製の 0.14 μ m CMOS エンベッデッドアレイ ASIC を用いた。

RHiNET-3/SW では、次のような機能拡張が行われた。

4.1 より安価な光インタコネクションモジュールの利用と再送機構

RHiNET-2/SW で用いた光インタコネクションモジュールは、BER が非常に小さいため (10^{-20}), 数千のノードを接続したネットワークでも実質的にエラーフリーであると考えられる。RHiNET-2/SW の I/O は、このような光インタコネクに特化した設計となっている。しかし、構造が精密であるために高価であるという欠点がある。

最近、より簡単な構造で安価な光インタコネクションモジュールが多く使われるようになってきている。この種のモジュールは BER が $10^{-12} \sim 10^{-15}$ 程度と劣る。

そこで RHiNET-3/SW では、このような安価な光インタコネクションモジュールを用いるために、外部にスキュー調整とコーディングを行なう ASIC を接続することで対応する。さらにシーケンス番号と CRC によりエラーを検出し再送する機能を備え、エラー頻度が高い場合は、スキュー調整とコーディングを行なう ASIC にスキューの再調整を指示する。

RHiNET-3/SW における再送の基本単位は MicroFrame (以下 MF, 2line で構成される) である。有効な情報をもつすべての MF には一定期間内で固有のシーケンス番号と 8bit CRC がつけられている。一般に再送機構を備えるシステムは ホスト to ホスト の再送であり, また再送の単位が大きい。MF は小さいため再送コストが小さく, スイッチ to スイッチ で再送を行うため, リカバリに必要な時間を大幅に短縮できる。

4.2 credit ベースフロー制御の採用

RHiNET-2/SW で用いているフロー制御では, 各 VC がリンク中にあるパケットを受信するのに十分な容量を備えている必要がある。ネットワーク規模の拡大を考えると, 長距離伝送と VC 数の増大が必要となり現在の ASIC では実装が困難となる。そこで, RHiNET-3/SW では credit ベースのフロー制御を採用した。

credit ベースのフロー制御を用いればハンドシェイクに伴うリンク長の理論的な限界がなくなり, 相手スイッチ内の VC のメモリ残量を把握できることから VC の利用効率が go-and-stop ベースのフロー制御方式に比べて向上する。

RHiNET-3/SW では 8byte の payload を含む line と呼ばれる 80bit 単位が最小単位である。これは, スイッチ内部のバス幅で 1clock に送れる情報量に相当し, 外部リンクのバンド幅に等しい。credit ベースのフロー制御では, 送り先スイッチからいくつの line を処理したという credit を受け取ることで伝送する line 数を制御する。

4.3 パケットの cut-through

パケットの cut-through とは, あるパケットの転送が途中で中断した場合に, 別のパケットを割り込ませて送ることができる機能をさす。

RHiNET-2,3/SW で扱うパケットは, 複数の DMA 間の空白や, バンド幅の差により生ずる空白によりパケットがとぎれないように, payload がない領域 (idle) を含めることができる。また, この idle は, スイッチ内部において必要に応じて削除される。

ホストが大量の idle を生成する場合, idle の間に別のパケットが cut-through できれば転送効率が向上すると考えられる。RHiNET-3/SW では, cut-through 機能を搭載し, 利用するしないを自由に指定できる。

RHiNET-3/SW では, パケットの宛先と格納される VC が自由に設定できるため, 同じ宛先かつ同じチャンネルを目指すパケットはお互いに cut-through を禁止し, 受け側でパケットが混ざらないようにする必要がある。

RHiNET-3/SW は 32 個の VC を備えるため, 宛先 port と VC の衝突を調べる機構を各 VC に備えると膨大なハードウェア量が必要となる。この宛先の

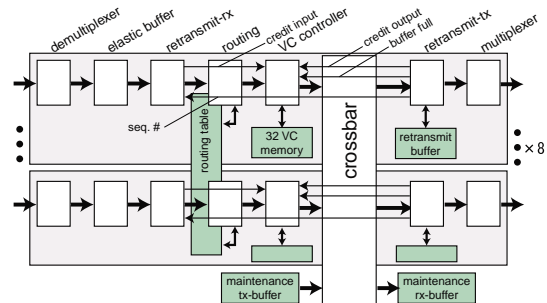


図 3 RHiNET-3/SW の構成図
Fig. 3 Structure of RHiNET-3/SW

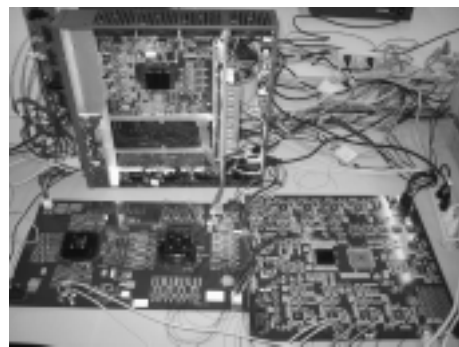


図 4 RHiNET-3/SW の検証環境
Fig. 4 Structure of RHiNET-3/SW testing environment

チェック作業は通信と並行して処理可能で, パケット長が十分にあれば遅延に影響しないと考えられる。そこで, 衝突検出機構を 8 個のみ備え, 時分割で用いることでゲート数の削減を図っている。RHiNET-2/SW ではハードウェア量が大きいため cut-through の実装が見送られた。

4.4 内部構造

図 3 に RHiNET-3/SW の内部構造を概略示す。スイッチに入力された光インタコネク受信モジュールからの 1.25GHz 8bit のパケットは, 1:10 Demultiplexer により, 125MHz 80bit に変換される。その後 Elastic buffer により信号を内部クロックに同期させ, 受信再送モジュールによりエラーチェックが行われる。

また, クロスバを抜けたパケットは, 送信再送モジュールにおいて内部の再送バッファに蓄えられと同時に, 適当なシーケンス番号と CRC が付加されスイッチから出力される。その後 10:1 Multiplexer により再び 1.25GHz 8bit に変換されスイッチから出力される。

図 4 に RHiNET-3/SW の検証環境を示す。PC で制御することにより任意のデータパターンを生成し, I/O ポート性能や内部動作のチェックを行う。

文献 8) において, 仮想チャンネル数を 64 と発表した但其後のハードウェア実装量の制限から仮想チャンネル数を 32 個に減らす必要が生じた。

5. チャネル数について

一般に VC は単一ネットワーク上に互いに干渉しない複数の仮想ネットワークを構築して、パケットのルーティングに優先順位を設けたり QoS を保証するなどの用途に用いられる³⁾。RHiNET では、VC をデッドロック回避に用いているが、ネットワークの直径が大きくない場合には、これらの VC を仮想ネットワークに用いることができる。RHiNET-2/SW および RHiNET-3/SW は VC を有効に用いるため、仮想ネットワーク機能を搭載している。

RHiNET のプリミティブは複数の request と acknowledge パケットにより構成される。request および acknowledge パケットに異なる仮想ネットワークを割り当てれば、request パケットに阻害されることなく acknowledge パケットを受け取ることができる。従来は、プリミティブ間のデッドロック回避のためにネットワークインタフェースにイベントキューを設け、さらにプリミティブの発行数を制限する必要があったが、仮想ネットワークによりこの制限を取り除くことができる。

計算機間を接続して並列処理を行なう際には、request と acknowledge の 2 つの仮想ネットワークがあることが望ましい。この場合、8x8 スイッチを用いて 1000 台程度のシステムの構築を考えると、最低でもデッドロック回避のための構造化チャネル法に必要な VC 数は 8 と考えられる。そこで、RHiNET-2/SW では 16(8 × 2) の VC を各入力に設ける。RHiNET-3/SW ではさらに大規模なシステムを想定するため、VC 数を倍の 32 とした。

6. RHiNET-2,3/SW の諸元

表 1 に RHiNET-2,3/SW の諸元を示す。

表 1 RHiNET-2,3/SW の諸元
Table 1 Specifications of RHiNET-2,3/SW

項目	RHiNET-2/SW	RHiNET-3/SW
デザインルール	0.18 μ m	0.14 μ m
ダイサイズ	272.91mm ²	
バッファ容量/link	73Kbyte	80 ~ 90Kbyte
I/O バンド幅/port	8Gbps	10Gbps
I/O 伝送周波数	800bps	1.25Gbps
内部論理動作周波数	100MHz	125MHz
ポート数	8	
VC 数/link	16	32
VC メモリサイズ	4Kbytes	2Kbytes
最大リンク長	100m	1000m
レイテンシ	240ns (min)	160ns (min)
論理部総 Gate 数	842KGate	1502KGate
パッケージ	784BGA	

表 2 に RHiNET-3/SW における各部のゲート数一覧を示す。

7. 評価

RHiNET-3/SW の構築、実装に先行してシミュレーションによるシステムの性能評価を行った¹²⁾。こ

表 2 RHiNET-2,3/SW における各部のゲート数
Table 2 Estimation of gate sizes of RHiNET-3/SW

部位名称	RHiNET-2/SW	RHiNET-3/SW
MUX	8K × 8	
DeMUX, EB	8K × 8	
ECC Decoder	1K × 8	—
ECC Encoder	2K × 8	—
VC 制御	64K × 8	72K × 8
クロスバ	50K	
credit 制御	—	150K
RT 参照	4K × 8	10K × 8
内部レジスタ	14K	25K
メンテナンス	10K	39K
再送制御(送)	—	27K × 8
再送制御(受)	—	13K × 8
ポート制御	4K × 8	8K × 8
その他	40K	120K
合計	842K	1502K

ではスイッチとノードを含むネットワークにおいて、RHiNET-3/SW におけるフロー制御手法を用いたシステム、および従来の RHiNET-2/SW におけるフロー制御手法を用いたシステムの性能を評価した。

7.1 シミュレーションモデル

RHiNET-2,3/SW のクロックレベルシミュレータを C++ で構築した。本シミュレータは次の 3 つの構成要素から成る。

- ノード: PC のモデルであり、パケット発生器と受信器と 1 つのポートで構成され、送信、受信を繰り返す。
- スイッチ: RHiNET-2/SW および RHiNET-3/SW のフロー制御を模倣する。
- コネクション: 60 メートル程度の光ファイバに相当する遅延 FIFO。

スイッチの各 VC は、256 ライン分のバッファを持つものとした。それぞれの VC は credit ベース、もしくは go-and-stop ベースのフロー制御を行う。go-and-stop ベースのフロー制御を行う場合、go の境界を、転送するパケットサイズに応じて 0 から 60 ラインに、また、stop の境界を 68 ラインに設定した。

トポロジは、スイッチ 4 個をメッシュ結合し、それぞれにノードを 5 つ接続した網を想定した。各スイッチのルーティングテーブルには x 方向優先でルーティングが行われるよう設定した。トラフィックは、すべてのノードが一定間隔で自分以外のノードにランダムにメッセージを転送するモデルとした。

7.2 シミュレーションの結果および考察

評価の結果を図 5 に示す。

go-and-stop ベースのフロー制御ではメッセージサイズ毎のパケットの遅延時間の分布が散らばり、中には非常に遅延が大きいパケットが現れた。これは、パケットのサイズとハンドシェイクの境界の組み合わせによっては store-and-forward で動作しやすくなり、一度この傾向が発生すると以降連鎖反動的に store-and-forward で転送が行われるためと考えられる。さらにパケットサイズが仮想チャネルの容量に近づいた 128 line においては、殆どどのパケットが store-and-forward 的に動作するため性能は落ち、ばらつきも大

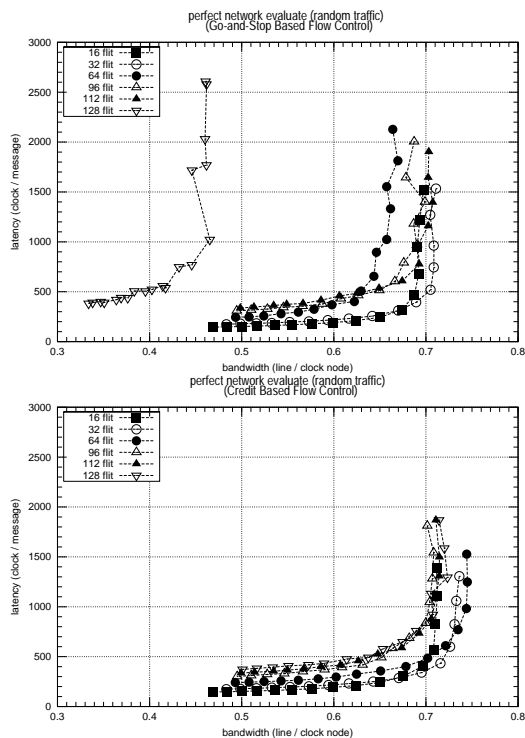


図5 完全結合網ランダム転送における RHiNET-2/SW(上) と RHiNET-3/SW (下) のフロー制御の評価

きくなった。credit based flow control ではパケットサイズに関わりなく安定したバンド幅を出せることが分かった。

8. 関連研究

High Performance Networking Forum による, Gigabyte System Network⁵⁾ に対応したスイッチとして, GENROCO による TSX-8864⁴⁾ がある。これは, 光および銅配線の GSN ポート (8Gbps) を 8 個まで持つことができる。遅延は $3\mu\text{sec}$, 仮想チャネル数は 4 である。RHiNET-3/SW はより低遅延であり, より多くの仮想チャネル数を備えている。

9. まとめ

RHiNET-2/SW は拡張 slack buffer によるフロー制御を行う 16 個の VC を, RHiNET-3/SW は credit based flow control を行う 32 個の VC を備えている。また, 構造化チャネル法を利用することで, 自由なトポロジのネットワーク下でルーティングに依存せずデッドロックフリーを保証する。RHiNET-2/SW は実装当時最もハンド幅が広い CMOS ASIC による one-chip スイッチであり, RHiNET-3/SW は RHiNET-2/SW で用いた光モジュールよりも安価な光モジュールを利用でき, 再送機構の搭載するなど高機能なスイッチであるため, RHiNET-2/SW に比較してより信頼性の高い大規模システムを構築できる。また, RHiNET-

3/SW で用いたフロー制御方法はあらゆるパケットサイズでスループットを高く保つことができることが分かった。

謝辞 RHiNET-2,3/SW の実装においてご協力頂いた (株) 日立 DDC の大杉 浩三氏, 佐藤 和善氏, 日立 CS (株) の原澤 克嘉氏, 坪 重人氏, 福田 周司氏, 日立 IT (株) の大杉 浩三氏 に感謝致します。

参考文献

- 1) N. J. Boden, et al. Myrinet - A gigabit-per-second local-area network. *IEEE Micro*, Vol.15, No. 1, pp. 29-36, 1996.
- 2) M.D.Schroeder, et al. Autonet: A high-speed, self-configuring local area network using point-to-point links. Technical Report SRC 59, DEC, 1990.
- 3) Lionel M. Ni and Philip K. McKinley. A Survey of Wormhole Routing Techniques in Direct Networks. *IEEE COMPUTER*, Vol. 26, No. 2, pp. 62-76, 1993.
- 4) <http://www.genroco.com>.
- 5) <http://www.hnf.org>.
- 6) 舟橋啓, 鯉淵道紘, 上樂明也. Irregular network における adaptive routing の提案. 並列処理シンポジウム JSSP2001, pp. 247-254, 2001.
- 7) 堀江健志, 石畑俊幸, 池坂宏明. 並列計算機 AP1000 における相互結合網のルーチング方式. 電子情報通信学会論文誌, Vol. J75-D-I, No. 8, pp. 600-606, 1992.
- 8) 西宏章, 上野龍一郎, 多昌廣治, 稲沢悟, 西村信治, 工藤知宏, 天野英晴. LASN 用 10Gbps/port 8x8 ネットワークスイッチ: RHiNET-3/SW. 情報処理学会アーキテクチャ研究会 (ARC) デザインガイア 2000, 第 2000-ARC-140 巻, pp. 13-18, 2000.
- 9) 西宏章, 多昌廣治, 西村信治, 山本淳二, 工藤知宏, 天野英晴. LASN 用 8Gbps/port 8x8 One-chip スイッチ: RHiNET-2/SW. 2000 年記念並列処理シンポジウム (JSP2000), pp. 173-180, 2000.
- 10) 西宏章, 多昌廣治, 工藤知宏, 天野英晴. 仮想チャネルキャッシュを持つネットワークルータの構成と性能. 並列処理シンポジウム JSP'99, 第 99-6 巻, pp. 71-78, 1999.
- 11) 天野英晴. 情報系教科書シリーズ第 18 巻 並列コンピュータ. 株式会社昭晃堂, ISBN4-7856-2045-5, 1996.
- 12) 上野龍一郎, 稲沢悟, 西宏章, 工藤知宏, 天野英晴. 光インタコネクトを使った高速転送におけるフロー制御手法. 情報処理学会ハイパフォーマンスコンピューティング研究会 (HPC), 第 2000 - HPC - 083 巻, pp. 43-48, 2000.