

FPGA ベース並列マシン RASH での SAR 画像再生処理の適用

浅見 廣愛[†], 水野 政治[†], 中島 克人[†], 飯田 全広[‡], 森 伯郎[†]

[†] 三菱電機(株),

[‡] 三菱電機エンジニアリング(株)

〒247-8501 神奈川県鎌倉市大船5丁目1番1号

tel. 0467-41-2526 , e-mail : hiroai@isl.melco.co.jp

合成開口レーダ(SAR, Synthetic Aperture Radar)はマイクロ波を利用した映像レーダであり, その画像再生処理は演算量が膨大である. 我々の試作したRASH(Reconfigurable Architecture based on Scalable Hardware)のようなFPGAベース並列マシンにおいてSAR画像再生処理を適用することを検討した.

FPGA上でのSAR画像再生処理の実装手法について検討し, RASHでの処理時間の見積りを行った. SAR画像再生のアルゴリズムはレンジ-ドップラーアルゴリズムとし, SAR生データのサイズはレンジ/アジマス方向共に, 8Kポイントと仮定した. RASH1ユニットにおいて, 10万ゲート規模のFPGA24個, 256MByteのメモリカード6枚を使用した構成でのSAR画像再生処理の時間は10秒程度との見積りとなり, 市販DSPボードと比べて半分の規模で同程度の性能になると試算した.

The Applicability of Synthetic Aperture Radar Processing on a FPGA-based Parallel Machine “RASH”

Hiroai Asami, Masaji Mizuno, Katsuto Nakajima, Masahiro Iida, Hakuro Mori

Mitsubishi Electric Corp., Mitsubishi Electric Engineering Co. LTD.

address: 5-1-1 Ofuna, Kamakura, Kanagawa 247-8501, Japan

tel.0467-41-2526 , e-mail : hiroai@isl.melco.co.jp

SAR (Synthetic Aperture Radar) is a microwave imaging radar. The reproduction of images from SAR data (SAR processing) requires huge amount of computation. We studied how much FPGA-based machines like “RASH” (Reconfigurable Architecture based on Scalable Hardware) have the computation power for SAR processing.

We studied the way of implementation of the algorithm on FPGAs and estimated the processing time on RASH. The algorithm of the reproduction used here is so-called “range-doppler” algorithm. The range and azimuth size of data is 8K points each. By one unit system of RASH with 24 of 10K-gate FPGAs and 6 of 256MB memory cards, the reproduction can be done in about 10 sec, which is about the half of that by a system of the same scale consisting of commercial DSP boards.

1 はじめに

合成開口レーダ(SAR, Synthetic Aperture

Radar)はマイクロ波を使用した映像レーダであり, レーダで受信したデータに SAR 画像再生と

呼ばれる処理を行い画像を作成する。SAR 画像再生処理の大部分は FFT(Fast Fourier Transformation：高速フーリエ変換)による処理であり、画像サイズが大きくなると演算量が膨大になる。このため、従来は汎用大型計算機かワークステーション、もしくは専用ハードウェア等を用いて処理を行っていた。

近年、FPGA(Field Programmable Gate Array)は、最新デバイステクノロジーの適用により高速化・大規模化の進展が著しく、その利便性・柔軟性と処理性能の高さから、特に信号処理や画像処理等の分野で幅広く利用されている。我々は FPGA の特性に注目し、複数の FPGA を使用した可変構造型計算機として、FPGA ベース並列マシン RASH(Reconfigurable Architecture based on Scalable Hardware)を開発し[1] [2]、DES(Data Encryption Standard)を始めとする秘密鍵暗号の鍵探索処理が高速に行えることを実証した[3]。我々は FPGA を用いて SAR 画像再生処理を行うことにより、大規模な画像の高速な処理と、画像サイズ等の変更に対する柔軟な対応が可能になると考えた。そのため、今回、RASH 上での SAR 画像再生処理の適用検討を行った。

今回の検討において、RASH における SAR 画像再生処理の処理時間等を見積もった。その結果、市販 DSP ボードに比べて半分以下のチップ数で同程度の性能が得られるとの結果になったので報告する。

2 RASH の構成

以下では、RASH のアーキテクチャの概要について説明する。

2.1 EXE ボード

RASH は CompactPCI(Peripheral Component Interconnect)基板を使用した演算ボード (EXE (EXEcution)ボード) を基本構成要素としている。EXE ボードには、1 石 10 万ゲート規模相当の SRAM タイプの FPGA である、ALTERA 社の FLEX10K100A-1(240 ピン QFP)が 8 個搭載されている (図 2.1 参照)。

各 FPGA 間は 32bit の信号線でメッシュ/リング状に接続されている。これにより、2 石以上の FPGA を使用して 1 つの機能を実現するような場合や、機能ブロック間の処理データをパイプライン的に流すような構成も可能となる。このような用途を考慮して各 FPGA には共通のグローバルクロックが供給される。また、各 FPGA での独立

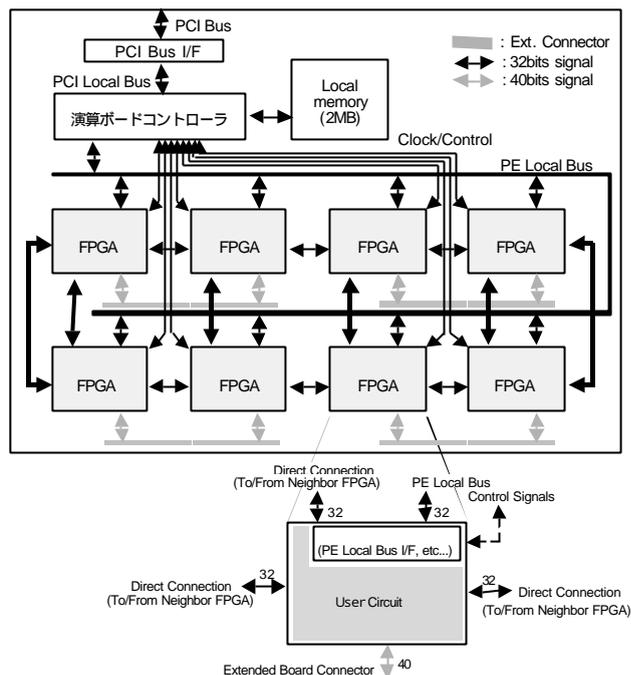


図 2.1 EXE ボードの構成

した処理を可能にするために各々の FPGA には個別にローカルクロックが供給される。グローバルクロックおよびローカルクロックは約 4.9MHz から 60MHz の 16 種類から選択できる。

また、各 FPGA はコントローラとバス接続 (32bit)されており、コントローラには EXE ボードに搭載された PCI バスインタフェース回路と 2MB の SRAM のローカルメモリが接続されている。FPGA の回路情報はローカルメモリを経由してロードされる。ローカルメモリ上に複数種類の回路情報を常駐させることができ、1 つの FPGA 当たり 190ms 程度で再構成が可能である。

また、EXE ボードの各 FPGA からは直接 40bit ずつの信号線が拡張ボードコネクタに接続されており、以下のようなドータカードを増設することで様々な機能拡張が可能である。

2.2 ドータカード

ドータカードは EXE ボードの機能を拡張するための拡張用ボードであり、拡張ボードコネクタを介して FPGA と直接接続される。EXE ボード上の FPGA だけでは処理性能が十分ではない場合や、PCI バス経由では入出力のスループットが不足する場合には、EXE ボード上にドータカードを搭載することにより機能拡張が可能である。例えばメモリや I/O デバイスコントローラ等をドータカード上を実現すれば良い。このような実装形態を取ることで、EXE ボード上でのアーキテ

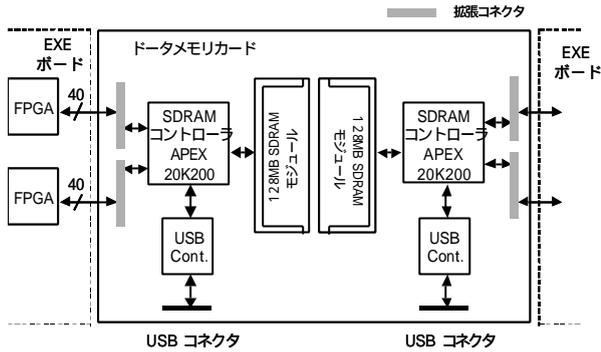


図 2.2 RDM の構成



図 2.3 ドータメモリカードの外観

クチャ上の制約の最小化と用途別の性能最大化の両立を図れる。

図 2.2, 図 2.3 に我々の開発した RASH 用メモリ搭載ドータカード (RDM:Rash Daughter Memory card) の構成と外観を示す。RDM には、APEX20K200 を使用した SDRAM コントローラが 2 個搭載されており、それぞれに 128MByte の SDRAM モジュール (S.O.DIMM) が接続されている。SDRAM コントローラには EXE ボード上の 2 つの FPGA から 40bit の信号が拡張コネクタを通して接続され、SDRAM モジュールをそれぞれ 2 つずつの FPGA で共有する構成になっている。RDM1 枚で 4 個の FPGA に対応するため、1 枚の EXE ボードには 2 枚まで RDM を搭載できる。

また、各々の SDRAM コントローラには USB コントローラが接続されており、ドータカード上の USB コネクタを介して外部とのデータ交換ができる構成になっている。

2.3 ユニット構成

RASH では、1 つの CompactPCI ユニットからなる構成を基本構成 (1 ユニット) としている (図 2.4 参照)。基本構成では、CompactPCI バス上で最大 6 枚の EXE ボードとそれらを制御するための 1 枚の汎用プロセッサボード (CPU ボード) が接続されている。また、EXE ボードに RDM を搭載

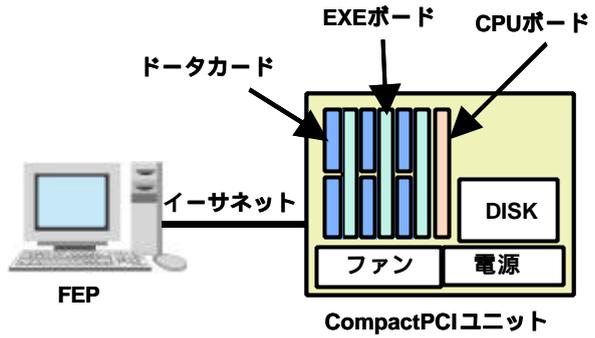


図 2.4 RASH のユニット構成

する場合には、CompactPCI のスロットの制約から EXE ボード 3 枚、RDM6 枚 (各 EXE ボードに RDM2 枚搭載) が最大の構成になる。基本構成には CPU ボード経由で接続される磁気ディスクやネットワークインタフェースも含まれている。

ネットワークはイーサネットとし、これを介して制御用に FEP (Front-End Processor) や複数のユニットが接続可能である。ユニット間の通信量がそれ程多くない場合は、多数のユニットを接続することにより大きなシステムを構成することができ、そのための制御ソフトウェアも用意されている。

3 SAR 画像再生処理

SAR は、雲霧等の天候に左右されず、高い分解能で地表を撮像することができるセンサである [4]。SAR では、飛行機等のプラットフォームからマイクロ波を送信し、反射波が返ってくるまでの時間・強度から対象物体までの距離情報を測定する。測定したデータを SAR 画像再生と呼ばれる処理で重ね合わせることで画像を再生する。

SAR 画像再生のアルゴリズムは種々提案されているが、ここでは最も一般的に使用されている、レンジ ドップラーアルゴリズム [5] を対象とする。このアルゴリズムの基本的な処理の流れを図 3.1 に示す。レンジ ドップラーアルゴリズムは、

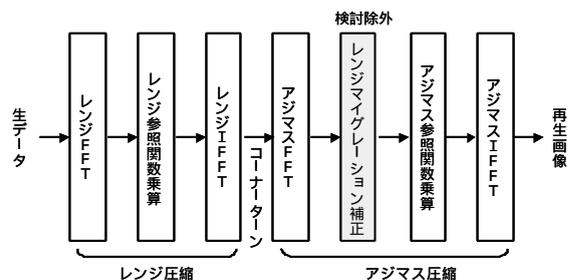


図 3.1 SAR 画像再生処理の流れ

アジマス方向(プラットフォーム進行方向)とレンジ方向(アジマス方向に対して垂直な方向)の受信データそれぞれに、参照関数と呼ばれる送信波を表すデータとの相互相関をとることにより2次元ホログラムを得る処理である。

相互相関処理には単純に乗算を行う方法(時間領域処理と呼ぶ)とFFTを用いる方法(周波数領域と呼ぶ)があるが、図3.1のようにFFTを用いて周波数領域で行う方が一般的であり演算量が少なくすむ。しかし、時間領域処理の方はデータの分割が容易であり、並列処理を行う場合にノード間のデータ転送量を少なくできる。

4 RASHでの適用検討

SAR画像再生処理の時間領域処理、周波数領域処理の両方の手法について、RASHの各構成での処理方式と演算時間の検討を行った。また、今回の検討では、レンジマイグレーション補正は対象から除外した。レンジマイグレーション補正はSAR画像再生処理を行う上では重要な処理であるが、本検討では、装置の規模や処理時間の試算を目的としているため、最も演算量に影響する相互相関処理のみを対象とすることにした。また、以下の条件で検討を行った。

- 1) SARの生データのサイズはレンジ方向8Kポイント、アジマス方向8Kポイント
- 2) 参照関数のデータは1Kポイント
- 3) 各ポイントは実数部8bit、虚数部8bit

4.1 装置構成

今回、以下の3つの構成について演算速度、実現性等の検討を行った。構成ごとに処理手法について示す。

なお、各接続の転送速度はRASHでの実測値から次のものを使用した。

- ・CompactPCIのデータ転送速度：128Mbps
- ・ローカルバスの転送速度：128Mbps

また、FPGA内部の回路はシミュレーションによる見積りから表4.1の値を使用した。

RASH単体

ドータカードを搭載せず、基本構成だけの構成である。この構成ではメモリ不足により時間領域処理が不可能であるため、周波数領域で処理を行う。レンジ方向の処理(レンジ圧縮処理)をEXEボード上のFPGAで行った後、CPUボード上のメインメモリでコーナータンと呼ばれるデータの転地処理を行い、再びEXEボードでアジマス方向の処理(アジマス圧縮処理)を行う。1個の

表 4.1 FPGA 内部のコア回路のデータ

回路	動作周波数	使用LE数
パタフライ演算器	40MHz	2993LE
8bit乗算器	35MHz	135LE

FPGAで8KポイントのFFTを行う場合、FPGA内部のメモリ不足により処理が困難である。このため、図4.1のように複数のFPGAに処理を分けレンジ/アジマス圧縮を行う。FPGAにメモリが接続されていないため、FFTの中間結果はEXEボード上のローカルメモリに格納する。

RASH + ドータカード(メモリ搭載)

EXEボードにメモリドータカード(RDM)を搭載してメモリを補強した構成である。これにより、EXEボードでのメモリ不足が解消され、時間領域による処理が可能になる。この場合、図4.2のように、EXEボード上の半分のFPGAに乗算器を構成することにより、レンジ圧縮を時間領域処理で行い、残りのFPGAでアジマス圧縮を周波数領域で行うことで、レンジ圧縮とアジマス圧縮をパイプラインで処理する。これにより、レンジ

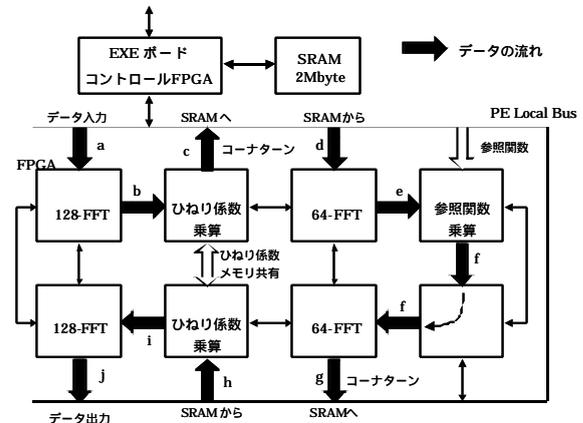


図 4.1 周波数領域処理での実装手法

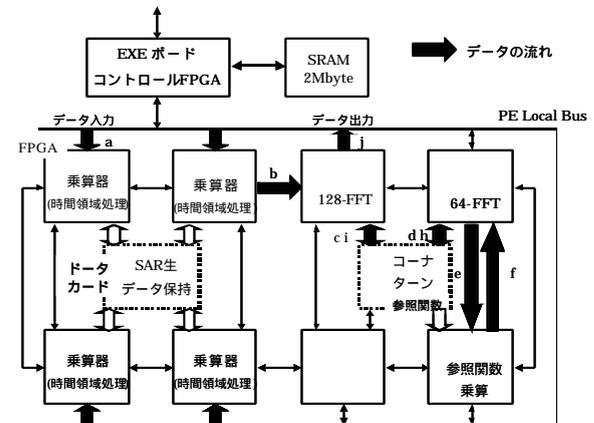


図 4.2 時間領域処理での実装手法

圧縮処理での演算量が増えるが、コーナーターンによる EXE ボード間のデータ転送が無くなるため処理時間が短縮される。

RASH + ドータカード(メモリ+I/Oポート)

EXE ボード間の通信ボトルネックを補うため、ドータカードに通信ポートを追加した構成を想定した。ドータカード上には 100Mbps の通信ポートが 2 個あると仮定した。これは、今後 RDM 上に USB2.0(最大性能 480Mbps)の機能を実装できるならば、実現可能な値である。この場合、図 4.1 のような構成で、アジマス/レンジ圧縮共に周波数領域で処理を行う。ただし、RASH 単体の場合と異なり、FFT の中間結果は各 FPGA に直接接続されたドータカード上のメモリに格納する。

4.2 見積もり結果

4.1 節の構成・条件で、EXE ボード上の回路動作を想定して、1 行(8K ポイント)のデータの処理にかかる演算時間、データ転送時間等を試算し、RASH で SAR 画像再生を行った場合の総処理時間を見積もった。その結果を表 4.2 に示す。構成は全て 1 ユニットであり、表には各構成において最良となる処理時間のみを記載した。また、市販 DSP システムでの検討結果[6]も合わせて示す。DSP での検討は、Analog Device 社製の DSP である SHARC(ADSP-21060,40MHz)を搭載した Mercury Computer Systems 社の DSP ボードで行った。

SAR 画像再生の処理時間は、各 EXE ボードへのデータ転送時間と、各 EXE ボードでの演算時間のうち、より大きい方の値になる。データ転送時間と演算時間の影響を示すため、表 4.1 には外部からのデータの入出力時間を考慮しない処理時間を“演算時間”として示し、1 行のデータの処理時間を記載した。なお、表にある 1 行のデータの演算処理時間は、使用したチップ(FPGA,DSP)の数で割った仮想的な値である。これらの値から、各構成における処理時間は、データ転送時間が演算時間と同じかそれより大きいことが分かる。

また、DSP と比較して、半分のチップ数でほぼ同程度の性能が得られることが分かる。

5 大容量 FPGA での検討

8K×8K ポイントの SAR 画像再生処理を行う場合、RASH で使用されている FLEX10K100A では 内部メモリが十分でないため、複数の FPGA に分けて処理を行う必要があり、FPGA 間の通信

表 4.2 構成による性能比較

	RASH			市販 DSP システム
	基本構成	ドータカード拡張		
		メモリ拡張(RDM)	メモリ&I/O 拡張	
処理時間	49 秒	24 秒	8 秒	10 秒
演算時間	36 秒	24 秒	8 秒	7 秒
1 行のデータの演算処理時間	2.28 ms	3.32ms	0.48ms	0.045ms
1 行のデータの転送時間	3.7ms	3.7ms	0.38ms	0.52ms
処理手法	周波数領域処理	時間領域処理	周波数領域処理	周波数領域処理
構成				
演算ボード数	6 枚	3 枚	3 枚	8 枚
ドータカード数	-	6 枚	6 枚	-
FPGA/DSP 数	48 個	24 個	24 個	96 個

等が処理のボトルネックとなる。しかし、これらの問題は、現在製品化されている大容量の FPGA を使用することで解消できると考えられる。そこで、ALTERA 社の大容量 FPGA である APEX20K1500E を使用した場合の検討を以下で行った。

5.1 装置構成

APEX20K1500E を搭載した基板として図 5.1 の構成を検討した。1 枚の基板上には、演算用の FPGA として APEX20K1500E を 4 個、制御用 FPGA を 1 個搭載する。接続構成は制御用 FPGA と演算用 FPGA 間は 64bit バス接続し、各演算 FPGA 間は 64bit 信号線で直接接続する。また、128Mbyte の SDRAM と 1Gbps の転送性能を持つ通信用 I/O ポートを各演算 FPGA に直接接続し、これらを基板上に搭載する。制御用 FPGA にはローカルメモリと PCI バスが接続される。

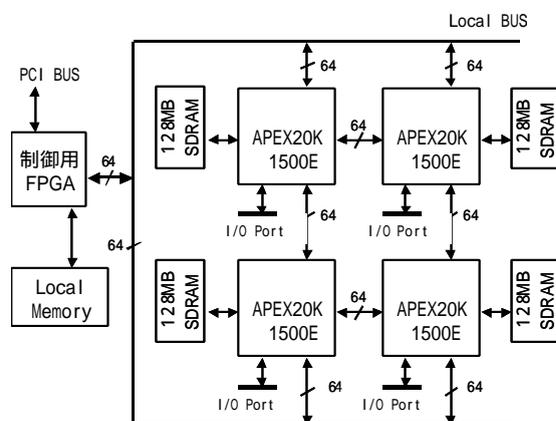


図 5.1 APEX20K1500E を用いた基板の構成

通信用 I/O ポート用のコントローラと SDRAM 用コントローラは FPGA が大容量である点を生かして演算用 FPGA 内部に構成する。

5.2 性能見積り

表 5.1 に RASH と APEX20K1500E を用いた場合との性能比較を示す。APEX20K1500E では、バタフライ演算器を 12 個搭載でき、66MHz で動作するものとした。また、ローカルバス、FPGA 間接続の通信は 66MHz の同期転送で行うものとした。

APEX20K1500E には、SAR 画像 1 行分にあたる 8K ポイントのデータの FFT を行うのに十分な内部メモリがあり、1 個の FPGA 内部で処理が行える。この場合、1 行分のデータの転送・演算処理に要する時間を 310 μ s と見積もった。これから、図 5.1 の基板を使用した場合の全データの処理時間は 1.3 秒となった。

6 考察とまとめ

本稿では FPGA ベース並列マシン RASH での SAR 画像再生処理について述べ、RASH 単体で 50 秒程度、RASH とドータカードの組み合わせた構成では 10~20 秒程度で処理が可能であるという結果になった。また、市販の DSP ボードを用いた場合には、DSP96 個で 10 秒程度という結果になった。

この結果から、RASH とドータカードを組み合わせることにより、市販 DSP ボードに比べて半分以下のチップ数で同程度の性能が得られることが分かった。このため、ハードウェアのコストは FPGA を使用したほうが有利になると考えられる。

また、RASH での処理ではドータカードに通信ポートを搭載した構成以外ではほとんどの場合でデータ転送がボトルネックになっている。このことから、SAR 画像再生処理のようにデータ量が大きい処理を RASH 上で行うには、PCI 等を介してのデータの転送ではなく、個々のドータカードに直接データを転送し、それを FPGA で処理するような方法が有効と考えられる。

これは、最近の大容量 FPGA を使用した場合についても同様である。最新の FPGA4 個で 1 秒程度で処理が可能との見積もり結果を得たが、これを実現するためには、データの転送に 4 Gbps 以上の性能が必要となる。

また、今回の検討ではレンジ参照関数生成、アジマス参照関数生成、レンジマイグレーション補正は考慮していない。これらの演算の中には DSP

表 5.1 大容量 FPGA での処理性能

	RASH	大容量 FPGA 基板
使用 FPGA	FLEX10K100A	APEX20K1500E
性能	8 秒	1.3 秒
動作周波数	40MHz	66MHz
FPGA 使用個数	48 個	4 個
LE 数総計	234K	203K
バタフライ演算器の数	48 個	48 個

に比べ FPGA では処理時間のかかるものがある。うるので検討する必要がある。

今回の検討結果を踏まえ、今後、処理方式の詳細検討等を行う予定である。

参考文献

- [1] 中島 克人, 森 伯郎, 佐藤 裕幸, 高橋 勝己, 浅見 廣愛, 水上 雄介, 飯田 全広, 新留 勝広, "FPGA ベース並列マシン RASH の概要", 第 58 回情報処全国大会, 1H-08, 1999-3.
- [2] 浅見 廣愛, 佐藤 裕幸, 飯田 全広, 森 伯郎, 中島 克人, "FPGA ベース並列マシン RASH のシステム機能と構成", 第 58 回情報処全国大会, 1H-09, 1999-3.
- [3] 浅見 廣愛, 飯田 全広, 中島 克人, 森 伯郎, "FPGA ベース並列マシン RASH での DES 暗号解析処理の改良", 情報処理学会論文誌: ハイパフォーマンスコンピューティングシステム, Vol.41, No.SIG 5(HPS 1), pp.50-57, 2000-8.
- [4] 藤坂 貴彦, 岩本 雅史, 原 芳久, 江馬 浩一: "画像レーダ", 非破壊検査, vol.47, no.12, pp872-877, 1998.
- [5] Curlander, J.C. and McDonough, R.N.: "SYNTHETIC APERTURE RADAR systems and Signal Processing", John Wiley & Sons, Inc. (1991).
- [6] 水野 政治, 浅見 廣愛, 飯田 全広, 中島 克人, 森 伯郎, "FPGA ベース並列マシン RASH の SAR 画像再生処理への適用検討(2) - 市販 DSP システムとの比較検討 -", 第 59 回情報処全国大会, 5H-04, 1999-9.