

画像処理プラットフォーム RASH-IP の構成

浅見 廣愛[†] , 山岸 陽[†] , 今井 照久[†] , 滝本 哲也[†] , 天野 一彦[†] , 中川 雅博[†] , 佐藤 裕幸[†]

[†] 三菱電機 (株) ,

〒247-8501 神奈川県鎌倉市大船5丁目1番1号

tel. 0467-41-2526 , e-mail : hiroai@isl.melco.co.jp

FPGAベース並列マシンRASHの開発経験を生かして、最新FPGAを使用した画像処理用プラットフォームRASH-IPを開発した。RASH-IPでは、VME基板上にALTERA社のStratix(EP1S25)を6個搭載した構成とした。また、内部バスを計11本構成として、HDTV画像のような大容量のデータ転送が複数のFPGAで並行して行えるようにした。各FPGAには、8MByteの同期SRAMを直接接続する構成として、各FPGA上でデータ保持が容易になるようにした。また、ボード間のデータ転送がボトルネックにならないよう、専用のインタフェースを設け、複数のボードで処理が行える構成とした。画像処理への適用例として、動画像でのアフィン変換処理について検討を行った。

The Configuration of Image Processing Platform RASH-IP

Hiroai Asami, Akira Yamagishi, Teruhisa Imai, Tetsuya Takimoto,

Kazuhiko Amano, Masahiro Nakagawa, Hiroyuki Sato

Mitsubishi Electric Corp.

address: 5-1-1 Ofuna, Kamakura, Kanagawa 247-8501, Japan

tel.0467-41-2526 , e-mail : hiroai@isl.melco.co.jp

An image processing platform RASH-IP employs the newest FPGA and utilizes our development know-how of FPGA-based parallel machine RASH. RASH-IP contains six ALTERA Stratix (EP1S25) FPGAs on the VME board. It provides 11 internal buses to transfer as large amount of data as HDTV image by multi-FPGAs parallelly. Each EPGA is directly connected to an 8M-byte synchronous SRAM so that it can hold the large amount of data. Moreover, exclusive interface is provided on the board so that data transfer between boards would not become their performance bottleneck. We estimated the image processing efficiency using affine-transfer of video data.

1 はじめに

FPGA(Field Programmable Gate Array)は、最新デバイステクノロジーの適用により高速化・大規模化の進展が著しく、その利便性・柔軟性と処理性能の高さから、特に信号処理や画像処理等の分野で幅広く利用されている。我々はFPGAの特性に注目し、複数のFPGAを使用した可変構造型計算機として、FPGAベース並列マシンRASH

(Reconfigurable Architecture based on Scalable Hardware)を開発し [1][2]、DES(Data Encryption Standard)を始めとする秘密鍵暗号の鍵探索処理が高速に行えることを実証した[3]。また、合成開口レーダ(SAR, Synthetic Aperture Radar)の画像再生処理への適用検討等を行った [4]。

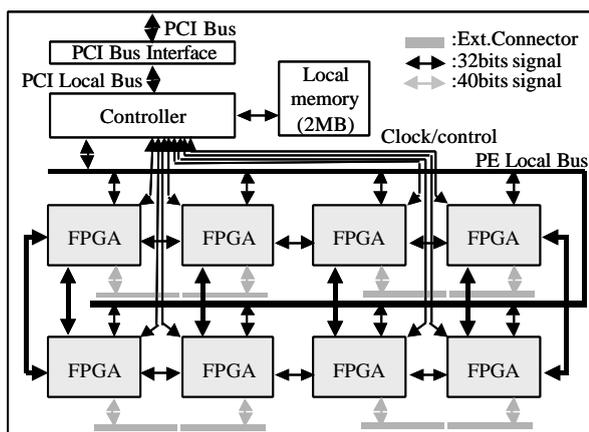


図1 RASHのボード構成

デバイステクノロジーの進歩により FPGA は更に大規模・高速化しており、従来より大きなデータを高速に処理可能になった。我々は、RASHでの開発経験を踏まえて、これらの新たなデバイスを用いてHDTV(High Definition Television)画像等の動画をリアルタイムで処理することを目的としたプラットフォームについての検討・開発を行った。

また、開発したプラットフォーム上での動画処理のフローについての検討を行い、処理時間等を見積り、リアルタイムでの処理が可能との結果を得た。

今回、この画像処理用プラットフォームをFPGA ベース並列マシン RASH-IP(RASH for Image Processing)として開発し、適用検討としてHDTV 動画処理のアフィン変換処理の検討を行ったので報告する。

2 RASHの構成

RASHはCompactPCI(Peripheral Component Interconnect)基板を使用した演算ボードを基本構成要素としている。演算ボードには、1石 10万ゲート規模相当のSRAM タイプのFPGAである、ALTERA社のFLEX10K100A-1(240ピンQFP)が8個搭載されている(図1参照)。

各FPGA間は32bitの信号線でメッシュ/リング状に接続されている。これにより、2石以上のFPGAを使用して1つの機能を実現するような場合や、機能ブロック間の処理データをパイプライン的に流すような構成も可能となる。このような用途を考慮して各FPGAには共通のグローバルクロックが供給される。また、各FPGAでの独立した処理を可能にするために各々のFPGAには個別にローカルクロックが供給される。グローバ

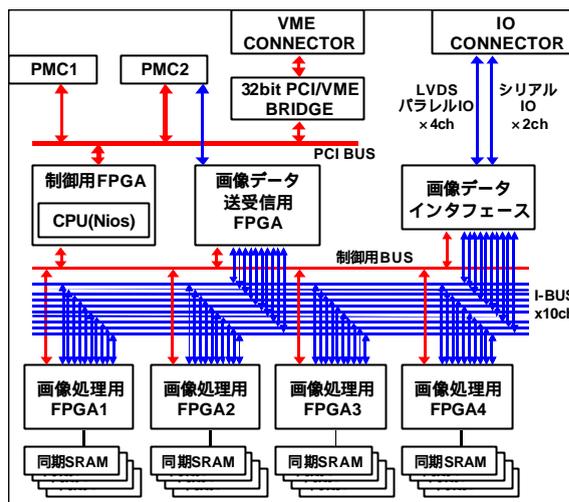


図2 RASH-IPの演算ボード構成

ル/ローカルクロックは約 4.9MHz~60MHz の16種類から選択できる。

また、各FPGAはコントローラとバス接続(32bit)されており、コントローラには演算ボードに搭載されたPCIバスインタフェース回路と2MBのSRAMのローカルメモリが接続されている。FPGAの回路情報はローカルメモリを経由してロードされる。

また、演算ボードの各FPGAからは直接40bitずつの信号線が拡張ボードコネクタに接続されており、ドータカードの増設により機能拡張が可能である。

3 RASH-IPのハードウェア構成

RASH-IPのボードの構成を図2に示す。

RASH-IPのボードではVME基板(6Uサイズ:233.35mm×160mm)を使用し、ALTERA社のFPGAであるStratix(EP1S25-6)を6個搭載した構成とした。RASH-IPでは、6個のFPGAのうち、1つを制御用、1つを画像データ送受信用、4つを画像処理用として使用する。

また、RASH-IPでは、VMEコネクタの他に、PMCコネクタを2個と専用のLVDS 17対平行IOを4チャンネル、そしてシリアルIOを2チャンネル搭載する。PMCコネクタのうち、1つは画像データの入出力用として使用し、もう1つはCPU搭載等のPMCカード用として使用する。専用の平行/シリアルIOは、ボードを複数枚使用する場合にボード間での画像データ転送用として使用する。これらの画像データ転送用コネクタには、HDTV動画をリアルタイムで転送可能のように、600Mbps以上のスループットを持た

せている。

ボード上には、バスは PCI バスと制御用の 32bit ローカル CPU バスが 1 本ずつあり、14bit の画像データ転送用バス(I-BUS と呼称)が 10 本用意されている。ローカル CPU バスは、6 個の FPGA に接続されており、制御用 FPGA からの制御データの送受信を行う。I-BUS は、画像データ送信用 FPGA と画像処理用 FPGA 間のデータ転送用に使用される。また、PCI バスは、PMC コネクタ、制御用 FPGA と直接接続されており、VME コネクタからの VME バスとブリッジを介して接続されている。

メモリは、各画像処理用 FPGA とデータ送信用 FPGA に、2MByte の同期 SRAM が 4 個搭載されている。

制御用 FPGA には CPU コア (ALTERA 社 Nios) を搭載し、パラメータの演算や条件分岐による制御をボード内で行える構成となっている。また、CPU に演算性能が要求される場合には、PMC コネクタに CPU 搭載の PMC カードを接続して PMC カードからの制御・演算を行うことや、VME バスを通して外部の HOST VME ボードからの制御を行うことができる。このようにして処理に応じて柔軟に対応できるような構成となっている。

4 RASH と RASH-IP の比較

RASH と RASH-IP の主な相違点を表 1 に示す。RASH-IP では、画像処理に特化して以下の機能を強化した。

- オンボードメモリ容量
- ボード間のデータ転送性能
- 内部バス転送性能

また、以下の機能を省いた。

- FPGA 間のリング・メッシュ状接続を削除
- 各 FPGA から拡張インタフェースへの直接接続を削除。

動画の処理では 1 枚以上の画像を保持できるだけの大容量のメモリが必要である。また、処理によっては、レイテンシを低くするために高速なリード/ライト動作が必要となる場合がある。このため、RASH-IP ではリード/ライト切替え時のデッドサイクルが無いことを特徴とする同期 SRAM を採用し、これを計 40Mbyte 搭載した。各 FPGA には、2Mbyte × 4 個の同期 SRAM が接続されており、1 枚以上の HDTV 画像が保持できるようになっている。また、画像データ転送は、

表 1 RASH と RASH-IP の構成比較

	RASH	RASH-IP
使用 FPGA	FLEX10K100A-1×8	EP1S25-6×6
FF 数 / FPGA	4,992 個	25,660 個
FF 数 / ボード	39K 個	150K 個
RAMbit 数 / FPGA	25K bit	1,945Kbit
RAMbit 数 / ボード	192K bit	11,670Kbit
ボード形状	CompactPCI(6U)	VME(6U)
Interface	32bitPCI (PCI9080)	32bit VME /32bitPCI (Universe)
メモリ	SRAM 2MB	同期 SRAM2MB × 20
内部結線	32bit 非同期バス リング,メッシュ各 32bit	32bit 非同期バス 14bit 非同期バス × 10
拡張 Interface	各 FPGA から 40bit	PMC コネクタ × 2 LVDS17 対 × 4ch シリアル 2ch

主に IO(画像データ送信用 FPGA、画像データインタフェース)と、各画像処理用 FPGA 間で行われると考え、リング・メッシュ接続をやめ、10 本の I-BUS でデータ転送を行う構成とした。メモリと I-BUS を補強したことと、RASH 開発時に比べて FPGA が CPU コアを搭載できるほど十分に大容量になったため、各 FPGA から拡張インタフェースへの直接接続は不要と考え、削除した。その代わりに拡張インタフェースとして専用のパラレル IO を 4ch、シリアル IO を 2ch 設け、ボード間でのデータ転送を強化し、複数ボード間での並列処理等を行うことにより機能拡張が出来るようにした。

5 画像処理の手法

以下では、RASH-IP での画像処理の適用手法について述べる。

5.1 画像処理例

RASH-IP では NTSC (National Television System Committee) や HDTV 画像等の動画像に対して、一般的な画像処理・認識手法をリアルタイムで適用することを目的としている。現在のところ、RASH-IP での適用例としては、以下に示すような一般的な画像処理・認識手法を考えている。

- 画質改善
- フィルタリング (特徴量抽出)
- ぶれの補正
- 3次元画像処理
- 画像符号化

上記のような処理それぞれを1枚あるいは複数枚のRASH-IPで実現する。

上記に示す画像処理・認識手法の中で、ぶれの補正等の処理では、画像・座標変換の主要な手法の1つであるアフィン変換を使用することが考えられる。そこで、以下ではRASH-IP上での画像処理手法の適用例として、HDTV動画像に対してアフィン変換を施す場合について述べる。

5.2 アフィン変換

アフィン変換とは、ユークリッド幾何学的な線形変換と平行移動の組合せによる、基本的な座標変換方式であり、一般的な画像処理・認識手法でも多く用いられる。変換前の座標を(x,y)、変換後の座標を(u,v)とすると、(1)式のように回転、拡大・縮小、せん断を表すアフィン変換行列と並進ベクトルで表現することができる。

$$\begin{pmatrix} u \\ v \end{pmatrix} = \begin{pmatrix} a & b \\ c & d \end{pmatrix} \begin{pmatrix} x \\ y \end{pmatrix} + \begin{pmatrix} e \\ f \end{pmatrix} \quad (1)$$

6 RASH-IPでの処理の流れ

RASH-IP上でのアフィン変換処理の流れを以下に示す。ここで、HDTV画像は1920×540画素、各10bitのモノクロ画像とする。アフィン変換処理時のデータの流れを図3に示す。ただし、図3は画像処理用FPGA1で処理を行う場合の例である。

PMC2コネクタに接続されたHDTV画像入出力カードから、HDTV画像が入力される。RASH-IP内部では、まず画像データ送受信用FPGA内のFIFOに送られる。

その後、I-BUSを経由して画像処理用FPGA1に送られる。

画像処理用FPGA1において、受信したHDTV画像データおよびアフィンパラメータ((1)式のa~f)を用いて、アフィン変換を行う。本稿では、アフィンパラメータは制御用FPGA内部のCPUコアから制御用バス経由で与えられるものとする。

アフィン変換後の画像は、入力時と同様に、I-BUSを通り、画像データ送受信用FPGA内のFIFOに送られる。

その後、PMC2コネクタに接続されたHDTV画像入出力カードから外部に出力される。

4つの画像処理用FPGA内部には同様の回路を持ち、入力されてくる1枚のHDTV画像を各FPGA

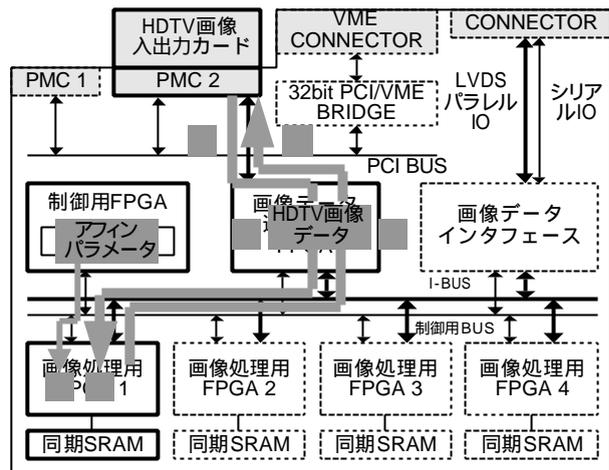


図3 データの流れ

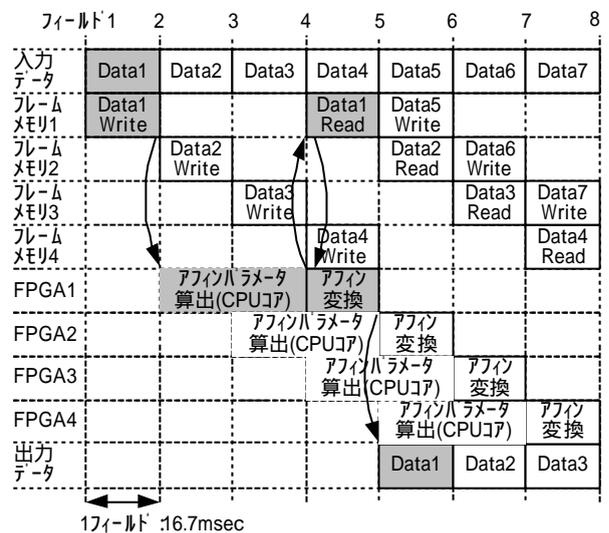


図4 処理タイミング

が順次、アフィン変換および画像補間のためのバイリニア補間を行う。

図4にHDTV画像のアフィン変換処理時のタイミングを示す。入力データは各画像処理用FPGAのフレームメモリに転送される(14.0msec)。その後、制御用FPGA内部のCPUコアによってアフィンパラメータを算出する(ここでは2フィールド以内と仮定)。そして、各画像処理用FPGA内部でアフィン変換およびバイリニア補間を行う(15.7msec)。そして、次の時刻に処理後のデータを出力する。以上のように、4つの画像処理用FPGAを使用することにより、HDTV動画像のアフィン変換処理をリアルタイムで実現することが可能となる。

本稿では、制御用FPGA内部のCPUコアでア

フィンパラメータを算出すると仮定しているが、処理内容や実行時間によっては、CPU 搭載の PMC ボード、VME バス経由のホスト VME ボード、あるいはもう 1 枚の RASH-IP ボード、等で算出することも考えられる。

7 まとめ

以上、ALTERA 社の最新 FPGA である Stratix を用いた画像処理用プラットフォーム RASH-IP のハードウェア構成について報告した。

RASH-IP では、HDTV 動画像のリアルタイム処理を目的としている。このため、各 FPGA には 4 個の同期 SRAM と 11 本のバスが接続されており、HDTV 画像サイズのデータを転送できるだけのスループットを持つように構成されている。このため、各チップと基板上で IO 用の信号線を多数使用するような構成となり、基板が複雑になった。

FPGA 間でのスループットを高くする方法として、上述のような方法とは逆に信号線を減らし、動作周波数を高くすることにより、スループットを高める方法もある。しかし、動作周波数を高くすることは、FPGA に搭載する回路の開発時の負担を大きくし、汎用性を下げることになると考えた。このため、RASH-IP では上述のような構成とした。

今後、開発した RASH-IP を用いて実際の画像処理による性能評価等を行う予定である。

参考文献

- [1] 中島 克人, 森 伯郎, 佐藤 裕幸, 高橋 勝己, 浅見 廣愛, 水上 雄介, 飯田 全広, 新留 勝広, "FPGA ベース並列マシン RASH の概要", 第 58 回情報処全国大会, 1H-08, 1999-3.
- [2] 浅見 廣愛, 佐藤 裕幸, 飯田 全広, 森 伯郎, 中島 克人, "FPGA ベース並列マシン RASH のシステム機能と構成", 第 58 回情報処全国大会, 1H-09, 1999-3.
- [3] 浅見 廣愛, 飯田 全広, 中島 克人, 森 伯郎, "FPGA ベース並列マシン RASH での DES 暗号解析処理の改良", 情報処理学会論文誌: ハイパフォーマンスコンピューティングシステム, Vol.41, No.SIG 5(HPS 1), pp.50-57, 2000-8.
- [4] 浅見 廣愛, 水野 政治, 中島 克人, 飯田 全広, 森 伯郎, "FPGA ベース並列マシン RASH での SAR 画像再生処理の適用", 情報処理学会研究報告 2001-ARC-144(SWoPP2001), pp.19-24, 2001-8.