

[フェロー就任記念講演] IC の設計と製造のはざままで

吉田 憲司[†]

†日本ケイデンス・デザイン・システムズ社

〒222-0033 横浜市港北区新横浜 3-17-6

E-mail: †yoshidak@cadence.com

あらまし IC 用 CAD の発展の歴史を振り返るとともに筆者らの関連研究を紹介し、本分野の今後の課題について述べる。

キーワード IC, CAD, 設計, 製造, Design, Manufacturing, DFT(Design for Manufacturability)

Between Design and Manufacturing of IC

Kenji YOSHIDA[†]

† Cadence Design Systems Japan 3-17-6 Shin-Yokohama, Kohoku-ku, Yokohama, 222-0033 Japan

E-mail: †yoshidak@cadence.com

Abstract History of IC CAD evolution, along with related works done by authors, is reviewed and future challenges are discussed.

Keyword IC, CAD, Design, Manufacturing, DFT(Design for Manufacturability)

1. はじめに

集積回路は 1960 年代初頭に世に出て以来 40 年余りの間に驚異的な発展を遂げ、今日では 1 億素子からなるシステムをも 1 チップ上に実装することが可能となっている[1]。このような進歩は超微細加工技術に代表される Si 製造プロセス技術の進歩によるところが大きいが、これだけの大規模なシステムを 1 チップに実装するための設計を実用的な時間内で行うための CAD(Computer Aided Design)技術の進歩もまた不可欠であった。

この小文では、過去約 40 年間の IC 用 CAD 技術の進歩の後を振り返るとともに、この間に筆者らが行った関連研究内容の一部を紹介し、さらに本分野の今後の課題について述べる。

2. VLSI CAD の歩み

過去の IC 用 CAD の発展の歴史はその実用化のレベルにより、以下のように分けることができる。

1) IC CAD の揺らん期 <1950 年 - 1970 年>

この時期の IC は回路規模も小さく、人手設計も十分可能であったが、より高品質な設計を目指して素子モデリングや対話型レイアウト設計システムの研究が行われた。またボードレベルの設計技術として回路解析プログラムや計算機設計用 DA(Design Automation)システムの開発が進んでおり、これ等を

IC の設計に適用する試みが行われた。

国内では大手半導体メーカ各社において研究が着手された。しかし、学会としてはまだ組織立った活動は見られない。なお、米国では 1963 年から DAC の前身である DA Workshop が始まっている。

2) LSI CAD の実用化期 <1970 年 - 1985 年>

この時期はミニコンピュータとグラフィック・ディスプレイを用いた対話型レイアウト・システムや大型計算機によるシミュレーション、それにレイアウト検証技術が開発され、実用化が普及した。またカスタムレイアウト用の自動配置・配線技術も進歩し実用化が始まった。CAD ツールの開発は国内各大手メーカにおける自社開発が普通であったが、米国においては専業の CAD ベンダーも生まれた。

国内では情報処理学会の「設計自動化研究会(DA)」が 1971 年に発足し、その研究会や夏季シンポジウムがこの分野の発展に貢献した[2]。

3) ASIC 全盛の時代 <1985 年 - 1995 年>

この時代には ASIC 特にゲートアレイの事業が発達し、短 TAT 開発に不可欠なツールとしての自動配置・配線ツールの活用と LSI 論理設計のカスタマへの開放により、EDA(Electronic Design Automation)技術が大きく発達した。また、使用コンピュータも大型機から EWS へとダウンサイズが進んだ。これらにより、ソフトウェア産業としての EDA も拡大した。

国内学会では、電子通信学会の「VLSI 設計技術研究会(VLD)」が発足し、VLSI '85 など CAD 関連国際会議も国内で開催され、また JEITA 主催の展示会「EDA テクノフェア」の開催も始まった。

4) EDA の全面的活用の時代<1990 年-2000 年>

1980 年代に ASIC から利用が始まった論理合成ツールが広く普及し、RTL 設計は標準的な論理設計手法となった。また微細加工が DSM(Deep Sub-micron) になり、配線遅延や SI(Signal Integrity)が設計の大きな課題となり、また消費電力問題も大きくなった。

大手 EDA ベンダーに加えて、新技術に挑戦するスタートアップも多数輩出した。国内の大手メーカーではベンダー・ツールの導入が増え、EDA の独自開発を縮小した。国内の学会活動は ASP-DAC や SASIMI など国際学会が増えたが、企業の研究開発縮小の影響もあり、大学への依存傾向が強まっている。

5) 最近の傾向<2000 年->

技術的には、LSI の規模増大とシステム LSI (SoC) 化に対処するため、システムレベルの設計技術の高度化が進む一方、LSI の微細化が nm 世代に近づくにつれて SI や低消費電力化に加えて、マスクコストやばらつきによる歩留まり低下など、いわゆる DFM(Design for Manufacturability)の問題がますます大きくなってきている。

また、これ等の技術的課題に加えて、LSI ビジネス環境の悪化への対応のため、国内では企業間および産学の協力の必要性の認識が高まっている。しかし、その一方で事業の Global 化に伴う国際的な協業の必要性もそれ以上に高まっている。

3. IC CAD の揺らん期

1960 年代は IC の規模も小さく、CAD は不可欠なものではなかったが、将来に備えて大手メーカーの研究所を中心に研究と実用化の模索が行われた。筆者らも「リニア IC 用 CAD システム」の開発研究を進めた[3]。このシステムは回路設計およびパターン設計サブシステム、それにこれ等をサポートする統一データベースからなるシステムである。パターン設計サブシステムはグラフィックディスプレイによる対話設計に加えて、リニア IC 設計のための自動化ツールを持っている。

当時のリニア IC は 1 層配線であったので、配線交差のないトポロジカル・レイアウトを求めるツールを開発した[4]。グラフの平面性判定および平面描画のアルゴリズムを提案した。

4. LSI CAD の実用化期

1970 年代になると LSI の規模も大きくなり、人手作業ではミスが多く、自動化の必要性が高まった。回路・

論理シミュレーションが実用化されるとともに、レイアウトについてはセル方式自動配置・配線が開発された。しかしながら、素子単位で最適レイアウトする人手設計に比べるとチップサイズが大きくなるため、チップコストの面で不利であり、適用品種は限られた。これに対して、ミニコンピュータとグラフィックディスプレイによる対話型設計ツールによる人手設計が普及したため、設計ミスを自動チェックするレイアウト検証ツールの必要性が高まった。

筆者らは国内で初めてのデザインルール・チェック・システム(LCS)を開発した[5]。このシステムでは各種の図形演算やチェックの基本コマンドを組み合わせて任意のデザインルールをチェックできるようにした。またこれ等の基本コマンドの殆どは二つの多角形の相対的な関係処理することが基本であるが、筆者らは $O(n^{1.5})$ のアルゴリズムを提案し、当時の LSI 規模を実用的な計算時間で処理することを可能とした。なお、その後アルゴリズムは $O(n \log n)$ に改良されている。

さらに、より高度な設計ミスをチェックするため、パターンから素子と回路を抽出し、電子回路的なチェックあるいは論理回路としてのチェックをするとともに、素子パラメータを抽出して回路シミュレーションを行うことにより電気的特性を検査することも可能な統合レイアウト検証システム(EMAP)を開発した[6][7]。

5. ASIC 全盛の時代

1980 年代にはカスタム LSI の設計期間短縮の要求が強まり、自動配置・配線アルゴリズムの進歩とあいまって、標準セル・ライブラリを用いた自動設計システムの開発が活発化した。筆者らも論理設計、シミュレーションから配置・配線まで一貫して自動化するシステムの開発を進め[8]、社内のカスタム LSI 設計に適用した。

これと平行して、米国のスタートアップとの協業によりゲートアレイ(ASIC)事業が始まった。ゲートアレイの概念自体は古くからあったが、ASIC として大きく発展した理由は新しいビジネス・モデルにあった。すなわち、カスタムにセル・ライブラリと設計ツールを提供して、論理設計をカスタムに解放したことである。使用コンピュータが EWS あるいは PC に移行したこともこれを助けた。そして自動配置・配線ツールと配線工程のみの試作プロセスにより、従来の常識を破る短い TAT を実現した。

ASIC の海外カスタム支援の観点からは、内製ツールよりはベンダー・ツールの方が適しているため、LSI メーカーとしては EDA ベンダーとの提携を進める一方、内製ツール開発は差別化できる独自機能に絞り込むことになった。

6. ベンダー・ツールの普及と設計の上流化

1990年になると、EDAツールは更に性能が向上し、マイクロプロセッサなどの高性能汎用LSIやアナログLSIなどの設計にも広く適用されるようになった。

論理設計については、RTL記述から論理合成により論理回路を設計する手法が広く普及した。さらに半導体ロードマップ(ITRS)が予測するLSI規模増大に対応するために、動作記述など更なる上位レベルでの設計やHW/SW協調設計の研究が積極的に進められるとともに、設計資産(IP)の再利用推進の必要性が議論されている。

7. 再び設計の下流が問題に

一方、微細化の進展とともに配線遅延が増大し、配置・配線後にタイミング問題で論理設計の手直しが必要となる、いわゆるタイミング・クロージャが問題になり、また大規模・高速化、それに低電圧化・低 V_{TH} に伴うリーク電流増大による消費電力増大が今後の大きな課題となっている。

さらに、微細化とともに製造に関する問題が大きくなり、DFMの重要性が認識されている。一つは加工寸法が光(紫外線)の波長以下の領域に入ってきたことにより、マスクコストが大幅に高騰していることである。すなわちマスクデータを補正するOPC(Optical Proximity Correction)処理の増大と、マスク検査・リペアのためのコストが増大している。今後の微細化に対してはOPC処理も限界があるので、光以外によるリソグラフィの研究やマスクを使わないプロセスが研究されている。この問題に対する一つの解決策は、設計、マスク、プロセス間の垣根を取り払ってLSI開発プロセス全体を総合的に最適化することであり、そのためには、設計、マスク、プロセスを一貫してサポートできるツールと統一データベースが必要である。米国のコンソーシアムであるSi2とSEMIはこのようなデータベースの標準として、OA-UDMを提唱している[9]。

DFMに関するもう一つの課題は、微細化と低電圧化が進むことにより、物理的パラメータのばらつきが特性に与える影響が顕著になり、従来のワースト・ケースによる設計手法では、十分な製造マージンあるいは歩留まりが得られなくなることである。このために、パラメータのばらつきを考慮した、統計的なシミュレーションツールや設計最適化ツールを取り入れることが重要となり、この分野の研究が進められている。

8. VLSI CADの今後の課題

VLSIの進歩今後とも続くと思われるが、それを支えるCAD技術には多くの課題がある。技術課題としては、上に述べたことを含め、以下の様に纏められる。

- (1) 大規模複雑化への対応
- (2) システム設計とSW/HW協調設計
- (3) 微細化、高速化への対応 (SI, 低電力化)
- (4) 混載技術 (Memory, Analog/Mixed Signal)
- (5) 周辺技術(Package)とのインタフェース
- (6) 製造とのインタフェース(DFM)

さらに、我が国のCADをめぐる社会的な問題点としては以下の点を指摘しておきたい。

(1) 切れた連鎖

- ・ 国内にCADベンダーが少なく、また企業内のCAD開発縮小により、CAD技術の研究、開発、サービス提供、の連鎖が繋がっておらず、従って、CAD技術者のキャリアパスが不明確であることは問題である。

(2) 人材交流の不足

- ・ 技術の革新に必要な分野間の交流が極めて少ない。例えば、企業間、産学間、また海外との人材交流が極めて少ない。

9. あとがき

本文では、筆者が立ち会ったVLSI CAD技術の発展の後を振り返るとともに、筆者らの研究の一部を紹介した。CAD技術の開発は製造に近い所から始まって、設計の上流の方へ発展していったが、微細化の進展とともに再び下流の技術課題が大きくなっている。最後に、著者の研究の多くにおける共同研究者であり、また本文を纏めるにあたり貴重な資料をご提供いただいた三橋隆博士に感謝したい。

文 献

- [1] SEMATECH, et al., "International Technology Roadmap for Semiconductors 2001 Edition", ITRS Web page (<http://public.itrs.net>).
- [2] システムLSI設計技術研究会, 設計自動化研究会 30周年記念誌, 情報処理学会, 東京, 2001.
- [3] 田丸, 吉田他, "グラフィックディスプレイによるオンライン集積回路設計システム", 信学論(D), vol.55-D, no.9, Sept. 1972.
- [4] 吉田, 大田, "モノリシックICの移送幾何学的配置", 信学論(C), vol.52-C, no.12, Dec. 1969.
- [5] K. Yoshida and T. Mitsuhashi, "A Layout Checking System for Large Scale Integrated Circuits", Proc. 14th DA Conf., pp. 322-330, June 1977.
- [6] T. Mitsuhashi and K. Yoshida, "An Integrated Mask Artwork Analysis System", Proc. 17th DA Conf., pp.277-284, June 1980.
- [7] T. Mitsuhashi, et. Al, "Programs for Verifying Circuit Connectivity of MOS/LSI Mask Artwork", Proc. 19th DA Conf., pp.544-550, June 1982.
- [8] 山田他, "VLSI設計用CADシステム", 東芝レビュー, vol.45, no.11, pp.852-855, Nov. 1990.
- [9] Si2, "Universal Data Model", Si2 Web page (<http://www.Si2.org/udm/>).