

センサ信号処理用機能再構築型システムの構成と制御方式

浅見 廣愛[†], 吉子 尚志[†], 高橋 勝己[†], 白井 隆三郎[†], 佐藤 裕幸[†]

† 三菱電機(株),

〒247-8501 神奈川県鎌倉市大船5丁目1番1号

tel. 0467-41-2526 , e-mail : hiroai@isl.melco.co.jp

最新 FPGA を使用したセンサ信号処理用の汎用機能再構築型のシステムを検討・開発した。本システムは、VME 基板上に Xilinx 社の FPGA である Virtex-II Pro 50 を 5 個搭載した機能再構成可能なシステムであり、受信機等から送られてくるデータをリアルタイムで処理可能な構成になっている。信号処理に特化してパイプライン処理を意識し、メモリ/インタフェース用の FPGA と演算処理用の FPGA に機能を分割し、各 FPGA を 32bit の信号線 8 本で接続する構成とした。メモリは 1MByte の同期 SRAM を合計 10 個搭載し、ボード間通信用に 10Gbps のインタフェースを設けた。基板の制御には、Virtex-II Pro に搭載されている PowerPC を活用する。センサ信号処理への適用例として、SAR 画像再生処理への適用検討を行った。

A Reconfigurable System for Sensor Signal Processing

Hiroai Asami, Hisashi Yoshiko, Katsumi Takahashi, Ryuzaburo Usui, Hiroyuki Sato

Mitsubishi Electric Corp.

address: 5-1-1 Ofuna, Kamakura, Kanagawa 247-8501, Japan

tel.0467-41-2526 , e-mail : hiroai@isl.melco.co.jp

We examined a general-purpose reconfigurable system for sensor signal processing used newest FPGA. This system contains five Xilinx Virtex-II Pro 50 FPGAs on the VME board, and can process the data sent from a receiver on real time. In consideration of signal processing, pipeline processing is performed between FPGAs for memories/interfaces and FPGAs for operation, and each FPGA is connected by eight 32-bit signal lines. A total of ten synchronous SRAM of 1M-byte is connected to FPGAs for memories, and a 10Gbps interface is prepared in communication between boards. PowerPC carried in Virtex-II Pro is utilized for control of a system. As an example of application to sensor signal processing, we estimated SAR processing time on our system.

1 はじめに

FPGA(Field Programmable Gate Array)は、最新デバイステクノロジーの適用により高速化・大規模化の進展が著しく、その利便性・柔軟性と処理性能の高さから、特に信号処理や画像処理等の分野で幅広く利用されている。我々はFPGAの特性に注目し、複数のFPGAを使用した可変構造型計

算機として、FPGAベース並列マシンRASH (Reconfigurable Architecture based on Scalable Hardware) を開発し [1][2]、DES(Data Encryption Standard)を始めとする秘密鍵暗号の鍵探索処理が高速に行えることを実証した[3]。また、合成開口レーダ(SAR, Synthetic Aperture Radar)の画像再生処理への適用検討等を行った [4]。

デバイステクノロジーの進歩により FPGA は大規模・高速化しているだけでなく、ハードコアの CPU や乗算用の DSP(Digital Signal Processor) 等も搭載されるようになり、従来 FPGA が不得意とされた浮動小数点演算や、複雑な分岐命令も十分処理可能となった。我々は、RASH での開発経験を踏まえて、これらの新たなデバイスを用いて、主にセンサ信号処理を目的とした機能再構築型システムについての検討・開発を行った。

センサ信号処理では、センサから連続的に送られてくるデータを決められたアルゴリズムで処理することが求められる。このため、本システムでは、複数の FPGA に機能を分割してパイプライン的な処理ができるような構成となっている。また、センサ信号処理という処理内容と運用性を考慮して、各 FPGA 内部に搭載する回路の機能を限定することで回路設計等のコスト・時間を抑えるようにした。

また、検討したシステム上での SAR 画像再生処理のフローや制御についての検討を行い、処理時間の見積もりを行った。これらの検討結果と我々が以前開発した RASH との性能比較を行い、十分な性能が得られることを確認した。

本稿では、このセンサ信号処理用機能再構築型システムの構成と、SAR 画像再生処理の適用検討について報告する。

2 システム構成

本システムは VME(Versa Module European) 基板 (6U サイズ:233.35mm×160mm) を使用した演算ボードを基本構成要素としている。演算ボードには、Xilinx 社の SRAM タイプの FPGA である Virtex-II Pro 50-5(1152 ピン Flip-Chip Fine-Pitch BGA)が 5 個搭載されている (図 1 参照)。

5 個の FPGA の内、1 個を制御用 (以降 PCU:Processing Control Unit と呼称)、2 個を演算用 (以降 SPE:Signal Processing Element と呼称)、残り 2 個をメモリ制御・外部インターフェース用 (以降 DMU:Data Management Unit と呼称) として使用する。ただし、DMU は、内部回路の変更により演算用として使用することも可能である。PCU から、各 FPGA には、制御用に 32bit のバスが接続されている。また、データ転送用として 32bit×8 本のバスが DMU-SPE 間を、32bit×3 本のバスが PCU-SPE 間を接続している。

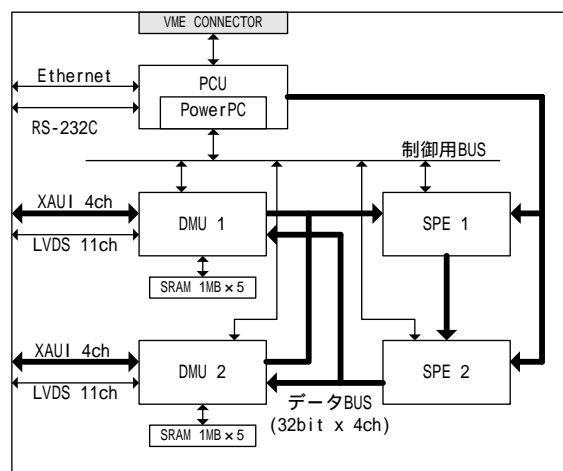


図 1 システムのボード構成

DMU-SPE間のバスでは、図1の様に2つのDMUからSPE1に4本のバスが接続され、SPE2から2つのDMUに4本のバスが接続される。また、SPE1とSPE2の間は32bit×4本のバスで接続されており、DMU SPE1 SPE2 DMUの流れでパイプライン的な処理が可能である。

DMUには、外部インターフェース用に、XAU1 (10Gigabit Attachment Unit Interface)を4ペア (3.125Gbps×4) と、LVDS(Low Voltage Differential Signaling)インターフェースを11ペア設けた。これらのインターフェースを使用することで、複数の基板で並列・パイプライン処理が可能な構成となっている。また、各DMUにはデータ保持用に1MByteの同期SRAMが5個接続されている。このため、DMUはメモリから同時に最大32bit×5個のデータを取り出すことが可能である。

PCUにはRS-232CとEthernetコネクタが接続されており、外部のPC等から制御やデバッグができるように考慮してある。Virtex-II Pro 50には、ハードコアのCPUとして2個のPower PC 405コアが搭載されている。PCUでは、制御用としてこれらのCPUを使用する。また、複雑な演算などが必要となる場合には、SPEやDMUのPower PCを使用することも可能である。

3 SAR 画像再生処理

SARは、雲霧等の天候に左右されず、高い分解能で地表を撮像することができるセンサである[5]。SARでは、飛行機等のプラットフォームからマイクロ波を送信し、反射波が返ってくるま

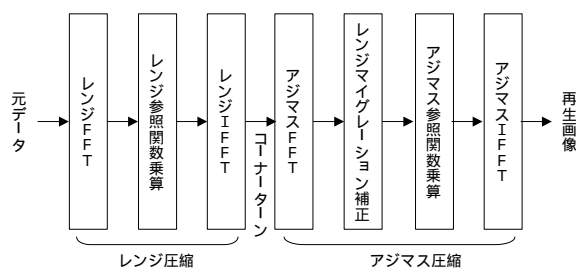


図2 SAR 画像再生処理の一例

での時間・強度から対象物体までの距離情報を測定する。測定したデータを SAR 画像再生と呼ばれる処理で重ね合わせるにより画像を人間が見える形に再生する。

SAR 画像再生のアルゴリズムは種々提案されているが、ここでは最も一般的に使用されている、レンジ ドップラーアルゴリズム[5]を対象とする。このアルゴリズムの基本的な処理の流れを図2に示す。レンジ ドップラーアルゴリズムは、アジマス方向(プラットフォーム進行方向)とレンジ方向(アジマス方向に対して垂直な方向)の受信データそれぞれに、参照関数と呼ばれる送信波を表すデータとの相互相関をとることにより2次元ホログラムを得る処理である。

相互相関処理には単純に乗算を行う方法(時間領域処理と呼ぶ)とFFT(Fast Fourier Transformation)を用いる方法(周波数領域処理と呼ぶ)があるが、図2のようにFFTを用いて周波数領域処理で行う方が一般的であり演算量が少なくすむ。

4 回路構成と制御

以下では、本システムの SAR 画像再生処理を例にして、回路構成と制御手法について説明する。

4.1 回路構成

本システムでは、各 FPGA は様々なセンサ信号処理に応じて多様な回路構成をとることが可能である。しかし、各処理毎に異なる回路構成をとるよりも、できるだけ同一の回路構成で各処理を行えるようにしたほうが、回路設計のコストと時間を抑えることができる。また、回路のデバッグやシミュレーションの手間を減らすという点からもコスト削減につながる。このため、本システムでは、PCU、SPE、DMU を以下のような汎用的な構成とした。また、図3にインタフェース部分を省略した回路構成の概略を示す。

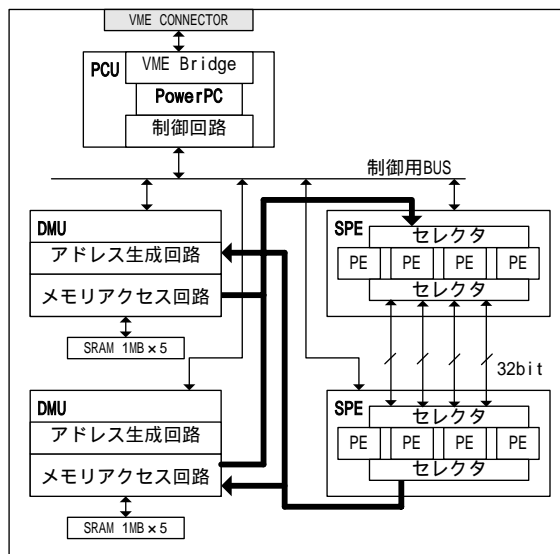


図3 回路構成の概略

・ PCU

FPGA に内蔵されている PowerPC を基板全体を制御するための制御 CPU として使用する。また、VME バスブリッジ回路と、Ethernet、RS-232C 用のインタフェース回路を搭載し、外部からの制御やデバッグを受け付ける。PowerPC から制御用バスを解して、各 SPE、DMU へ制御命令が送られる。

・ SPE

FPGA 内部に演算用として 4 個の PE(Processor Element)を搭載する。各 PE は乗算器 4 個、ALU(Arithmetic and Logical Unit)、シフタ、レジスタ等を持つ。乗算器は FPGA 内蔵の乗算用 DSP を使用しており、組み合わせることで複素乗算器や、FFT 用のバタフライ演算器としても機能する構成となっている。また、FPGA 内部で複数の PE をつなぎ合わせ、パイプライン処理を行うことも可能である。また、各 SPE には、PCU からの制御命令を受けて、各 PE での処理や PE 間の接続構成を制御する回路が搭載される。

・ DMU

メモリアクセス用回路、XAUI や LVDS のための外部インタフェース用回路と、メモリアドレス生成回路をもつ。また、メモリアドレス生成回路は連続アドレスの生成だけでなく、FFT の際の離散的なアドレスの生成等も行う。SPE と同様の制御回路が搭載される。

4.2 制御方式

本システムでは、以下のような階層で制御を行う。

- 1) PowerPC(PCU)
- 2) 制御回路(PCU)
- 3) 制御回路(各 PE)

ボード全体の制御を行う PCU の PowerPC では制御用プログラムが処理され、各処理の命令を PCU の制御用回路に送る。PCU 制御用回路では、命令をブロック単位の制御用コードに変換し、制御用 BUS 経由で各 PE の制御回路に転送する。PE 制御回路では、転送された制御用コードから制御用信号を生成し、各 PE の機能や PE 間の接続の切り替え等の制御を行う。このような制御を行うことにより、数クロックで PE の機能の切り替えや、PE 間の接続構成の変更ができる構成になっている。

5 適用検討

3章で示した SAR 画像再生処理について、本システムの4章の構成での処理時間の見積もり検討を行った。今回、SAR 画像の元データは DMU に接続されているメモリに格納されているものとし、メモリに収まるデータサイズとして、以下の条件で検討を行った。

- 1) SAR の元データのサイズはレンジ方向 1K ポイント、アジマス方向 1K ポイント
- 2) 各ポイントは実数部 16bit、虚数部 16bit
- 3) 各回路、メモリアクセス時の動作周波数は 64MHz

表 1 に各処理での演算時間を示す。本システムでは、DMU にメモリアクセスの際のアドレス生成回路があり、離散的なアドレスアクセスも高速に処理できる構成になっている。SAR 画像再生処理では、2 次的に配列されるデータに対して、レンジ方向の処理を行った後、それと垂直な方向であるアジマス方向にデータアクセスを行う必要がある。このため通常は、処理の高速化のために 2 次的に配列されたデータを転置する(入れ替える)コーナーターンと呼ばれる処理を行う。本システムでは、離散的なアドレスアクセスであっても高速に処理できるため、コーナーターンの処理は不要であり、処理時間は 0 とみなせる。

また、図 4 に SAR 画像再生処理における FFT 処理時の処理の流れの 1 例を示す。FFT の処理を

表 1 SAR 画像再生処理時間の見積もり

回路	処理時間
レンジ FFT	20.5ms
レンジ参照関数乗算	4.1ms
レンジ IFFT	20.5ms
コーナーターン	0ms
アジマス FFT	20.5ms
レンジマイグレーション補正	4.1ms
アジマス参照関数乗算	4.1ms
アジマス IFFT	20.5ms
処理時間合計	94.3ms

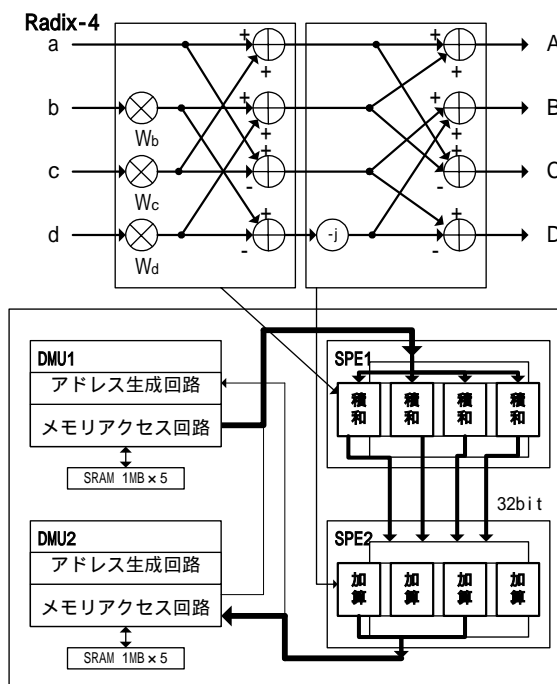


図 4 FFT 処理の流れ

表 2 大容量 FPGA での処理性能

	本システム	RASH
使用 FPGA	Virtex-II Pro 50	FLEX10K100A
性能	94.3ms	2 秒
動作周波数	64MHz	40MHz
FPGA 使用個数	5 個	8 個
論理素子合計	265,680	39,936
メモリ	同期 SRAM 1MByte x 10	SDRAM 128MByte x 4
バス構成	32bit x 8	32bit x 1

行う場合には、PE x 8 個を使って、Radix-4 バタフライ演算 1 系統、または Radix-2 バタフライ演算 2 系統を構成する。

図4では、PEを8個使用して、Radix-4 バタフライ演算器を構成している。DMU1から32bitのデータ4個を同時に取り出し、各々のデータに対して各PEで回転子 W^n の乗算を行う。SPE1からSPE2にデータを送る際にデータの入れ替えを行う。SPE2で加減算の処理を行い、処理したデータをDMU2のSRAMに書き込む。FFTの次のパスの処理を行う場合は、DMU2 SPE1 SPE2 DMU1の順に上記と同様の処理が行われる。

また、表2に従来我々が開発したRASHとの性能等の比較を示す。RASHでも、上記と同様の処理を行った場合についての検討を行い、処理時間の見積もりを行った。RASHの演算ボード1枚にメモリデータカードを2枚搭載した構成で検討を行っている。

使用するFPGAの違いだけでなく、メモリやバス構成も異なるため単純な比較はできないが、本システムでは、20倍以上の性能が得られている。FPGAの性能差以上に、パイプライン処理に特化した構成やメモリアクセス用のDMUが処理性能の向上に大きく影響している。

6 おわりに

Xilinx社の最新FPGAであるVirtex II Proを用いたセンサ信号処理用機能再構築型システムの構成と制御について報告した。

本システムでは、センサ信号処理における高速化と運用性の向上を目的としている。大容量のFPGAを使用し1つのFPGA内に複数のPEを搭載すること、演算用FPGAとメモリアクセス用FPGAに機能を分割しパイプライン処理に特化した構成にすることで、基板1枚当りの演算性能の向上を目指している。センサ信号処理では、センサからのデータが常に送られてくるため、レイテンシよりも、スループットが要求される。このため、上記のようなパイプライン構成が有利であると考えられる。

また、運用性の向上のため、PEの機能を固定化し、各PEの機能やPE間の接続を選択することで機能の自由度を得られる構成にしている。このような構成にすることで、回路設計のコストや時間、デバックやシミュレーションの手間を抑えるようにしている。PEを固定化することで制御用PowerPCからの制御命令も固定化することができ、PEでの機能を組み合わせれば実現できる

ような処理であれば、PowerPC側のプログラムを多少変更することで対応できるようになっている。もし、PEで実現している機能以外の処理や、高い処理性能が要求される場合は、FPGA側の回路やPowerPCのプログラムに手を加えることで対応する。

従来のFPGAの規模は、せいぜい複数個のDSPレベルか、1つのCPUがどうか収まる程度であった。それに対して、最新のFPGAは、100個以上の乗算用DSPと複数個のCPUを搭載した、非常に大規模で高性能なものである。数年前ならば、1枚もしくは複数枚の基板で処理を行っていた機能の回路を、1つのFPGAに納めることが可能になった。このようなFPGAに搭載する回路をゼロから設計・開発するには、多くのコストと時間を必要とする。また、本システムの様に、CPUを用いてFPGAの制御を行う場合には、これらの協調動作を考慮する必要があり、制御S/Wの開発にもコストを必要とする。このため、本システムのように、多少の演算性能を下げることも、一部の機能の回路を固定化したほうが、回路設計や制御等の点からは有効であると考えられる。

本システムは設計が終了し、現在基板の開発を行っている。今後、実機を用いて実際の信号処理による性能評価等を行う予定である。また、今回はSAR画像再生処理に関する検討を行ったが、他のセンサ信号処理への適用検討を行う予定である。さらには、本システムをベースとしたハードウェアとソフトウェアの機能分割や協調動作・協調設計等の検討も行いたいと考えている。

参考文献

- [1] 中島 克人, 森 伯郎, 佐藤 裕幸, 高橋 勝己, 浅見 廣愛, 水上 雄介, 飯田 全広, 新留 勝広, "FPGAベース並列マシンRASHの概要", 第58回情報処全国大会, 1H-08, 1999-3.
- [2] 浅見 廣愛, 佐藤 裕幸, 飯田 全広, 森 伯郎, 中島 克人, "FPGAベース並列マシンRASHのシステム機能と構成", 第58回情報処全国大会, 1H-09, 1999-3.
- [3] 浅見 廣愛, 飯田 全広, 中島 克人, 森 伯郎, "FPGAベース並列マシンRASHでのDES暗号解析処理の改良", 情報処理学会論文誌: ハイパフォーマンスコンピューティングシステム, Vol.41, No.SIG 5(HPS 1), pp.50-57, 2000-8.
- [4] 浅見 廣愛, 水野 政治, 中島 克人, 飯田 全広, 森 伯郎, "FPGAベース並列マシンRASHでのSAR画像再生処理の適用", 情報処理学会研究報告 2001-ARC-144(SWoPP2001), pp.19-24, 2001-8.

- [5] Curlander, J.C. and McDonough, R.N.:
"SYNTHETIC APERTURE RADAR
systems and Signal Processing", John Wiley
& Sons, Inc. (1991).