

キャッシュメモリとメインメモリの 省消費電力モード制御の評価

石川 健一郎[†]

[†]慶應義塾大学 助教 shinzan@mtb.biglobe.ne.jp

キャッシュメモリとメインメモリに省消費電力モードを追加することによりシステムの消費電力削減を目指す手法の研究を行った。キャッシュメモリからデータを読み込む際の特徴と命令を読み込む際の特徴の違いに着目し、異なった制御を行うことにより省消費電力制御による性能の低下を回避する。本研究の手法を用いることにより、単純な制御と比較し省消費電力と高性能の両立を達成することがわかった。

The evaluation of the low power consumption control for cache memory and main memory

KEN-ICHIRO ISHIKAWA[†]

[†]KEIO University Research Assistant E-mail:shinzan@mtb.biglobe.ne.jp

The study of the low power consumption technique for cache memory and main memory is shown. The memory was controlled between low power consumption mode and normal mode: depending on the difference of reading data from memory or reading instructions from memory. By the proposed method, low power and high performance were achieved.

1. はじめに

半導体技術の発達とともにプロセッサ及びそれを含むコンピュータシステムは急速にその処理能力を向上させてきた。しかし、処理能力の向上とともに消費電力が急速に増加し、大きな問題となっている。この問題に対処するため、近年のコンピュータシステムは高い処理能力と低消費電力の両立を主眼に置き、設計されている。

プロセス技術の発達にはプロセッサに高速大容量の2次キャッシュを搭載することを可能にした。また、メインメモリも同様に高速化大容量化している。これらによりコンピュータシステムの性能は向上したが同時に消費電力が増大した。消費電力の増大問題を解決する方法として2次キャッシュメモリもしくはメインメモリに低消費電力モードを設け、アクセスされないことが予想される際に低消費電力モードに切り替えることにより消費電力の低減を図る研究が行われている。これらの研究では低消費電力モードとして、アクセスが不可能だが値を保持するモード、アクセスが不可能かつ値も保持しないモードなどが考えられている。

本研究では2次キャッシュメモリ及びメインメモリにアクセスは不可能だが値を保持するモードがあると仮定し、可能な限り性能を落とさずに省消費電力を目指す。省消費電力モードから通常のアクセス可能なモードへの変更に必要なサイクル数が比較的大きい場合を想定し、消費電力の削減ではなく性能の維持に主眼を置く。本論文は第2章で既存の研究について述べ、第3章で本論文で述べる方式に関して記述し、第4章で評価方法について述べる。第5章で評価の結果について述べ、第6章でまとめる。

2. 既存の研究

キャッシュメモリに省消費電力モードを追加し、省消費電力を目指す代表的な手法としては Drowsy cache[1][2]が挙げられる。Drowsy cache ではキャッシュメモリに値は保持するがアクセスは不可能な省消費電力モード(Drowsy モード)を設ける。キャッシュメモリは通常 Drowsy モードになっており、キャッシュメモリにアクセスがあったとき通常モードに変更され、ア

アクセスが行われる。アクセス後一定サイクルキャッシュメモリは通常モードを維持し、通常モードを維持している間にアクセスがない場合Drowsyモードに戻る。Drowsyモードから通常モードに戻る際1サイクルのレイテンシがあると仮定したとき0.8%程度の性能低下にとどまることが報告されている。

メインメモリに省消費電力モードを追加し、省消費電力を目指す手法としては[3][4]等が挙げられる。[3]ではメインメモリがアクセスされた際アクセスされたアドレスとそのアドレスへのアクセスが行われたインターバルをテーブルに記憶する。そして、テーブルに記憶されたインターバルに応じてメインメモリバンクの通常モード及び省消費電力モードの切り替えを行う。メインメモリにRambus DRAM[5]の使用を想定し、1サイクルで省消費電力モードから通常モードに変更可能と仮定したとき33%程度の性能への影響が報告されている。[4]ではメモリバスの使用率に応じてメインメモリの省消費電力モードと通常モードの切り替えを制御することにより性能を落とすことなく省消費電力を目指している。

3. 提案手法

階層キャッシュ構造を持ったCPUでは多くの実行時間がCPUコアと1次キャッシュメモリのみで動作が完結している。そのため、2次キャッシュメモリ、CPUとメインメモリ間のバス、メモリコントローラやメインメモリなどが消費する必要のない電力を消費している。これらの回路は高速化、大容量化により近年消費電力が増大しており問題視されている。CPUと1次キャッシュメモリで処理が完結することが予想される間、2次キャッシュメモリ、メモリバス、メモリコントローラやメインメモリを省消費電力モードに切り替えることにより性能に対する影響を最小限に抑え、省消費電力を実現することが可能になる。

本研究では2次キャッシュ及びメインメモリにアクセスは不可能だが値は保持する省消費電力モードがあると仮定し、可能な限り性能の低下を防ぎつつ省消費電力モードで動作するサイクル数を増やす事を目標としている。

通常モードと省消費電力モードを切り替える一般的なアルゴリズムとして、アクセスが行われた後一定サイクル通常モードを維持し、アクセスが行われなかった場合に省消費電力モードに戻るアルゴリズムが挙げられる。2次キャッシュもしくはメインメモリに対す

るアクセスは連続する場合が多く、このアルゴリズムにより性能の低下を防ぐことができる。このアルゴリズムを以下*drowsy*と呼ぶ。

既存の一般的なアルゴリズムでは命令の読み込みによるアクセスとデータの読み込みによるアクセスを区別しない。だが、命令の読み込みによるアクセスのパターンとデータの読み込みによるアクセスのパターンは通常異なる。そのため、命令の読み込みによるアクセスとデータの読み込みによるアクセスを区別し、制御を変えることによって、性能低下を防ぎ省消費電力モードで動作するサイクル数を増やすことが可能になると考えられる。本研究ではデータの読み込みによるアクセスと比較し、命令の読み込みによるアクセスは連続する可能性が高いと仮定するアルゴリズムを評価した。命令の読み込みの際にアクセスされるアドレスは多くの場合連続しているので、命令の読み込みによるアクセスは*drowsy*の効果が大きい。だが、データの読み込みによるアクセスは連続するものと連続しないものがあるため*drowsy*の効果は限定的である。そのため、命令の読み込みによるアクセス時には*drowsy*の通常モード維持サイクルを長く取り、データの読み込みによるアクセス時には*drowsy*の通常モード維持サイクルを短く取ることにより性能への影響を抑えつつ省消費電力モードで動作するサイクル数を増やすことが可能になると考えられる。このアルゴリズムを*inst-data*と呼ぶ。

また、メモリからデータを読み込む命令の中には2次キャッシュメモリもしくはメインメモリにアクセスする可能性の高い命令と2次キャッシュメモリもしくはメインメモリにアクセスする可能性の低い命令がある事を利用する事が考えられる。2次キャッシュメモリもしくはメインメモリにアクセスする可能性の高い命令を実行することが予想されたとき、あらかじめ2次キャッシュメモリ及びメインメモリを通常モードに変更することにより性能の低下を防ぐことが可能になる。

実装方法としては各命令ラインに結びつけられたカウンタ群を用意する。命令ラインにデータ読み込み命令が含まれており、そのデータ読み込み命令が2次キャッシュもしくはメインメモリにアクセスした場合、その命令ラインに結びつけられたカウンタに値をセットする。カウンタは結びつけられた命令ラインのデータ読み込み命令が1次データキャッシュにヒットしたときに減算される。また、分岐予想のはずれたとき、実行しているプログラムが次の処理を行い始めたとき、実行しているプログラムが次の処理を行い始めたとき、判断し、カウンタ群を0に初期化する。そして、判別し

使用するカウンタが一定値以上の場合、省消費電力モードから通常モードへの変更に間に合うように通常モードへの変更を始める。例として 10 サイクル省消費電力モードから通常モードに変更するために必要な場合を挙げると 10 サイクル後実行される命令ラインのカウンタを読み、通常モードへの変更を判定することによりデータ読み込みが行われる際に通常モードに移行を完了する事を可能にする。このアルゴリズムを *campia* と呼ぶ。

4. 評価

本論文では評価する CPU は省消費電力モードから通常モードに移行するために 2 次キャッシュメモリは 10 サイクル、メインメモリは 20 サイクル必要であると仮定した。近い将来の CPU が 4GHz 程度の動作周波数を持つと見積もり、Rambus DRAM が standby mode から通常モードへ 5ns でモード変更可能なことからメインメモリは $5\text{ns}/(1/4\text{GHz})=20$ サイクル、2 次キャッシュメモリはその半分の 10 サイクルとした。

表 1 : sim-outorder 設定

Stages	5(Fetch, Dispatch, Issue, Execute, Write back)
Integer ALU	4(1 multiplier / divider)
Floating Point ALU	4(1 multiplier / divider)
Load/Store Unit	2
L1 Data Cache Size	16Kbytes(32Bytes/entry)
L1 Data Cache Control	4way-set associative
L1 Data Cache Latency	1 cycle latency
L1 Inst. Cache Size	16Kbytes(32Bytes/entry)
L1 Inst. Cache Control	Direct Map
L1 Inst. Cache Latency	1 cycle latency
L2 Unified Cache Size	256Kbytes(64Bytes/entry)
L2UnifiedCacheControl	4 way-set associative
L2UnifiedCacheLatency	6 cycle latency
Main Memory Latency	18 cycle latency

提案手法を評価するため、CPU シミュレータを用いてベンチマークプログラムを実行した。

CPU シミュレータとして SimpleScalar-3.0d の sim-outorder を使用した。sim-outorder は Out Of Order 発行 Out Of Order 実行の 4 命令同時発行 4 命令同時実行可能な CPU シミュレータである。sim-outorder の基

本的な設定はデフォルトのものをを用いた(表 1)。

この sim-outorder を改造し、2 次キャッシュメモリ、メインメモリそれぞれに

1. 通常モードであるのか省消費電力モードであるのかを示すフラグ(dl2_mode_flag, mem_mode_flag)
2. 省消費電力モードから通常モードへの移行が後何サイクルで完了するのかを示すカウンタ(dl2_trans_counter, mem_trans_counter)
3. 後何サイクル通常モードを維持するのかを示すカウンタ(dl2_normal_counter, mem_normal_counter)
4. campia の判定に使用するカウンタ群(campia_counter)

を追加した。

2 次キャッシュメモリもしくはメインメモリへのアクセスが行われると mode_flag をチェックし、2 次キャッシュメモリへのアクセスの場合、メインメモリへのアクセスの場合、それぞれ、

通常モードの場合のレイテンシ：

L2 Unified Cache Latency

Main Memory Latency

省消費電力モードのレイテンシ：

L2 Unified Cache Latency + 10

Main Memory Latency + 20

省消費電力モードから通常モードへモード変更中のレイテンシ：

L2 Unified Cache Latency + dl2_trans_counter

Main Memory Latency + mem_trans_counter

のレイテンシによりメモリへのアクセスが行われる。2 次キャッシュメモリにアクセスが行われると dl2_mode_flag、dl2_trans_counter、dl2_normal_counter がそれぞれセットされる。省消費電力モードから通常モードへ移行中の場合は、dl2_trans_counter はそのままとする (値はセットされない)。dl2_normal_counter にセットされる値が現在の dl2_normal_counter よりも小さい場合 (値をセットすることによって通常モードを維持する時間が短くなってしまう場合) はそのままとする (値はセットされない)。メインメモリにアクセスが行われた場合の mem_mode_flag、mem_trans_counter、mem_normal_counter も同様とする。

campia_counter は 256 エントリ持つ。各エントリはダイレクトマップ方式で命令ラインと結びつけられている。データ読み込み命令により 2 次キャッシュメモリもしくはメインメモリへアクセスがあった場合、そのデータ読み込み命令を含む命令ラインと関連づけられている campia_counter に 32 がセットされる。データ読み込み命令が 1 次キャッシュメモリにヒットした場

合、そのデータ読み込み命令を含む命令ラインと関連づけられている `campia_counter` が 1 デクリメントされる。また、分岐命令の分岐予想が外れた際にすべての `campia_counter` は 0 にリセットされる。`campia` の評価では、その命令ラインが実行されることが予想される 11 サイクル前にその命令ラインと結びつけられている `campia_counter` が評価され、`campia_counter` が 1 以上の時 `dl2_mode_flag` に省消費電力モードから通常モードへ移行中であることが書かれ、`dl2_trans_counter` には 10 が、`dl2_normal_counter` には 15 がセットされる。

本論文では予備調査として以下のパターンについて評価を行った。

1. `default`
2. `normal`
3. `drowsy-50`
4. `drowsy-100`
5. `drowsy-200`
6. `drowsy-300`
7. `drowsy-400`
8. `inst-200-data-50`
9. `inst-200-data-50-campia`

`default` は 2 次キャッシュメモリ及びメインメモリが省消費電力モードにならないパターンである。省消費電力モードを持たない通常のプロセッサの評価となる。

`normal` は 2 次キャッシュメモリもしくはメインメモリにアクセスがあったとき省消費電力モードから通常モードになり、アクセスが終了する次のサイクルまで通常モードを維持する。通常モードを維持するサイクルを最小限に抑え、2 次キャッシュメモリもしくはメインメモリへ連続してアクセスがあったときのみ通常モードを維持し続けるパターンである。

`drowsy-<値>` は 2 次キャッシュメモリもしくはメインメモリにアクセスがあったとき省消費電力モードから通常モードになり、<値> サイクル通常モードを維持

するパターンである。

`inst-<値1>-data-<値2>` は 2 次キャッシュメモリもしくはメインメモリにアクセスがあったとき省消費電力モードから通常モードになり、命令の読み込みであった場合は <値1> サイクル、データの読み込みの場合は <値2> サイクル通常モードを維持するパターンである。

`campia` が付加されているパターンはそのパターンによる通常モードへの移行、通常モードの維持に加え、`campia` による通常モードへの移行、通常モードの維持が行われる。

評価基準として

- 実行サイクル数を `normal` のそれで割ったもの (`sim_cycle`)
- 2 次キャッシュメモリが通常モードを維持しているサイクル数を `normal` のそれで割ったもの (`dl2_active`)
- メインメモリが通常モードを維持しているサイクル数を `normal` のそれで割ったもの (`mem_active`)
- 2 次キャッシュメモリから命令を読み込む際、通常モードもしくは省消費電力モードから通常モードへ移行中であった回数 (`dl2_inst_hit`)
- 2 次キャッシュメモリから命令を読み込む際、省消費電力モードであった回数 (`dl2_inst_miss`)
- 2 次キャッシュメモリからデータを読み込む際、通常モードもしくは省消費電力モードから通常モードへ移行中であった回数 (`dl2_data_hit`)
- 2 次キャッシュメモリからデータを読み込む際、省消費電力モードであった回数 (`dl2_data_miss`)
- メインメモリから命令を読み込む際、通常モードもしくは省消費電力モードから通常モードへ移行中であった回数 (`mem_inst_hit`)

表 2 :MIBENCH による評価(その 1)

	<code>sim_cycle</code>	<code>dl2_active</code>	<code>mem_active</code>
<code>default</code>	100.00%	100.00%	100.00%
<code>normal</code>	113.20%	52.52%	0.89%
<code>drowsy-50</code>	101.88%	62.06%	1.89%
<code>drowsy-100</code>	100.72%	68.81%	2.69%
<code>drowsy-200</code>	100.42%	76.49%	3.68%
<code>drowsy-300</code>	100.33%	81.86%	4.53%
<code>drowsy-400</code>	100.15%	85.71%	5.24%
<code>inst-200-data-50</code>	100.58%	71.96%	2.04%
<code>inst-200-data-50-campia</code>	100.05%	83.17%	2.04%

表 3: MIBENCH による評価 (その 2)

	dl2 inst hit	dl2 inst miss	dl2 data hit	dl2 data miss	mem inst hit	mem inst miss	mem data hit	mem data Miss
normal	51398217	164319055	22055688	35135698	93491	693073	278713	5054679
drowsy-50	654764317	23182087	46888331	10247929	488396	237226	2127295	3206075
drowsy-100	663921205	8626273	51186202	6000213	590447	146153	3939153	1394201
drowsy-200	672518704	5428858	53987837	3198832	626502	96994	4168335	1164992
drowsy-300	673336662	4610879	55501337	1685350	646987	79622	4356425	976904
drowsy-400	675682241	2263371	56296814	889824	657716	68944	4544291	789040
inst-200-data-50	671572211	6374785	47772501	9414122	597538	129064	2168509	3164850
inst-200-data-50-campia	675700895	2246572	54973508	2213070	597463	129145	2137446	3195938

- ・ メインメモリから命令を読み込む際、省消費電力モードであった回数(mem_inst_miss)
- ・ メインメモリからデータを読み込む際、通常モードもしくは省消費電力モードから通常モードへ移行中であった回数(mem_data_hit)
- ・ メインメモリからデータを読み込む際、省消費電力モードであった回数(mem_data_miss)

を評価対象とした。

5. 評価

4 章で挙げた 9 パターンについて評価を行った。ベンチマークプログラムとして MIBENCH を改造したものを用いた。MIBENCH から aes, basicmath, bf, bitcnts, gs, ispell, jpeg, lame, qsort, search, sha, susan, tiff の 13 種類 42 パターンを用い、評価を行った。

結果を表 2 に示す。mem_active が非常に小さな値を示しているのは MIBENCH が比較的軽いベンチマークプログラムであるため、メインメモリをアクセスする回数が少ないためである。

drowsy において通常モードを維持するサイクル数が多くなることにより性能が向上していくが、通常モードを維持するサイクル数が多くなるにつれ性能の向上が緩やかになってくる。

inst-200-data-50 は drowsy-100 と drowsy-200 の中間の性能を示している。inst-200-data-50-campia は drowsy-400 と比較し、2 次キャッシュメモリ及びメインメモリが通常モードもしくは省消費電力モードから通常モードへ移行中であるサイクル数が少ないにもかかわらず性能は向上している。

表 3 に詳しい解析結果を示す。drowsy-50, drowsy-100,

drowsy-200 と inst-200-data-50 の比較から明らかのように性能にもっとも影響を与えるのは命令を 2 次キャッシュメモリに読みに行った際にヒットする確率である。アウトオブオーダー型 CPU のため、データ読み込み時のレイテンシが増大する問題はデータ読み込みを行う命令と依存関係を持たない命令を実行することによりある程度カバーされるが、命令読み込み時のレイテンシが大きくなる問題はカバーされない。そのため、命令読み込み時に省消費電力モードであるのか通常モードであるのか直接性能に影響を与える結果となっている。campia を用いることによりデータ読み込み時に 2 次キャッシュメモリが通常モードになっている確率が向上しているが、同時に命令読み込み時に 2 次キャッシュメモリが通常モードになっている確率も向上している。drowsy-400 と比較するとデータ読み込み時に 2 次キャッシュメモリが通常モードになっている確率が向上していることではなく命令読み込み時に 2 次キャッシュメモリが通常モードになっている確率が向上していることの方が性能に対するインパクトは大きいことが推測される。

6. まとめ

2 次キャッシュメモリ及びメインメモリに省消費電力モードを追加し、可能な限り性能を落とさずに消費電力を下げる研究を行った。今後は SPECcpu2000 を用いて本格的な評価を行いたい。

参考文献

- 1) K. Flautner, N. Kim, S. Martin, D. Blaauw and T.

- Mudge, "Drowsy Caches: Simple Techniques for Reducing Leakage Power," International Symposium on Computer Architecture, pp. 148-157 (2002)
- 2) NS Kim, K Flautner, D Blaauw and T Mudge, "Drowsy instruction caches. Leakage power reduction using dynamic voltage scaling and cache sub-bank prediction," IEEE/ACM International Symposium on 35th Annual Microarchitecture, pp. 219-230 (2002)
- 3) Wei-Cheng Lin and Chung-Ho Chen, "An energy-delay efficient power management scheme for embedded system in multimedia applications," Proceedings. The 2004 IEEE Asia-Pacific Conference on Circuits and Systems, pp. 869-872 (2004).
- 4) Ning-Yaun Ker and Chung-Ho Chen, "An effective SDRAM power mode management scheme for performance and energy sensitive embedded systems," Proceedings of the 2003 conference on Asia South Pacific design automation, pp. 515 – 518 (2003)
- 5) 128/144-MBit Direct RDRAM Data Sheet, Rambus Inc., May (1999)