

高性能と低消費電力を両立する可変パイプライン構造の 再構成デバイスへの適用

秋田 直己^{†1} 佐々木 敬泰^{†1}
大野 和彦^{†1} 近藤 利夫^{†1}

近年、モバイルコンピューティングからハイパフォーマンスコンピューティングに至るまで、幅広い分野において低消費エネルギーと高性能の両立が要求されており、様々な手法が検討されている。著者らはその一手法として可変パイプライン段数アーキテクチャ(VSP)を提案している。VSP (Variable Stages Pipeline) はパイプライン段数を動的に変化させ、同時にグリッチの緩和を行うことで、高性能と低消費電力の両立を実現できる。

本稿では、このVSPの再構成デバイスへの適用を試みる。再構成デバイスはASICと比べ製造コスト的にも安価であり、最先端半導体プロセス技術によりトランジスタの集積度も向上しつつあるため、その使用範囲は拡大してきている。VSPの要素技術であるLDS-Cell (Latch-DFP-Selector Cell) は、グリッチの緩和のためにその動作をD-FFまたはD-Latchとして切り替えるが、低電力化のため特殊な構成になっており、再構成デバイスを用いて効率的にVSPをマッピングするのは困難である。そこでLDS-Cellを再構成デバイスに直接組み込むことによりVSPを適用可能にし、評価を行い、再構成デバイスへのVSPの適用の有効性を示す。

The Application of changeable pipeline steps architecture to Reconfigurable devices

NAOKI AKITA,^{†1} TAKAHIRO SASAKI,^{†1} KAZUHIKO OHNO^{†1}
and TOSHIO KONDO^{†1}

Recently, in the field of not only mobile computing but also high performance computing, the achievement of low energy computing and high performance computing is required, so various techniques are examined. Authors are proposing changeable pipeline steps architecture (VSP) as one of the methods. VSP (Variable Stages Pipeline) can dynamically change the number of pipeline steps and ease Glitch at the same time, and achieve high performance computing and low energy computing.

In this paper, We propose the method of application of VSP to Reconfigurable devices. Reconfigurable devices is inexpensive in the manufacturing cost compared with ASIC, and semiconductor technologies are advancing. LDS-Cell (Latch-DFP-Selector Cell) is a essential technique of VSP, but it is difficult to mapping VSP at the Reconfigurable devices because of the particular structure of LDS-Cell. We present the Reconfigurable devices with LDS-Cell to find the effectiveness of VSP in Reconfigurable devices.

1. はじめに

近年、モバイルコンピューティングからハイパフォーマンスコンピューティングに至るまで、幅広い分野において低消費エネルギーと高性能の両立が要求されている。現在の汎用プロセッサの代表的な低消費電力手法であるDVS¹⁾は、動的に電源電圧と動作周波数を変化させることで消費エネルギーを削減する。しかし、DVSは将来的に電源電圧の低下による電源電圧変化幅の減少によって消費エネルギーの削減効率が低下することが予想される。また、動作周波数の低下に比例

して性能が低下するという問題点もある。そこで、著者らは電源電圧に依存しない低電力化手法として、アプリケーションの特性やユーザの要求性能に応じてパイプライン段数を動的に変化させることで低消費電力と高性能の両立を目指した可変パイプライン段数アーキテクチャ(VSP: Variable Stages Pipeline)²⁾を提案している。VSPはパイプラインレジスタの代わりにLDS-Cell (Latch-DFP-Selector Cell) という特殊なD-FFを用いることで、動的なパイプライン段数の変更を実現している。

本稿ではこのVSPの再構成デバイスへの適用を試みる。詳細は次節で述べるが、再構成デバイスとは電氣的に何度でも書き換えることが可能なデバイスであ

^{†1} 三重大学大学院工学研究科情報工学専攻
Graduate School of Engineering, Mie University

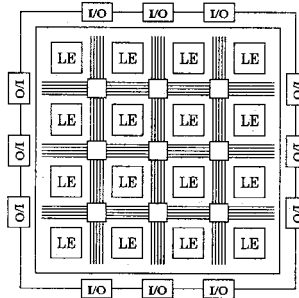


図1 標準的なFPGAのアーキテクチャ

る。粗粒度，細粒度などの違いはあるがASICと比べ製造コスト的にも安価であり，最先端半導体プロセス技術により集積度も向上しつつあるため，その使用範囲は拡大してきている。

VSPはその要素技術としてLDS-Cellというセルを持つ。LDS-CellはD-FFまたはD-Latchとしてその振る舞いをプログラム実行中に変化させグリッチを緩和する。しかし，機能を保ちつつセル自体の消費電力を低減するために特殊な構成をとることにより，再構成デバイスへの適用は困難であった。

そこで再構成デバイスにLDS-Cellを直接組み込むことによりVSPの再構成デバイス上への適用を可能にし，グリッチ緩和による再構成デバイスのさらなる高性能と低消費電力化を目指す。今回は再構成デバイスの中でも広く普及しつつあるFPGA(Field Programmable Gate Array)のモデルを用いて実験，評価を行った。

2. 再構成デバイス

再構成デバイスとは，リコンフィギュレーションという形で，アプリケーションに応じて最適なデバイス構成を取ることの出来るデバイスである。各ベンダから多様な製品が提供されており，Altera社，Xilinx社のFPGA，NEC Electronics社のDRPなどがある。各製品によりデバイスを構成するロジックの最小の単位や，リコンフィギュレーションの方法などが異なる。今回は比較的広く利用されているFPGAをターゲットとする。

FPGAは電氣的に何度でも書き換えることが可能なデバイスである。図1に標準的なFPGAのアーキテクチャを示す。図1に示すようにFPGAは最小の構成単位であるLE(ロジックエレメント)から成る。また，LEはLUT(ルックアップテーブル)とD-FFから成る。このLEを内部配線により組み合わせることによりFPGA上に回路を実現する。

近年では一つのチップに一億を超えるトランジスタを積載するケースがあり，このようなチップを作成す

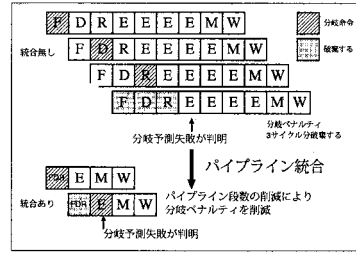


図2 パイプライン段数の変更

る場合，開発コストが増大してしまう。しかし，FPGAを利用することで開発期間，金銭的なコストを大きく削減できることから，近年その需要は拡大してきている。しかしながら，FPGAはASICに比べ消費電力が大きいという短所がある。これらの理由から，FPGAにおける消費電力の低減は必須の試みであるといえる。

3. 関連研究

本節では，プロセッサの低消費エネルギー手法に関連する研究について概括する。現在の代表的な低消費エネルギー手法の一つとしてDVS(Dynamic Voltage Scaling)¹⁾があげられる。DVSは動的に電源電圧と動作周波数を制御することによって消費エネルギーを削減する。しかし，LSIの電源電圧は年々低下しており，将来的に閾値電圧の制御などの問題から電源電圧を低下させることのできる変化幅は小さくなるといわれている。そのためDVSによる消費エネルギーの削減効率低下することになると考えられる。そこで，DVSに代わって，電源電圧に依存しないアーキテクチャレベルの低消費エネルギー手法が多く提案されている。アーキテクチャレベルの低消費エネルギー手法の一つとして，PSU(Pipeline Stage Unification)²⁾やDPS(Dynamic Pipeline Scaling)⁴⁾のように動的にパイプラインステージを変化させる手法がある。これらのプロセッサのパイプライン構造の例を図2に示す。PSUやVSP(Variable Stages Pipeline)の手法は動作周波数に応じて動的にパイプラインステージを統合する。これによって以下の利点がある。

- 分岐ミスペナルティとデータ依存による待ちサイクルの削減によって実行時間を削減することが可能である。
- 使用しないパイプラインレジスタやユニットへのクロックを停止することでその部分の消費エネルギーを削減できる。

以上の利点によって低消費エネルギー化が可能である。また非同期的プロセッサにおいてパイプラインラッチコントローラを制御することでパイプライン段数を削減し，低消費エネルギー化を実現する手法も提案されている⁵⁾。しかしながら，いずれの手法もパイプ

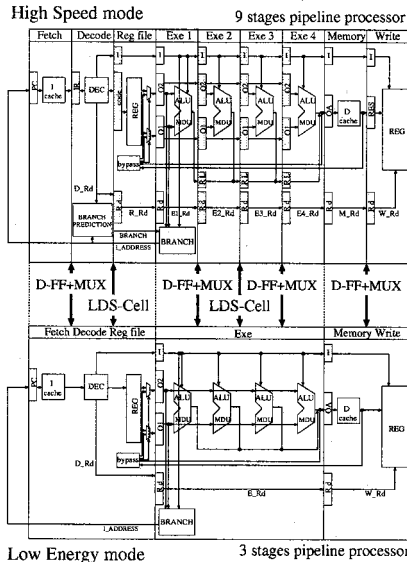


図3 VSPプロセッサの構成図

インを統合することにより、巨大な組み合わせ回路ができ、その結果多大なグリッチが発生することになる。これは、パイプライン結合時に消費電力が増大する一因になり、低電力化の低減に繋がる。そこで著者らはパイプラインステージ統合時に増加する組合せ回路内のグリッチを緩和するLDS-Cellという特殊なセルを用いたVSPを提案している。VSP、グリッチおよびLDS-Cellについては次節で述べる。

3.1 VSP (Variable Stages Pipeline)

VSPはPSUと同様、パイプライン段数を動的に変更することで低消費エネルギー化を目指すアーキテクチャであるが、PSUとは異なり単純にステージ統合を行うのではなく、統合により発生するグリッチの増加をLDS-Cellという特殊なセルを導入することにより抑制している (LDS-Cellの詳細は第3.3節に示す)。図3にVSPプロセッサの構成図を示す。

VSPはパイプライン段数の違いによって高速モードと低消費電力モードの2つのモードを持つ。これら2つのモードの特徴は以下の通りである。

高速モード:

- 9段パイプラインであり、LDS-Cellはパイプラインレジスタとして動作する。
- デコードステージに分岐予測ユニットを搭載しており、分岐ミスペナルティは3サイクルである。
- 無条件分岐は分岐予測ユニットにおいて100%の分岐予測が可能である。
- インターロックと演算結果のフォワーディング機構を搭載している。

低消費電力モード:

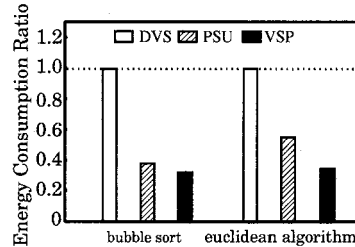


図4 低消費電力モードにおける消費エネルギー比

- 高速モードの1/4の周波数で動作する。
- 遅延分岐、遅延ロード、フォワーディングによって分岐ペナルティやデータ依存によるインターロックが発生しない。
- 分岐予測ユニットやバイパスされて使用しなくなったパイプラインレジスタのクロックを止めることでパイプラインレジスタで消費されるエネルギーを削減することができる。

これら2つのモードによりVSPは、1) バイパスするパイプラインレジスタの停止を含むクロックゲーティングと、2) グリッチ緩和により消費電力を低減する。著者らはこれまでにVSPを詳細設計し、その有効性を示している²⁾。図4に文献2)で行ったDVS, PSU, VSPそれぞれの手法を用いたプロセッサのトランジスタレベルでの、消費エネルギーについて評価を行った結果を示す。ベンチマークプログラムは、10個の整数をバブルソートによってソートする”bubble sort”、ユークリッドの互除法のプログラムである”euclidean algorithm”である。

図4より、VSPは低消費電力モードにおいて従来法よりも消費エネルギーを削減できていることがわかる。一方、紙面の都合上グラフは省略したが、高速モードではVSPとPSUは、DVSと比較してわずかに消費電力が増加した。

3.2 グリッチについて

グリッチは組合せ回路内のゲートの遅延によって各ゲートに入力される信号の時刻がそろっていないために発生する。また、前段で発生したグリッチが後段のゲートに伝播することにより新たなグリッチが発生するため、一般的に組合せ回路の規模が増大するとグリッチの量も増大する。VSPでは統合されたパイプラインステージにD-Latchを挿入することでグリッチ増加を緩和する。D-Latchより前の組み合わせ回路で発生したグリッチをD-Latch以降に伝播させず、D-Latch以降のデータ入力時刻を一致させることができるという効果が得られる。図5にこの効果によって統合されたパイプラインステージでのグリッチの緩和の様子を示す。

ここで、ランダムロジックをゲートで構成した場合、

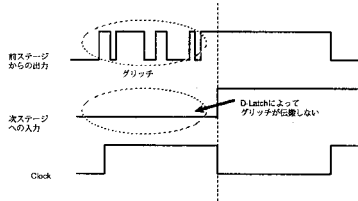


図5 グリッチの緩和

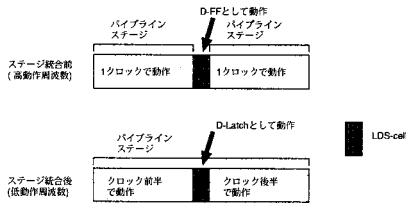


図6 LDS-cell 型パイプラインレジスタの動作

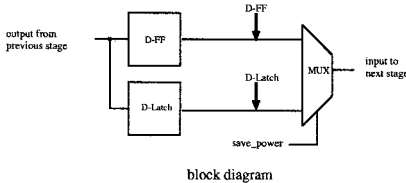


図7 LDS-cell 型パイプラインレジスタの動作の概念図

入力パターンの変化により信号の遷移時間にばらつきが発生し、複雑なグリッチが発生する。一方、再構成デバイスの多くはランダムロジックをLUTで構成している。LUTでランダムロジックを構成した場合のグリッチの発生量やそれによる消費電力増加についてはあまり研究が行われていない。そこで、本稿ではまず再構成デバイスでグリッチの発生がどのような影響を与えるのかを明らかにする。

3.3 LDS-Cell

図6はLDS-Cellの動作の概念図で、LDS-cellがD-FFとD-Latchの両方の役割を果たすことを示している。

LDS-Cell型パイプラインレジスタはパイプラインステージ統合時において図7のようにクロックの前半部分と後半部分において動作を行う。

クロックの前半部分はマスター D-Latch の値が出力されるため、グリッチが含まれる前段の出力が次段の入力へ伝えられない。クロックの後半部分ではスレーブ D-Latch がバイパスされるため、前段の出力が次段の入力へと伝えられてステージ間の統合を実現し、save_power 信号線をアサートすることによってパイプラインレジスタは D-Latch として機能している。非統合時には LDS-Cell 型パイプラインレジスタ

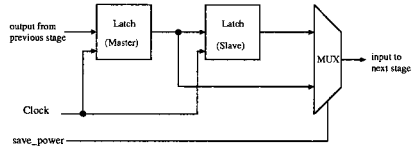


図8 LDS-Cell

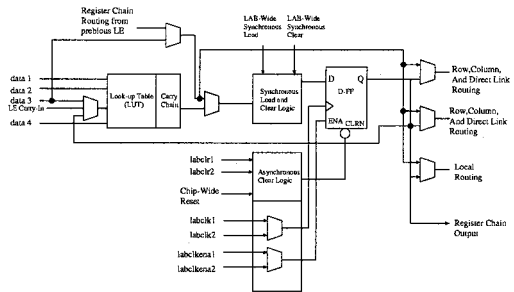


図9 Cyclone III の LE

は save_power 信号線をネゲートすることで D-FF と同じ振る舞いをする。

本稿で用いる LDS-Cell を図8に示す。LDS-Cell は D-FF をベースにして設計されている、というのは、我々がスタンダードセルを用いた設計を前提としており、パイプラインレジスタが D-FF を用いて設計されているプロセッサを想定しているためである。図8の LDS-Cell ではマスター D-Latch から信号線をバイパスすることで、D-FF と D-Latch の動作を切り替える。このセルにより無駄なリソースを使わずに VSP に必要な機能を実現できるが、このような形状を持つセルは再構成デバイスには存在せず、再構成デバイス上に VSP を実現する際の妨げとなってしまう。

4. 提案手法

FPGA 上に LDS-Cell を搭載可能とすることで、FPGA に VSP を適用することが可能となる。具体的には図9のFPGA上のLEに対してLDS-Cellを搭載する。図10に提案手法を示す。LEにはD-FFが組み込まれているが、LDS-Cellはそれ自体が動作の一つとしてD-FFとなることが可能であるため、LE上のD-FFをLDS-Cellに置き換えることで提案手法を実装する。

5. 実験

5.1 VSP を FPGA へ適用した場合の効果

本稿では FPGA の VSP への適用を実現するために、FPGA の LE に対して LDS-Cell を組み込むという手法を提案する。また、提案手法を実装するに先立って、予備実験としてシミュレーションにより FPGA

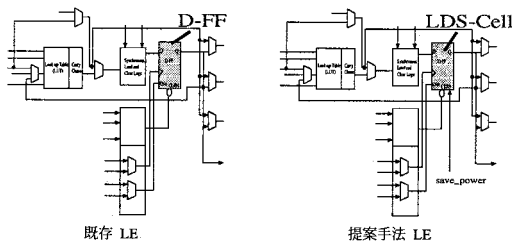


図 10 提案手法

表 1 ターゲットデバイス

Type Name	EP3C25F324C6
Core Voltage	1.2V
LEs	24624
User I/Os	216
Memory bits	608256
Embedded multiplier	132
PLL	4
Grobal clocks	20

上における VSP の有効性を示す。

5.1.1 実験方法

VSP の FPGA への適用の有効性を示すために実験を行う。本稿のターゲットデバイスである FPGA のモデルは Altera 社の Cyclone III を用いる。表 1 にターゲットデバイスの詳細を記載する。

消費電力を重視した Altera 社の FPGA には Stratix III もあるが、こちらは FPGA 上のブロックに対して高速モード、低速モードをブロックごと個別に設定できるプログラマブルパワーテクノロジーという機能をあらかじめ持っている。今回は VSP におけるグリッチの緩和の評価を行いたいため、こちらでは評価は行わなかった。

評価は Altera 社の Quartus II 7.2 を用いてパイプライン型プロセッサを論理合成・マッピングし、シミュレーションにより実行時間・消費電力評価を行う。ベースとなる MIPS R3000 命令互換の 9 段パイプラインステージ構成のプロセッサ (以下、Base プロセッサと呼ぶ)、および Base プロセッサに可変パイプライン構造を適用した PSU、提案手法である VSP をそれぞれ Verilog HDL を用いて実装し、FPGA 上にマッピングした。ただし前述の通り VSP は現状では実装できないため、低消費電力モードのみを想定したプロセッサを用いた。

また、VSP は LDS-Cell および不要ロジックへのクロック停止 (クロックゲーティング) により低電力化をしているが、今回使用した FPGA にはクロックゲーティング機構が存在しない。そのため、評価結果には PSU、VSP ともクロックゲーティングによる電力削減効果は入っていない。

表 2 プロセッサ環境

プロセッサ	実行モード	パイプライン段数	動作周波数
Base	—	9	50MHz
PSU	High_Speed	9	50MHz
	Low_Energy	3	12.5MHz
VSP	High_Speed	9	50MHz
	Low_Energy	3	12.5MHz

表 3 FPGA におけるリソース利用率

プロセッサ	LE 数	レジスタ数	使用ピン数
Base	12797(60.0%)	5369(21.8%)	185(85.6%)
PSU	15973(64.9%)	5470(22.2%)	185(85.6%)
VSP	16035(65.1%)	5297(21.5%)	185(85.6%)

表 4 評価用アプリケーション

アプリケーション名	内容
quick_sort	20 個の整数のクイックソート
meiro8	8 × 8 の迷路を自動生成する
pi	30 桁の円周率を計算
bubble_sort	20 個の整数のバブルソート
euclidean_algorithm	ユークリッドの互除法

今回使用するプロセッサの環境を表 2 に示す。また、Base プロセッサ、PSU プロセッサ、および著者が提案している VSP プロセッサをターゲットデバイス上にマッピングした際のリソース利用率を表 3 に示す。

実行時間の評価、および消費電力解析のためのトレースデータ取得には Synopsys VCS 2006.6 を用いた。また、FPGA のマッピングおよび消費電力解析には Altera Quartus II 7.2 を用いた。表 4 に評価に用いたベンチマークプログラムを示す。より実用的な評価を行う上では SPEC2000 ベンチマークなどを用いるのが望ましいが、計測時間などの都合から、今回は文献 2) で用いた比較的小規模なものを使用した。

5.1.2 実験結果

図 11 にそれぞれのプロセッサにおける動的消費電力の結果を示す。動的消費電力は Base プロセッサに比べ、PSU、VSP の高速モードでは約 12% 増加するが VSP は低消費電力モードでは約 70% の低減となった。これは PSU に比べても約 7% の改善率を見せている。また、図 12 にそれぞれのプロセッサにおける動的消費エネルギーの結果を示す。動的消費エネルギーは Base プロセッサに比べ PSU が約 35%、VSP が約 39% の低減を示した。

5.2 LE の改造に伴う消費電力増加

従来の LE に LDS-Cell を適用した場合、D-FF と D-Latch の切り替え回路追加により消費電力が増加する可能性がある。そこで本節では LE の改装に伴う消費電力増加に関する評価を行う。具体的には LDS-Cell を搭載した LE を詳細設計し、シミュレーションを行うことにより従来の LE と消費電力を比較する。

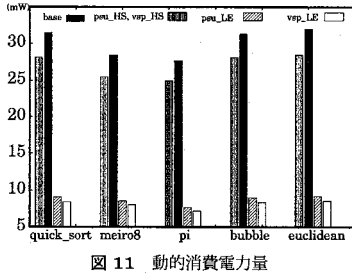


図 11 動的消費電力量

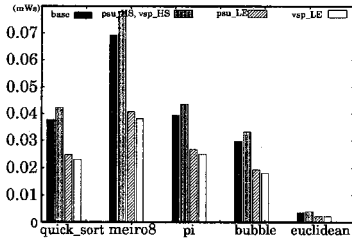


図 12 動的消費エネルギー量

表 5 LE 単体の消費電力評価

Version	消費電力 (μW)
Normal.LE	2.387952e-01
Proposal.LE	2.387952e-01

5.2.1 実験方法

Cyclone III の LE と同等の機能を持つ LE を Rohm0.18 のテクノロジーを用いて詳細設計し、従来の D-FF を用いた場合と LDS-Cell を適用した場合の消費電力評価を行う。評価は Synopsis NanoSim 2006.6 を使い、Cyclone III の LE、提案手法の LE に対してそれぞれ数百サイクルのシミュレーションを行った。

5.2.2 実験結果

表 5 に Cyclone III および提案手法の LE の消費電力に関する実験結果を示す。提案手法および従来の LE の消費電力に差は現れなかった。これは LDS-Cell が D-FF に比べ、わずかなトランジスタの増加のみで実装できることによるものである。また、180nm プロセスではリーク電流はそれほど問題にはならないが 90nm プロセス以降はリークを考慮する必要がある。しかし、トランジスタの増加は LE 全体の 1%程度であり、リークによる消費電力の増加は極めて少ないものであると考えられる。このことから極めて少ないペナルティで FPGA 上に LDS-Cell を実装できるといえる。

6. まとめ

FPGA における VSP の有効性を示すため、Base

プロセッサ、PSU プロセッサ、VSP プロセッサ (VSP は低消費電力モードのみ) を FPGA 上にそれぞれ実装し、Quartus II シミュレーションにより消費電力を見積もった。また、VSP を FPGA 上に適用可能にするため FPGA の LE に LDS-Cell を組み込む手法を提案、詳細設計をして NanoSim で消費電力評価を行った。その結果、VSP を FPGA に適用した際も動的消費電力削減の効果はあったといえる。

今後の予定としては静的消費電力も考慮に入れた消費電力の評価および、FPGA 上の VSP におけるクロックゲーティングに関する考察が必要である。また、Altera 社のもう一つの低消費電力 FPGA のモデルの Stratix III が DVS とほぼ同機能を有している。FPGA 上における PSU に対する VSP の優位性は示すことができたので、Stratix III を用いて FPGA 上における DVS と VSP の性能の比較が必要である。

謝 辞

本研究の一部は科研費補助金 (19700042) の援助を受けている。また、LSI 設計は東京大学大規模集積システム設計教育研究センターを通じ、シノプシス株式会社およびローム株式会社の協力で行われたものである。

参 考 文 献

- 1) J. Pouwelse, K. Langendoen, and H. Sips: Dynamic voltage scaling on a low-power microprocessor, 7th ACM Int. Conf. on Mobile Computing and Networking (Mobicom), pp.251-259, (July 2001).
- 2) 市川 裕二, 佐々木 敬泰, 弘中 哲夫, 谷川 一哉, 北村 俊明, 近藤 利夫: 可変パイプラインを用いた低消費エネルギープロセッサの設計と評価, 情報処理学会論文誌 (コンピューティングシステム), Vol.47, pp.231-242, (2006 年 5 月).
- 3) 嶋田 創, 安藤 秀樹, 島田 俊夫: パイプラインステージ統合とダイナミック・ボルテージ・スケールリングを併用したハイブリッド消費電力削減機構, 2004 年先進的計算基盤システムシンポジウム SACSIS 2004, pp.11-18, (2004 年 5 月).
- 4) Koppanalil, J., Ramrakhiani, P., Desai, S., Vaidyanathan, A. and Rotenberg, E.: A Case for Dynamic Pipeline Scaling, Proc. of Int. Conf. on Compilers, Architecture, and Synthesis for Embedded Systems 2002, pp.1-8, (2002).
- 5) Efthymiou, A. and Garside, J. D.: Adaptive Pipeline Depth Control for Processor Power-Management, Proc. of Int. Conf. on Computer Design 2002, pp.454-457, (2002).