

高次ハミルトニアンを扱うアナログアニーラの開発

吉川 浩†
北海道大学†

1 はじめに

近年、アニーリングによる計算機が実用化されその有効性が示されている。

一般にイジングモデルのアニーラが扱うハミルトニアンは2次式であるが、3次以上へ拡張することによって適用可能な問題範囲が広がる。

私はアナログ回路の性質を応用してアニーラを高速化する研究を行っており [1][2][3]、本稿では、3次以上のハミルトニアンを扱うアニーラをアナログ回路で実現した事例を紹介する。

2 イジングモデルのハミルトニアン

イジングモデルを利用した最適化計算では、以下の Edwards-Anderson モデルのハミルトニアンが用いられる。

$$H(S_1, S_2, \dots) = - \sum_{(i,j)} J_{ij} S_i S_j - \sum_i h_i S_i \quad (1)$$

ここに S_i はノード i のスピンの向き (+1, -1) を表す変数、 J_{ij} は二つのスピン S_i, S_j 間の相互作用の強さを表す定数、 h_i はスピン S_i に外部から加わる磁場の強さを表す定数である。

最適化問題はハミルトニアン H を最小化するようなスピン S_i の組み合わせを見つける問題に定式化される。

3 ハミルトニアンを高次化する利点

もしハミルトニアンを3次式に拡張できれば扱える問題範囲は広がる。

例えば3スピン S_1, S_2, S_3 のうち偶数個が値 +1 をとる「偶パリティ」を表すハミルトニアンは $H=S_1 S_2 S_3$ と記述できる。

また、高次のハミルトニアンを扱えると、一階述語論理における任意の原子論理式の解釈をハミルトニアンに最小値を与える状態の集合として定義できる。表1に原子論理式とそのハミルトニアンの例を載せた。

表1 一階述語論理の原子論理式の例

原子論理式	ハミルトニアン
equal(S_1, S_2)	$H=-S_1 S_2$
not(S_1, S_2)	$H=S_1 S_2$
and(S_1, S_2, S_3)	$H=-S_1 S_2 S_3 - S_1 S_3 - S_2 S_3 + S_3$
or(S_1, S_2, S_3)	$H=S_1 S_2 S_3 - S_1 S_3 - S_2 S_3 - S_3$
parity(S_1, S_2, S_3)	$H=S_1 S_2 S_3$

ただし $S_1, S_2, S_3 \in \{-1, 1\}$

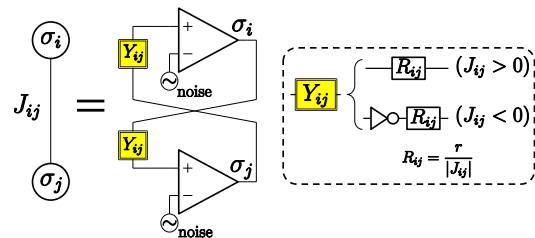


図1 アナログ回路によるイジングアニーラの原理



図2 アナログコンパレータの反転入力に与える波形（振幅が減衰するランダムパルス）

論理関数の基本である and, or, not が実現できるため、理論的には任意の論理関数を扱えるようになる。

さらに、原子論理式の解釈をハミルトニアンで定義することによって、Prolog 等の一階述語論理プログラムをアニーリングを用いて効率的に解ける可能性が出てくる。

4 高次ハミルトニアン対応アナログアニーラの開発

アナログ回路でアニーラを実現する方法は文献 [1][2][3] で述べているが、ここで簡単に説明する。

アナログ回路では、アナログコンパレータの出力電圧 (Hi/Low) をスピンの向きに見立て、相互作用の強さをアドミッタンス Y_{ij} (抵抗値 R_{ij} の逆数) で表す (図1)。

コンパレータの反転入力には、コンパレータがランダムに反転するように図2のような振幅が減衰するランダムパルスを与える。

Development of an analog annealer for handling higher-order Hamiltonians

† Hiroshi Yoshikawa, Hokkaido University

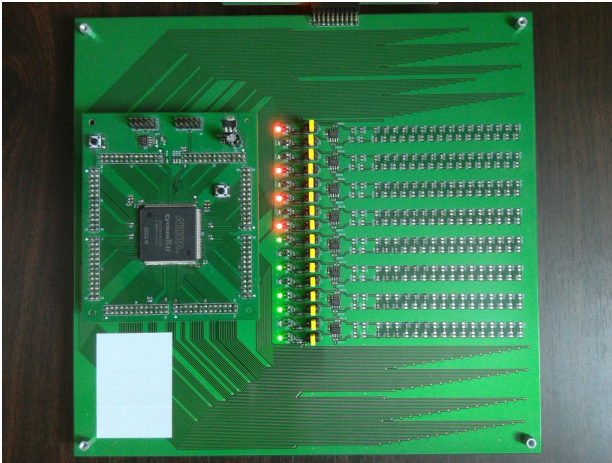


図3 作成したアナログアニーラ実験基板

今回作成したアナログアニーラ（図3）は16個のスピンをもち、各スピンの値を独立に+1または-1に固定できるようにしてある。

このアナログアニーラは複数スピン値の積を計算するためFPGAを装備している。コンパレータの出力電圧（Hi/Low）はFPGA内部で論理値（True/False）に変換され、スピン値（+1/-1）の積に相当する排他的論理和（eXclusive-OR）が計算される。

スピン値の積はFPGAで計算するが、アニーリングの主要な動作である低エネルギー状態への遷移はFPGA外部のアナログコンパレータで行われる。

なお、FPGAの役割は積の計算だけではない。配線の大部分はFPGAの内部で行われ、プリント基板上の配線作業が大幅に省力化される。また、様々な問題に対応するための構成変更がFPGAをプログラムし直すことで容易になる利点がある。

5 アナログアニーラによる高次ハミルトニアン（4ビット加算）の実験

作成した高次ハミルトニアン対応のアナログアニーラ（図3）を用いて4ビットの加算（ $S=X+Y$ ）を行わせる実験をした。

5.1 アナログアニーラを加算器の構成にする

まず、加算器の基本部品である1ビット全加算器の和の部分 $\text{sum}(X_i, Y_i, C_i, S_i)$ のハミルトニアンとキャリ部 $\text{carry}(X_i, Y_i, C_i, C_{i+1})$ のハミルトニアンを導出した（表2）。

次に、これらを用いて全加算器を4つ直列につないだ4ビット・リプルキャリアダーのハミルトニアンを作成した（図4）。

図4のハミルトニアンの式に現れる各項につ

表2 全加算器の和とキャリのハミルトニアン

原子論理式	ハミルトニアン
$\text{sum}(X, Y, Z, S)$	$H = -SXYZ$
$\text{carry}(X, Y, Z, C)$	$H = (CXYZ - CX - CY - CZ)/2$ ただし $X, Y, Z, S, C \in \{-1, 1\}$ $ H = 1$ となるように正規化してある

$$H = 2S_0X_0Y_0 - C_1X_0Y_0 - C_1X_0 - C_1Y_0 + C_1 - 2C_1S_1X_1Y_1 + C_1C_2X_1Y_1 - C_2X_1 - C_2Y_1 - C_1C_2 - 2C_2S_2X_2Y_2 + C_2C_3X_2Y_2 - C_3X_2 - C_3Y_2 - C_2C_3 - 2C_3S_3X_3Y_3 + C_3C_4X_3Y_3 - C_4X_3 - C_4Y_3 - C_3C_4$$

(ただし $S_4=C_4$ とする)

図4 4bit リプルキャリアダーのハミルトニアン

いて、係数を除いたスピン値の積をFPGA内部で計算して出力し、その出力信号を係数に対応した抵抗値を介して各アナログコンパレータの入力へフィードバックする回路を構成した。

5.2 アナログアニーラの動作確認

動作確認方法は、あらかじめ X と Y のスピんにビットパターンを設定（スピンを固定）しておき、アニーリングで S に正しいビットパターンが現れるか目視確認した。

実験の結果、 X, Y の全パターン（256通り）に対して S に正しいパターンが現れた。

また、アナログアニーラには入力と出力の区別がないため、全く同一の回路構成で減算も計算できる。実際に S （合計）と X を与えることで $Y (= S - X)$ が求められることも確認した。

6 まとめ

3次式以上のハミルトニアンを扱えるアナログアニーラを開発し、4ビット加算を例に実際に動作を確認した。また、同一構成で入出力を入れ替えた動作（減算回路）も確認した。

謝辞 本研究はJSPS 科研費 21H04328 の助成を受けたものです。

参考文献

- [1] 吉川浩. 最適化問題を解くアナログ電子回路-アナログ・イジング・マシンの実現-. 第82回全国大会講演論文集, 第1分冊, pp. 1-2, 2020.
- [2] 吉川浩. アナログ電子回路を用いたイジング・アニーラの開発. 第19回情報科学技術フォーラム (FIT2020), 第1分冊, pp. 27-32, 2020.
- [3] 吉川浩. アナログ・イジング・アニーラ回路の発振対策. 情報処理学会第83回講演論文集, 第1分冊, pp. 13-14, 2021.