

量子アニーラを利用したノイズフィルタの最適設計

岡田 明久^{1,a)} 吉田 広顕¹ 城殿 清澄¹ 松森 唯益² 竹野 貴法² 門脇 正史²

概要：量子アニーラを、少ない試行回数で所望の特性を得るブラックボックス最適化に活用した設計技術が注目されている。しかし、適用例が少ないため、この設計技術がどのような系に有効なのかは未知である。本研究では、電気回路系に着目し、適用例として π 型ノイズフィルタを取り上げる。フィルタ性能が高くなる素子の配置や素子間の導体経路を求めするために上記技術を適用した結果、試行回数を重ねるにつれ学習が進み、良性能な設計案を効率的に探索することが確認できた。これにより、量子アニーラが電気回路系の設計問題にも適用可能であることを示した。

Optimization of Noise Filter Design with Quantum Annealer

1. はじめに

複数の要因が互いに絡み合う現象のシミュレーションなど、より複雑な現象を解明・予測するために高性能な計算機が求められている。一方、ムーアの法則 [1] に従い開発が進んできたノイマン型コンピュータは、シングルスレッドの性能が頭打ちになるなど [2]、劇的な計算能力の向上が難しくなっている。そこで非ノイマン型の計算機による高効率計算が期待されている。

非ノイマン型計算機の一例が D-Wave Systems 社によって開発された量子アニーラである。量子アニーラは、イジングモデルと呼ばれる磁性の基礎モデルを超伝導を利用した回路上に実装したものであり、量子アニーリング [3] を用いることでイジングモデルの基底状態を効率的に求めることができる。イジングモデルの基底状態探索は制約なし二次形式二値変数最適化 (QUBO : Quadratic Unconstrained Binary Optimization) と等価なため、量子アニーラを利用することで QUBO 形式の様々な最適問題 [4] を効率的に解くことができると期待されており、実用上の問題にも適用されている [5-10]。

対象の問題に対する量子アニーラの適用の可否は QUBO

形式に定式化できるかに懸かっているため、これまでの多くの研究は、QUBO 形式への定式化が直観的に期待できる問題に限定されてきた。しかし、一見 QUBO 形式には書き下せないように思えるメタマテリアルの構成材料の最適配置問題を、量子アニーリングと機械学習を組み合わせることで求めた報告がなされた [11]。この報告では、入力とする二値変数と本来支配方程式に従って計算される複雑な特性値の間の未知の関係を二次の回帰式で学習し、最適な入力変数を量子アニーラで求める一種のブラックボックス最適化の枠組みが提案されている。この枠組みは量子アニーラの適用先を拡大させる重要な技術だと考えられる。

ブラックボックス最適化を用いた報告としては、上記メタマテリアルの材料最適配置における光学問題の他、基板の振動という構造力学問題 [12] など限られており、どのような支配方程式の系で有用なのかは未知である。そこで、我々は未開拓で応用上重要な課題が数多くある電気回路の系について着目する。本研究ではその例として構成部品やその間を結ぶ導体の経路の組合せによって性能が変わるノイズフィルタを取り上げる。

電磁両立性 (EMC : Electromagnetic Compatibility) を考慮した製品には、高周波ノイズが周りの電子機器に影響を与えないよう入力電圧のノイズを低減するノイズフィルタが組み込まれる。ノイズフィルタの設計においては、割当て領域が決定後に必要なノイズの減衰量を稼ぐことが求められるため、製品ごとに具体的なフィルタの設計は異なり、フィルタの最適設計に対するニーズが存在する。本研究では、 π 型フィルタと呼ばれる2つのコンデンサと1つ

¹ (株) 豊田中央研究所
TOYOTA CENTRAL R&D LABS., INC., Bunkyo-ku,
Tokyo 112-0004, Japan

² (株) デンソー
DENSO CORPORATION, Minato-ku, Tokyo 108-0075,
Japan

a) a-okada@mosk.tytlabs.co.jp

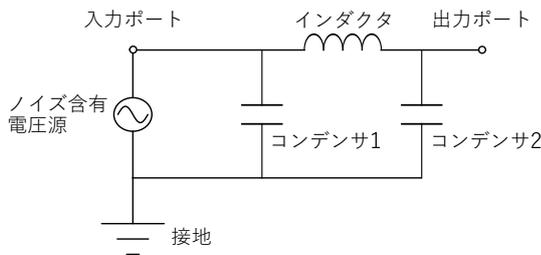


図 1. π 型ノイズフィルタの回路図.

Fig. 1 Circuit diagram of π -type noise filter.

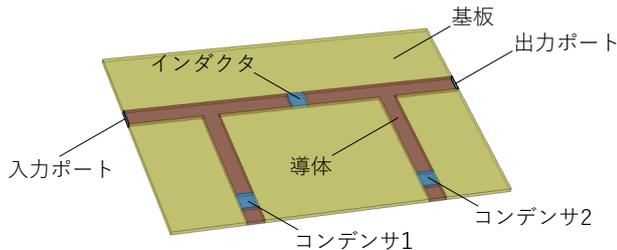


図 2. 素子・導体の配置例. 背面が接地面.

Fig. 2 Example of element/conductor arrangement. The backward plane is the electrical ground.

のインダクタからなるノイズフィルタについての最適設計について量子アニーラによる計算を組み込んだブラックボックス最適化を適用し、電気回路の問題でも上記枠組みが有用であり、量子アニーラが広範に適用可能であることを示す。

2. 方法

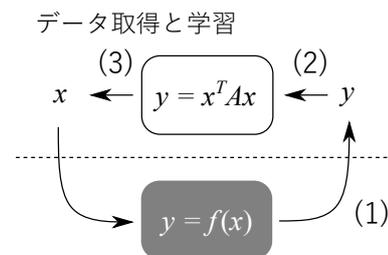
2.1 π 型ノイズフィルタの設計問題

設計対象とする π 型ノイズフィルタの回路図を図 1 に示す。回路は 1 つのインダクタと 2 つのコンデンサという合計 3 つの素子から構成されている。ノイズフィルタの性能は各素子の特性値（コンデンサであれば電気容量、インダクタはインダクタンス）だけでなく、誘導ノイズや寄生容量が発生するために各素子が配置される位置や各素子を結ぶ導体の経路に依存する。

本研究ではノイズフィルタを設計する基板は背面が接地面であり、素子は基板表面上の集中定数素子としたモデルを扱う。また、誘導ノイズを考慮するため、基板周囲に十分大きな空気層を設ける。ノイズフィルタが配置された基板のモデル例を図 2 に示す。

2.2 ブラックボックス最適化によるノイズフィルタ設計

ブラックボックス最適化では入力パラメータ x と特性値 y の関係 ($y = f(x)$) が不明な中、少ない試行回数で特性値 y を最小（又は最大）にする入力パラメータ x を得ることを目的とする。特に、入力パラメータ x が二値変数の場合に適用可能な手法として、文献 [12] と同様、Bayesian Optimisation of Combinatorial Structure (BOCS) [13] に



実際のシステム

図 3. BOCS の各作業の模式図. (1) シミュレーションや実験により、入力 x に対するデータ y を得る. (2) 入力 x と y から 2 次の回帰式を作る. (3) 最適な x を求める. A は二次の回帰式の係数.

Fig. 3 Schematic diagram for BOCS. (1) Obtain data y for input x by simulation or experiment. (2) Create a second-order regression equation from the input x and y . (3) Find the optimal x . Here, A is the coefficient of the quadratic regression equation.

着目する。BOCS では y を x の二次の回帰式で逐次的に学習する。つまり、 x と y のデータ組がいくつかある状態から始め、(1) 入出力関係が不明な実際のシステムに対し、シミュレーションや実験により、入力 x に対するデータ y を得る。そして、(2) これまで全ての入力 x と y の組から 2 次の回帰式を作り、(3) この回帰式の下で y を最小（最大）化する次の探索候補 x を求める。BOCS における各作業の関係を図 3 にまとめる。

このブラックボックス最適化をノイズフィルタの設計に応用するため、素子の位置や導体経路を指定する二値変数 x を定義した上で、(1) のデータ取得方法として、有限要素法による電磁界解析を採用する。また、(3) の特性値を最大化する x の求解に量子アニーラを採用し、局所解にとらわれない最適な候補を探索する。以降では二値変数の定義、有限要素法による特性値の計算について述べる。量子アニーラを用いるこの手法を以降では BOCS-QA と呼ぶ。

2.2.1 二値変数

素子位置と素子間の導体経路を BOCS-QA で扱う二値変数 x に対応付ける。本研究では入力ポート、出力ポート、インダクタ、2 つのコンデンサという 5 つの素子の位置を 2 候補から選び、4 つある素子間の導体経路を 3 個の候補から選ぶ問題とし、二値変数 x に対応付ける。これらを二値変数で表現するため、まず基板を高さ方向 10、幅方向 15 の格子状に区切る。そして、図 4 に示すように、入力ポートと出力ポートは基板側面、インダクタとコンデンサは集中要素として格子内に配置する。3 つの導体の経路の候補は、各素子間を下記方法でつなぐことで作成する。

- 幅方向に移動後、高さ方向に移動する。
- 高さ方向に半分移動後、幅方向に移動、残りの高さ方向に移動。
- 高さ方向に移動後、幅方向に移動。

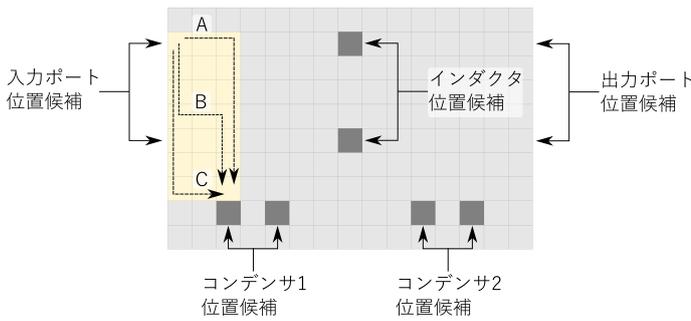


図 4. 素子位置・導体経路の候補. 導体経路の例として, 入力ポート上側とコンデンサ 1 左側の間の 3 つの候補 A, B, C を示す.

Fig. 4 Candidate element positions and conductor paths. As an example of conductor paths, three candidates A, B, and C between the upper side of the input port and the left side of capacitor 1 are shown.

この方法を応用すれば導体経路の候補数を増やすことも可能である.

これら候補の中から素子位置・導体経路を選択し, 具体的なノイズフィルタを表すために One-hot 表現を用いる. 本研究の場合, 5 つある素子の位置候補が各 2 箇所, 4 つある導体経路の候補が各 3 箇所のため, 22 ビットが必要となる. 素子位置を表すビットの次に導体経路を表すビットを並べ, 素子が下/左にある状態を 10, 上/右にある状態を 01, 導体経路で最初に幅方向に移動するものを 100, 途中で曲がるものを 010, 最初に高さ方向に移動するものを 001 とする. 素子位置を表すビットを全て並べた後に導体経路を表すビットを並べる. つまり最初の 10 ビットが 5 つの素子位置を表し, 後半の 12 ビットが 4 つの導体経路の選択を表す. 素子位置を表現するビットは, 基板上の左から入力ポート, コンデンサ 1, インダクタ, コンデンサ 2, 出力ポートの順に並べ, 導体経路も同様に左から入力ポート - コンデンサ 1, コンデンサ 1 - インダクタ, インダクタ - コンデンサ 2, コンデンサ 2 - 出力ポートの順に並べるとする. 例えば, 二値変数 x としてビット列 '1001011001010100100001' を与えた場合の回路を図 5 に示す.

2.2.2 特性値の取得

ノイズフィルタの特性値 y として, S パラメータ S_{21} を採用する. S_{21} は入力電力に対する出力電力の割合を示す値であり, ノイズの入力電力量を p_1 , 出力電力量を p_2 としたとき, 次式で表される.

$$S_{21} = \sqrt{\frac{|p_2|}{|p_1|}}. \quad (1)$$

ノイズ電圧を与えた時に最小の S_{21} を与えるノイズフィルタを求めたい.

S_{21} は, 以下で示す解析モデルを有限要素法で解くことで計算する. 基板周囲に十分大きな空気領域を設け, 空気

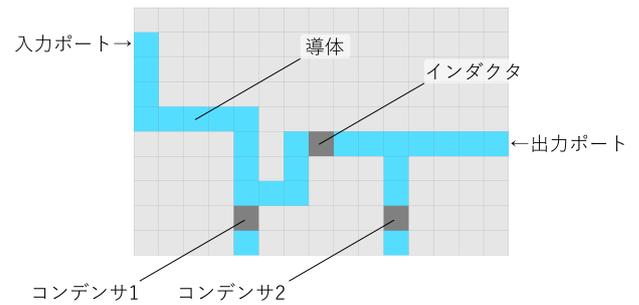


図 5. One-hot 表現のビット列 '1001011001010100100001' に対応する回路.

Fig. 5 The circuit corresponding to the bit string '1001011001010100100001' in the one-hot representation.

領域の最も外側に位置する境界には散乱境界条件を設定する. ただし, 次の場合には有限要素法による S パラメータの正しい評価ができない.

- (1) 素子位置が One-hot 制約を満たさない.
- (2) 導体経路のビットが 000 となり, 基板上で断線が起る.

(1) の場合はノイズフィルタとして解析不能になるため, そのような二値変数が与えられた場合, 有限要素法を実行する代わりに次式に従ってペナルティとしての値 y を返す.

$$y = y_{\text{base}} + \lambda \sum_{m=1}^5 \left(\sum_{i=2m-1}^{2m} -1 \right)^2 \quad (2)$$

ここで, y_{base} は違反の基準値, λ はペナルティ係数, x_i は二値変数 x の i 番目のビットの値である. BOCS は特性値を二次形式で学習するため, One-hot 制約も学習することが期待できる.

(2) の場合, 有限要素法は実行可能であるものの, ノイズ以外の電圧も伝導しない断線状態となるため意味のある S パラメータが得られない. そこで, 図 6 に示すように断線は起こらないが積極的に採用されないような導体を割り当てる. なお, 導体経路を 011 などのように多重に選択する場合は, 導体経路の和を取ることで許容する.

2.3 計算パラメータ

特性値計算時の設定として, 基板の厚みは 1.6mm, 幅は 150mm, 高さは 100mm とする. また, 基板周辺には 30mm の空気領域を設ける. 電源ポート, コンデンサ, インダクタの物理定数はそれぞれ 50Ω, 100μF, 10μH とした. また, S_{21} は 10MHz の周波数解析で計算した. 違反式については $y_{\text{base}} = -60$, $\lambda = 10$ とした.

量子アニーラとしては D-Wave Systems 社の提供する "Advantage_system1.1" を使用した. 求解時のサンプル数を 3000 とし, 最小の y を与えた x を次候補として採用した. また, BOCS-QA の初期の学習に用いるデータセットは, 乱数で生成した二値変数に対して S_{21} を計算して作成

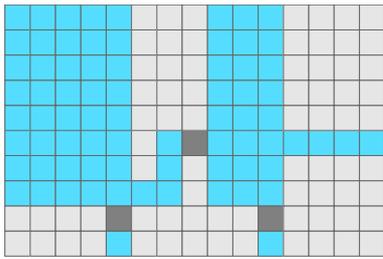


図 6. One-hot 表現のビット列 '1001011001000100000001' に対応する回路。入力側電源ポート-コンデンサ 1, インダクタ-コンデンサ 2 の間の導体経路が選択されていない。断線を避けるため 基板上に広がった導体を割当ててる。

Fig. 6 Circuit corresponding to the bit string '1001011001000100000001'. The conductor paths between the input power port and capacitor 1, and between the inductor and capacitor 2 are not selected. To avoid disconnection, conductors spread over the board are assigned.

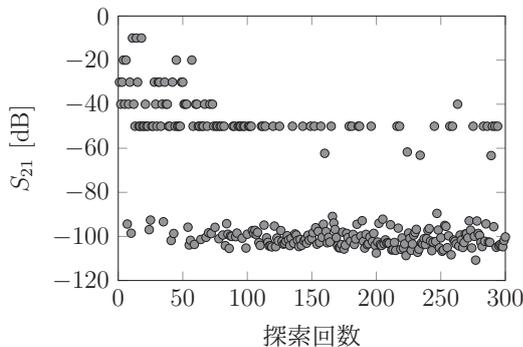


図 7. BOCS-QA の全探索履歴。

Fig. 7 Full search history of BOCS-QA.

した。探索回数は 300 回とした。

3. 結果

BOCS-QA による計算結果を、二値変数をランダムに生成して S パラメータを評価したランダムサーチの結果と比較して示す。図 7, 8 に全探索履歴についての結果を示す。図 7 の BOCS-QA の場合、探索回数が 100 以下では素子位置に関する違反式 (2) によって算出された S_{21} が多く出現するが、その後は有限要素法により算出された S_{21} の割合が増し、また高性能なノイズフィルタを探索できている。一方、図 8 のランダムサーチでは極稀にノイズフィルタとして成立するものを探索できているが、特別な傾向は見受けられない。

探索回数に対する S_{21} の記録更新の様子を図 9 に示す。BOCS-QA, ランダムサーチ共に乱数に関わるため、どちらも 7 回の計算を行い平均, 分散を求めた。BOCS-QA は着実に性能の良いノイズフィルタを探索している一方、ランダムサーチは (特に少ない探索回数で) 分散が大きくな

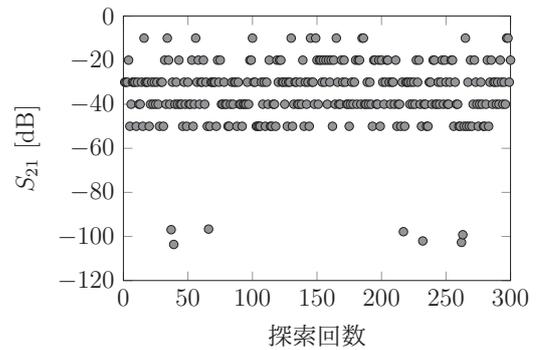


図 8. ランダムサーチの全探索履歴。

Fig. 8 Full search history of random search.

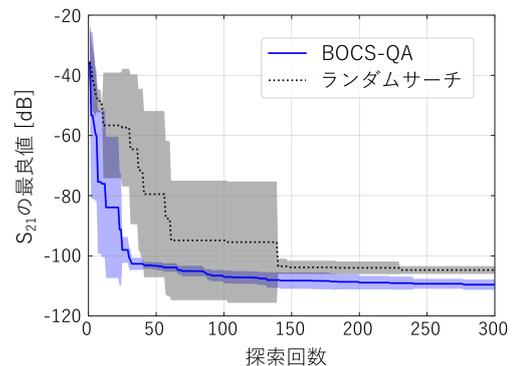


図 9. 記録更新の様子。実線と点線は平均値を表し、影は分散を表す。

Fig. 9 The updated record. The solid and dotted lines represent the mean and the shaded lines represent the variance.

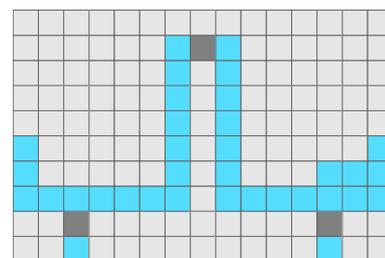


図 10. BOCS-QA によって得られたノイズフィルタ。

Fig. 10 Noise filter obtained by BOCS-QA.

る傾向が見取れる。

最後に、BOCS-QA で得られた最良性能のノイズフィルタの構成を図 10 に示す。この時、 S_{21} の値は -110.589 であった。BOCS-QA でのみ S_{21} が -110 dB を越える性能を持つノイズフィルタを探索できた。

4. 考察

図 7 から、BOCS-QA は違反式 (2) のペナルティ項に関して学習が進んだ後、ノイズフィルタの性能である S_{21} についても学習が進められており、ペナルティ項の設計が学習をうまく促進していたと考えられる。また、図 8 のラン

ダムサーチにおいて、違反式で評価されず、ノイズフィルタが構成可能な入力は7回見ついている。素子配置に関して、ランダムな二値変数により One-hot 制約を満たす確率は $2^5/2^{10} = 1/32$ であるため、300回の探索回数での期待値は9回であり、おおむね予想通りである。また、図9で見られた BOCS-QA による着実な性能の向上も S_{21} の学習に成功していることに起因すると考えられる。BOCS-QA により、安定的に高性能なフィルタを探索できると言える。

図10に示した高性能のノイズフィルタは入力側のポートとコンデンサが近く、誘導ノイズによる性能低下を防いでいると解釈できる。

本研究では、素子位置が2候補で導体経路が3候補の問題を設定したが、候補数をさらに増やした大規模な問題を考えると、ランダムサーチでは高性能のノイズフィルタを偶然により探索する確率は低下するため、BOCS-QA の優位性が増すと考えられる。

5. まとめ

少ない探索回数で所望の特性をもたらす入力パラメータを発見する逐次最適化手法として、BOCS に量子アニーラを組み込んだ手法に着目し、ノイズフィルタの設計問題に適用した。ノイズフィルタとして、2つのコンデンサと1つのインダクタからなる π 型フィルタを取り上げ、これら素子の配置場所として2候補、素子間を結ぶ導体の経路を3候補から選択するモデルを作成し、上記枠組みを適用した。その結果、探索が進むにつれ効率的に高性能なノイズフィルタを探索できることが確認され、ランダムサーチによる探索よりも安定的に高性能なフィルタを探索できた。このことから、電気回路の問題でもブラックボックス最適化に量子アニーラを組込む枠組みが有用であり、量子アニーラが広範に適用可能であることを示した。

参考文献

- [1] G. E. Moore, "Cramming more components onto integrated circuits." *Electronics*, Vol. 38, No. 8, (1965).
- [2] C. Moore, "Data processing in exascale-class computer systems." *The Salishan Conference on High Speed Computing*. sn, 2011.
- [3] T. Kadowaki and H. Nishimori "Quantum annealing in the transverse Ising model." *Physical Review E*, Vol. 58 (1998) 5355–5363.
- [4] Lucas Andrew, "Ising formulations of many NP problems" *Frontiers in Physics*, Vol. 2, (2014) 5.
- [5] M. Ohzeki *et al.*, "Control of automated guided vehicles without collision by quantum annealer and digital devices." *Frontiers in Computer Science*, Vol. 1 (2019) 9.
- [6] K. Terada *et al.*, "An Ising model mapping to solve rectangle packing problem." 2018 International Symposium on VLSI Design, Automation and Test (VLSI-DAT). IEEE, (2018).
- [7] N. Nishimura *et al.*, "Item listing optimization for e-commerce websites based on diversity." *frontiers in Computer Science* Vol. 1 (2019) 2.
- [8] Z. I. Tabi *et al.*, "Evaluation of quantum annealer performance via the massive MIMO problem." *IEEE Access*, Vol. 9 (2021) 131658–131671.
- [9] S. Yarkoni *et al.*, "Multi-car paint shop optimization with quantum annealing." 2021 IEEE International Conference on Quantum Computing and Engineering (QCE). IEEE (2021).
- [10] D. Inoue *et al.*, "Traffic signal optimization on a square lattice with quantum annealing." *Scientific reports*, Vol. 11, No. 1, (2021) 1–12.
- [11] K. Kitai *et al.*, "Designing metamaterials with quantum annealing and factorization machines." *Physical Review Research* Vol. 2 (2020) 013319.
- [12] 松森 唯益, 滝 雅人, 門脇 正史 「QUBO ソルバーによるプリント回路基板の締結点配置設計」, 量子ソフトウェア, 2021-QS-4 巻, 13 号 (2021) 1–4.
- [13] R. Baptista and M. Poloczek, "Bayesian Optimization of Combinatorial Structures." *arXiv*, (2018) arXiv:1806.08838.