

## ELT(Enclosed Layout Transistor)による 耐放射線 CMOS 集積回路の設計

石原昇<sup>†1‡2</sup> 吉田僚一郎<sup>†1</sup> 木村有佐<sup>†1</sup> 安藤幹<sup>†1</sup> 大島佑太<sup>†1</sup> 鍋屋信介<sup>‡2</sup>  
平川颯二<sup>‡2</sup> 岩瀬正幸<sup>‡2</sup> 小笠原宗博<sup>‡2</sup> 依田孝<sup>‡2</sup> 伊藤浩之<sup>†1‡2</sup>

宇宙,原子力等の放射線照射環境への適用を目的として放射線耐性に優れた集積回路の研究開発が進められている。ELT (Enclosed Layout Transistor)は、通常の SLT (Stripe Layout Transistor) に比べ放射線耐性に優れるが、標準の集積回路のデザインキットでは、その特性モデルが提供されていない。本論文では、まず、0.18  $\mu\text{m}$ 技術による MOSFET への Co60  $\gamma$ 線放射線照射結果 (TID: Total Ionizing Dose Effect) について述べ、放射線耐性に優れた ELT を用いた CMOS 集積回路設計のための簡易的なトランジスタ特性モデルを明らかにする。具体的には SLT からの換算による ELT 直流特性モデルと、放射線照射によるしきい値、少数キャリア移動度、リーク電流への影響を考慮した簡易モデルを示す。さらに、作成モデルにより 1Grad の高放射線量までの影響を推定するとともに ELT による回路設計指針を示す。

## Radiation-Hard CMOS Integrated Circuit Design with ELT (Enclosed Layout Transistor)

NOBORU ISHIHARA<sup>†1‡2</sup> RYOICHIRO YOSHIDA<sup>†1</sup> ARISA KIMURA<sup>†1</sup> MOTOKI ANDO<sup>†1</sup>  
YUTA OSHIMA<sup>†1</sup> SHINSUKE NABEYA<sup>‡2</sup> KENJI HIRAKAWA<sup>‡2</sup> MASAYUKI IWASE<sup>‡2</sup>  
MUNEHIRO OGASAWARA<sup>‡2</sup> TAKASHI YODA<sup>‡2</sup> HIROYUKI ITO<sup>†1‡2</sup>

Research and development of integrated circuits with radiation hardness are ongoing to apply to radiation-irradiated environments such as in space and in systems using radiation beams. The ELT (Enclosed Layout Transistor) is superior in radiation hardness compared to ordinary SLT (Stripe Layout Transistor), but its characteristic model is not provided in the standard integrated circuit design kit. In this paper, the results of Co60 $\gamma$  ray irradiation (TID: Total Ionizing Dose Effect) on the MOSFET's using the 0.18- $\mu\text{m}$  technology are describe firstly, and then a simple MOS transistor model for integrated circuit design using ELT, which has radiation hardness. Specifically, an ELT DC characteristic model converted from SLT and a simple model considering the effects of irradiation on the threshold value, minority carrier mobility, and leakage current are shown. In addition to estimating the effect up to 1-Grad irradiation, the concept of circuit design with ELT is also introduced.

### 1. はじめに

宇宙, 原子力・核融合施設や放射線を利用した計測装置等では放射線照射の影響により半導体の特性が劣化し故障や誤動作の原因となっている。近年では 1 Grad 以上の高累積線量耐性を有する集積回路の実現が期待されている[1]。MOSFET における放射線の影響としては、①シングルイベント効果, ②TID (Total Ionizing Dose) 効果[2], ③はじき出し損傷効果の 3 種類[3]が報告されているが、我々は放射線を利用する装置への適用を目的として TID 効果の影響を受け難い CMOS 集積回路の構成法・設計法の研究を進めている。

CMOS 集積回路では、一般的にストライプ レイアウト型の MOS トランジスタ (SLT: Striped Layout Transistor, 図 1 (a))が用いられているが、構造的に TID の影響を受けやすい。これに対し エンクローズド レイアウト型の MOS トランジスタ (ELT: Enclosed Layout Transistor, 図 1 (b)) は、TID の影響を受け難い構造となっている[4]。しかし、ELT

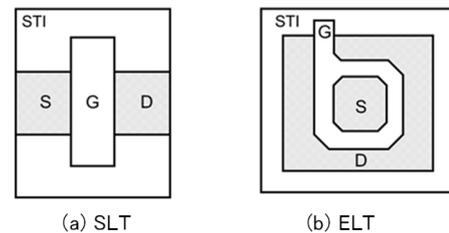


図 1 SLT と ELT のレイアウト  
(S:ソース, G:ゲート, D:ドレイン, STI: 素子分離酸化膜領域)

は SLT に比べてトランジスタサイズが大きくなることから、一般的には用いられず 標準 CMOS 集積回路の設計キットには、その特性モデルが含まれていない。

本論文では、放射線の影響を考量した ELT による集積回路設計を可能とする ELT 簡易特性モデルについて述べる。まず、第 2 章では 0.18  $\mu\text{m}$ 技術による MOSFET への Co60  $\gamma$ 線放射線照射結果 (TID: Total Ionizing Dose Effect) を示し ELT が耐放射線性に優れていることを確認し、第 3 章では照射前の ELT の直流特性を表現する SLT からの換算モデルに

†1 東京工業大学 科学技術創成研究院 ナノセンシング研究ユニット  
Nano Sensing Unit, Institute of Innovative Research, Tokyo Institute of Technology.

‡2 東京工業大学 科学技術創成研究院 未来産業技術研究所  
Laboratory for Future Interdisciplinary Research of Science and Technology,  
Institute of Innovative Research, Tokyo Institute of Technology

について、第4章では、放射線照射によるしきい値、少数キャリア移動度、リーク電流への影響を考慮した放射線特性モデルについて議論する。第5章では作成したモデルにより1 Grad までの高放射線量までの TID の影響を予測し、その結果から考えられる ELT による回路設計指針を明らかにし、第6章で結論を述べる。

## 2. MOSFET への TID 効果

MOSFET を形成する酸化膜領域に放射線が照射されると電離作用により電荷が生成・蓄積され MOSFET の閾値・オン電流・オフ電流が変化する。SLT 型の MOSFET では、ゲート酸化膜領域と素子分離酸化膜領域(STI)がソース領域とドレイン領域の両者に接していることから、これらの酸化膜での電離作用によりソース・ドレイン間の電気的特性が変化する。これに対し ELT 型の MOSFET では、STI がドレイン領域のみに接しているため、ソース・ドレイン間の電気的特性に影響を及ぼすのはゲート酸化膜領域のみとなる。このため、ELT は放射線耐性に優れた構成であることが既に報告されている[4]。しかし、その度合いは製造プロセスにより異なると考えられるため、TID 効果の定量的確認を目的として、0.18- $\mu\text{m}$  技術による MOSFET に対し放射線照射実験を実施した。

### (1) SLT と ELT への放射線照射結果

放射線は、Co60 による  $\gamma$  線を利用した。照射した MOSFET は以下の4種類である。

- ① SLT-nMOSFET:  $W_g/L_g = 220\text{nm}/180\text{nm}$
- ② SLT-pMOSFET:  $W_g/L_g = 300\text{nm}/180\text{nm}$
- ③ ELT-nMOSFET:  $W_g/L_g = 2160\text{nm}/220\text{nm}$
- ④ ELT-pMOSFET:  $W_g/L_g = 2160\text{nm}/220\text{nm}$

ここで、 $W_g$ はゲート幅、 $L_g$ はゲート長で、ELTのゲート幅  $W_g$  は内周長である。

図2に設計試作した MOSFET-TEG のチップ写真例と評価系を示す。TEG チップはプリント基板に搭載し、 $\gamma$  線を照射、各 MOSFET のドレインには固定電圧  $V_{DS}=1.8\text{V}$  を供給し、ゲート端子には三角波を入力し、ゲート電圧 ( $V_{GS}$ ) 対ドレイン電流 ( $I_{DS}$ ) の特性が変化して行く様子を連続的にモニタリングした。 $\gamma$  線照射は、0.371 Mrad(Si)/h の線量率で、100 Mrad(Si)の高放射線累積(TID)となるまで実施した。

図3に4種類の MOSFET のオン電流の変化量 ( $\Delta I_{ON}$ ) の TID 依存性を示す。nMOSFET では、図3(a)が示すように 1 Mrad の TID でピークを示す特性変化を得た。この特性の原因としては、まず① 酸化膜への正孔トラップが出現し、その後 ②界面順位への電荷トラップの影響が現れ支配的になることが報告されている[5,6]。nMOSFET において、①は電流を増加(しきい値を低下)させる方向に作用し、②はその逆方向に作用する。このためピークを持つ特性となっている。

一方、ELT-nMOSFET では、1 Mrad までは変化は認められ

ず SLT よりも TID に対して安定であることが分かる。また、1 Mrad 以上で単調減少する結果を得た。この TID の影響差は、STI の影響差によるものと推察できる。

図3(b)の pMOSFET の場合は、ELT と SLT とともに単調に減少し、変化量は ELT の方が小さいことを確認した。pMOSFET では、原因①と②とも電流を減少させる方向に作用するためである。

オフ電流も同様の傾向を示す結果となった。SLT の nMOSFET のみオフ電流(リーク電流)が、1 Mrad でピークを有する特性となり、ELT の nMOSFET と pMOSFET では、大きな変化は観測されなかった。

以上、ELT が SLT よりも耐放射線性に優れていることを定量的に確認した。

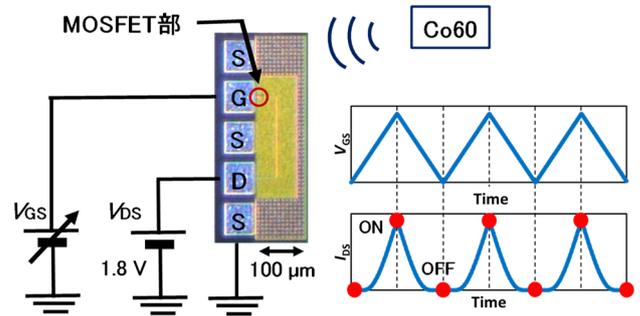


図2 MOSFET チップと評価系

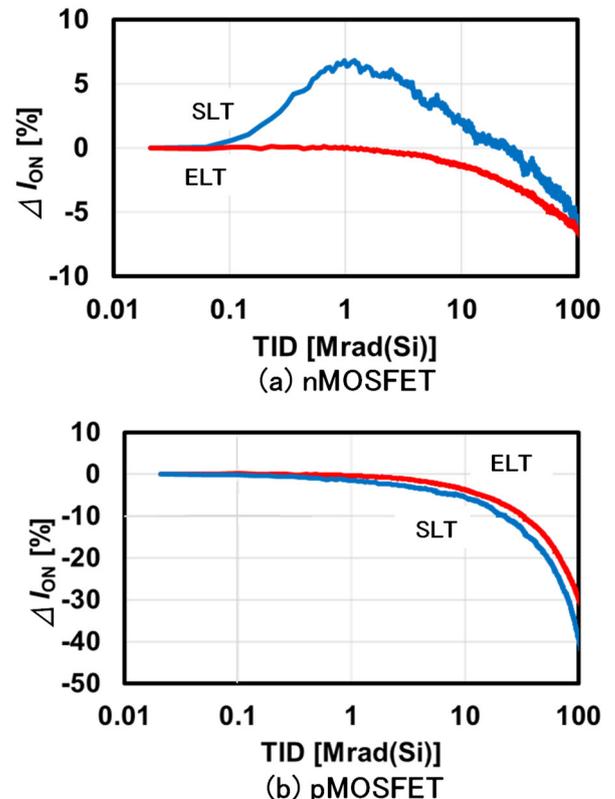


図3  $\gamma$  線照射による MOSFET のオン電流変化

### 3. 放射線照射前の ELT 初期特性モデル

トランジスタレベルからの集積回路設計では、LSI 製造メーカ（ファウンドリー）から提供されるデザインキットを使用する。その中に収められている標準 MOSFET レイアウト (SLT) とその回路シミュレーション用モデルを用いて設計を行うのが一般的である。しかし、ELT は SLT に比べ必然的にサイズが大きくなり集積回路の少面積化に不利となるため特別な用途以外には用いられていない。このため設計用モデルはデザインキットに用意されていない。ELT のレイアウトと特性モデルは独自に作製し設計に用いる必要がある。

そこで、図 4 に示す 3 種類の ELT-MOSFET を試作評価し、回路シミュレーションのためのモデリングを検討した。ELT-MOSFET の最小サイズは図 4 (a) から分かるようにソース領域とのコンタクトパターンのサイズに制限される。ソースコンタクト 1 個の最小サイズと 2 x 2 個と 5 x 5 個の場合について n 型と p 型の MOSFET を試作評価した。

回路設計用の SPICE モデルは、BSIM(Berkeley Short-channel IGFET Model)が多く用いられているが、0.18- $\mu\text{m}$  技術に対応するモデル

(BSIM3[7]) のパラメータ数は 400 個以上と多く、その値の抽出は容易でない。このため、ELT の二次元構造寸法値から SLT のゲート幅に換算する手法を検討した。

SLT の総ゲート幅は 4 辺の内側のゲート幅寸法の総和に 4 つのコーナ部分の影響分が加わるものと容易に推定できる。4 つのコーナ部分の影響については FET のサイズが大きい程小さくなることから 3 種類の FET の評価結果から 4 つのコーナの影響を推定できる。

実際評価を行った結果、3 種類の ELT ともコーナ部分の影響はほとんど無視できることが分かった。

図 5 に n 型と p 型のそれぞれ 3 種類の MOSFET の実測結果とシミュレーション結果を示す。シミュレーション結果は ETL 内周寸法を SLT のゲート幅とした時のシミュレーション結果であ

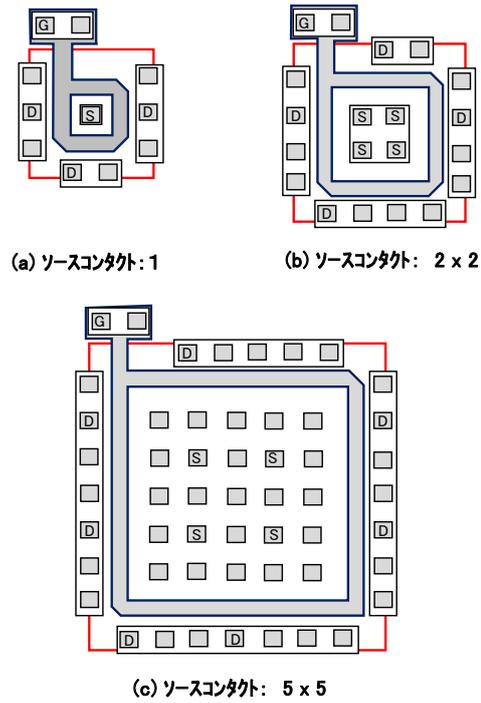


図 4 ELT-MOSFET のレイアウト例

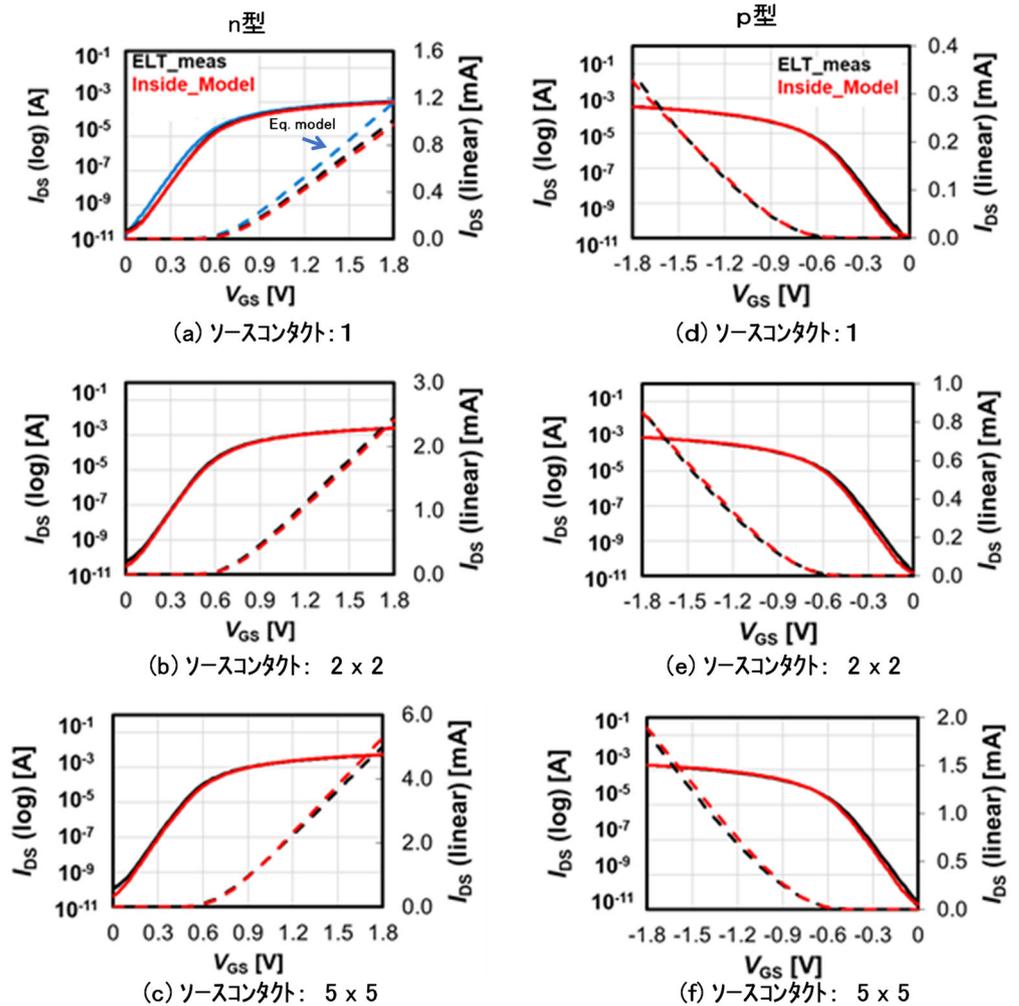


図 5 ELT-MOSFET の初期特性の評価結果とシミュレーション結果

る。ログスケールとリニアスケールのドレイン電流特性を示している。

ETL 内周寸法を SLT のゲート幅とした時の Inside Model の結果は実測結果とよく一致していることが分かる。

なお、ELT の寸法から SLT に換算する数式モデルが既に報告されている[8]。図5(a)の Eq.model の特性が既報告の換算式による結果であるが、今回の測定結果とは誤差が大きい結果となった。

物理現象に着目した ELT 特性の詳細モデルについては今後の課題と考えるが、実験的に ELT の内周長をゲート幅とする SLT の MOSFET モデルを使用することにより ELT の初期特性を表現できることを明らかにした。

#### 4. ELT の TID 効果モデル

図3で示した ELT の TID 効果モデルの検討結果について述べる。

MOSFET のオン電流  $I_{on}$  は 少数キャリアの速度飽和動作領域となることから下式で表現できる。

$$I_{ON} = \mu_{eff} \cdot C_g \cdot \frac{W_g}{L_g} \left\{ (V_{GS} - V_{TH}) \cdot V_{vsat} - \frac{1}{2} \cdot V_{vsat}^2 \right\} \quad (1)$$

ここで、 $\mu_{eff}$ :少数キャリアの移動度、 $C_g$ :単位ゲート幅あたりのゲート容量、 $V_{TH}$ :しきい値電圧、 $V_{vsat}$ :速度飽和電圧である。

##### (1) 放射線照射によるしきい値変化

放射線照射によるオン電流  $I_{on}$  の変化を表現する手法として、しきい値電圧  $V_{TH}$  の変化による表現をまず検討した。

図6は 測定した  $I_{DS} - V_{GS}$  特性の飽和領域(2乗特性領域)特性から外挿法[9]によりしきい値を求め、その変化( $\Delta V_{TH}$ )の様子を示している。

100 Mrad の照射時点で、n 型の ELT のしきい値電圧変動は +10mV 程であった。これに対し p 型の ELT は -50mV の変化となった。このデータを用い、前章の初期特性モデルにしきい値の変化量を考慮し、オン電流  $I_{on}$  の変化をシミュレーションした。n 型 ELT に対する結果を実測結果とともに図7に示す。この結果から、しきい値電圧変化( $\Delta V_{TH}$ )のみでは、オン電流  $I_{on}$  の変化を表現できていないことが分かる。

##### (2) 放射線照射による少数キャリアの移動度変化

(1) 式から考えるとしきい値電圧  $V_{TH}$  以外にオン電流  $I_{on}$  を変化させるパラメータとしては、少数キャリアの移動度  $\mu_{eff}$  の変化が考えられる。放射線照射により MOSFET のチャネルの界面が影響を受けるので、移動度  $\mu_{eff}$  も変化(減少)している可能性がある。

図8は、しきい値変化を差し引いた結果から、移動度の変化 ( $\Delta\mu$ ) を推定した結果である。100 Mrad の照射時点で、n 型の ELT の移動度の変化は 8% の減少、p 型の場合は 24% の減少と推定された。条件は異なるが、放射線照射により

MOSFET の移動度が大きく減少する報告[10]がなされていることから、ELT の TID 効果を表現するパラメータとして移動度の変化を加えることとした。

オン電流の表現式は、しきい値と移動度の変化を考慮すると下式ようになる。

$$I_{ON} = (\mu_{eff} + \Delta\mu) \cdot C_g \cdot \frac{W_g}{L_g} \cdot \left\{ (V_{GS} - V_{TH} + \Delta V_{TH}) \cdot V_{vsat} - \frac{1}{2} \cdot V_{vsat}^2 \right\} \quad (2)$$

図9にしきい値と移動度の両者の変化を考慮した時のシミュレーション結果と実測結果の比較を示す。シミュレーション結果は、n 型と p 型とも良好な一致を得た。

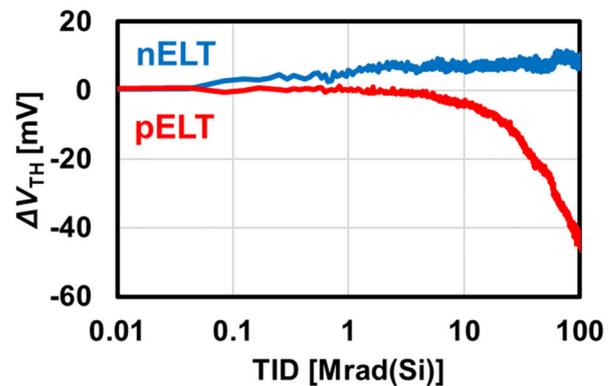


図6 TIDによるしきい値変化 (ELT)

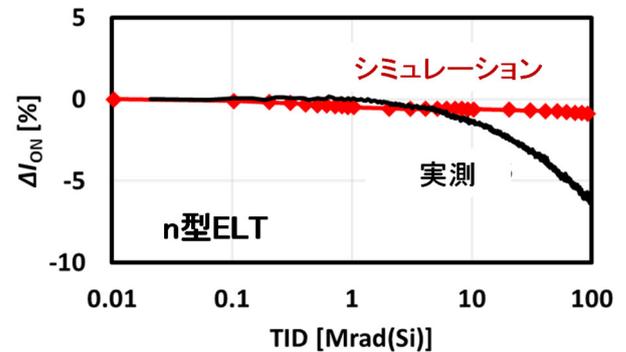


図7 TIDによるしきい値変化 (n 型 ELT)

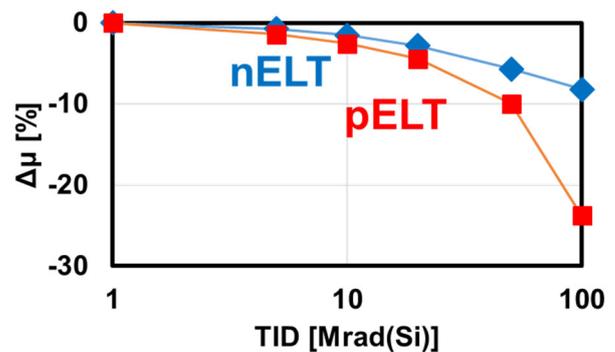


図8 移動度の変化

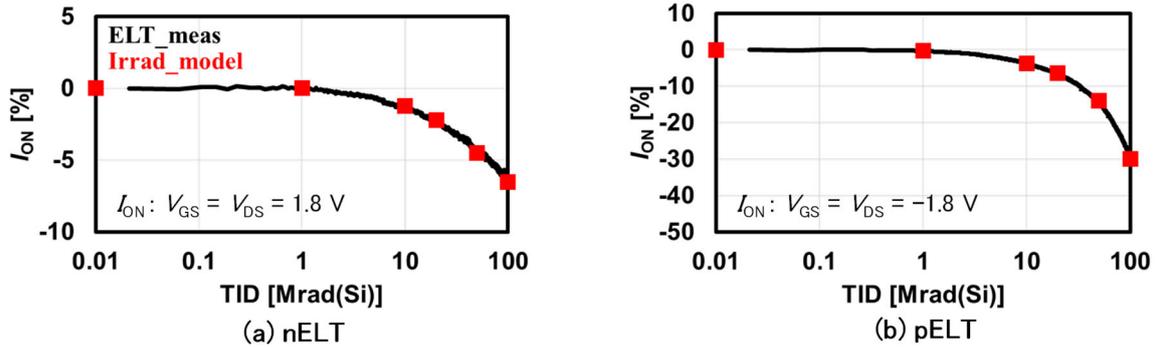


図9 しきい値と移動度の変化を考慮した場合のオン電流のTID効果のシミュレーション結果

### (3) TID 効果表現する MOSFET の等価回路

以上の検討結果から ELT の TID 効果の表現が可能な MOSFET の等価回路を図 10 に示す。LEAK MOS は放射線を照射するとナノアンペアオーダーの定電流のリーク電流が発生することから、このリーク電流を表現するために付加している。 $V_{LEAK}$  を制御することによりリーク電流の TID 依存性を表現できる。

図 11 にこのモデルを用いて、100 Mrad 照射時の  $I_{DS} - V_{GS}$  特性のシミュレーション結果を実測結果とともに示す。N 型、p 型とも実測結果と一致するシミュレーション結果を得た。本モデルを用いることにより、ELT を用いた集積回路の設計が可能となる。

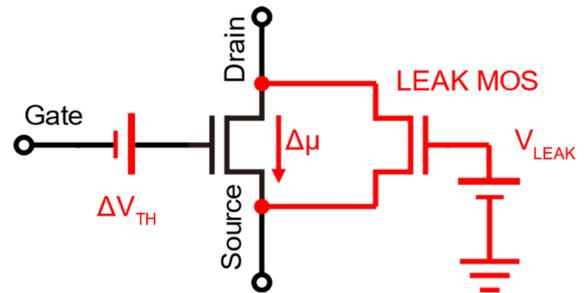


図 10 TID 効果モデル

## 5. 高 TID 領域への影響推定と回路の設計指針

ここまで、100 Mrad までの測定データをベースに TID 効果モデルについて議論をすすめてきたが、近年では 1 Grad 以上の高累積線量耐性を有する集積回路の実現が期待されている。本章では 1 Grad までの影響予測とその結果から分かる耐放射線化回路の設計指針を述べる。

### (1) 高 TID 領域への影響推定

今回評価に用いた線量率 0.371 Mrad(Si)/h で 1 Grad までの TID 効果を確認するには 112 日間の放射線照射が必要となり評価が容易でない。

そこで、今回作製したモデルを用いて 1 Grad までの TID 効果の予測を行った。しきい値変化 ( $\Delta V_{TH}$ ) と移動度の変化 ( $\Delta\mu$ ) を外挿してシミュレーションを行った結果を図 12 に示す。1 Grad までの照射で n 型の ELT の場合は  $I_{on}$  が 40% 減少し、p 型の ELT の場合では 80% も減少することが明らかとなった。

### (2) ELT による耐放射線回路の設計指針

以上の TID に対する ELT の評価結果および TID モデルによる高累積線量時のオン電流変化の予測結果から、集積回路の耐放射線化の設計指針として以下の事項が考えられる。

① 1Mrad までの TID 耐性: ELT では 1Mrad 程度までは オン電流の変化が小さいことから SLT を単純に ELT に置き換えることにより放射線耐性を確保できる。

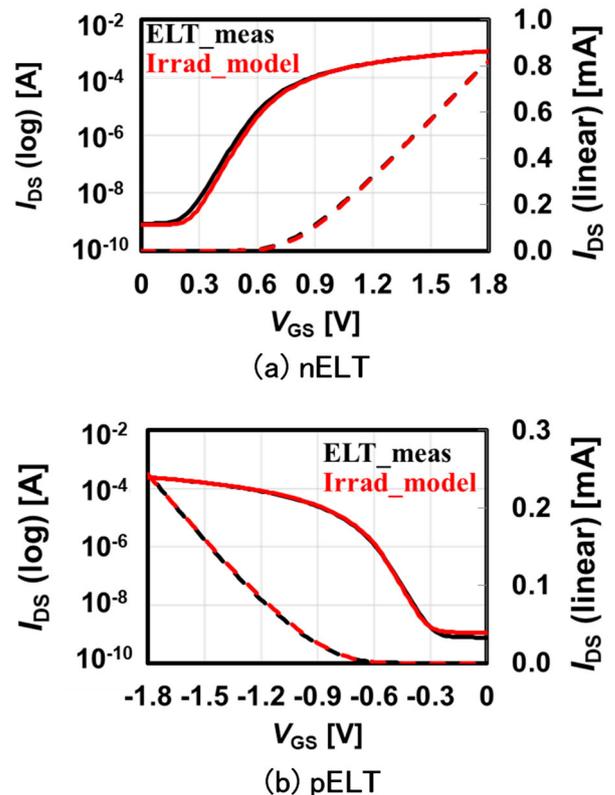


図 11 100 Mrad 照射時の電流電圧特性 ( $I_{DS} - V_{GS}$ )

② 1 Mrad を越えるとオン電流は低下する。n 型は p 型よりもオン電流の減少量が少ないことから CMOS 回路ではなく n 型の ELT のみで回路を構成することにより耐放射線性の確保が可能になる。n 型 ELT のみで構成できる SCL(Source Coupled Logic)回路[11,12]などの採用が有効と

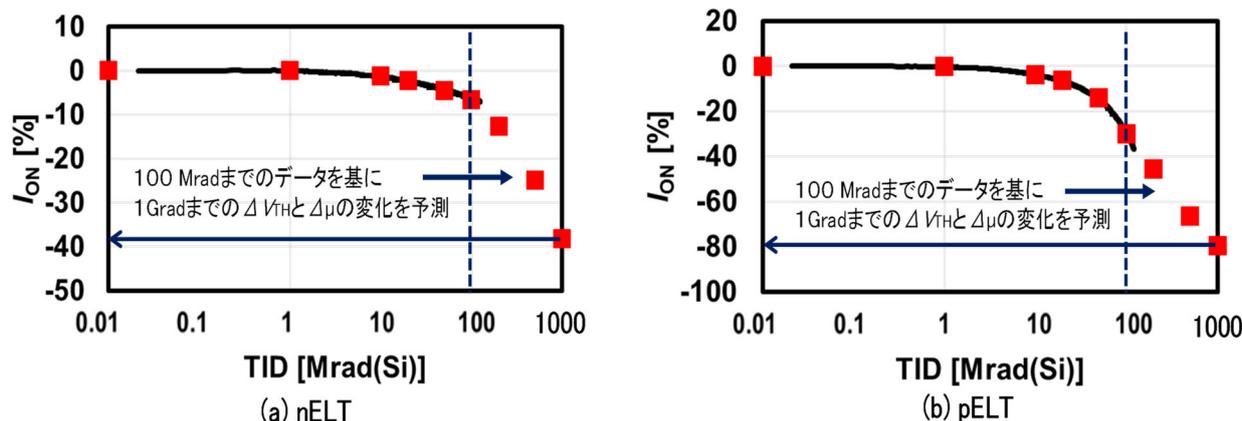


図 12 1 Grad までの TID 効果によるオン電流変化の予測シミュレーション結果

考えられる。

③ 照射量が 1 Grad になるとオン電流の減少幅がより大きくなるため、駆動能力の低下による回路の誤動作が多発するものと考えられる。駆動能力の低下を補うために電源電圧を高くするなどの回路的な工夫が必要となる。特に p 型の ELT で減少量が顕著となるため、前述と同様に n 型のみで構成できる SCL 回路などを採用し、放射線照射量の増加とともに、そのバイアス電流が大きくなるような回路的工夫が必要と考えられる。

## 6. 結論

ELT(Enclosed Layout Transistor)特性の評価、モデリングを行ない ELT による耐放射線 CMOS 集積回路設計を可能化するとともに回路設計に有効となる下記知見を得た。

- (1) ELT は SLT (Striped Layout Transistor) よりも耐放射線性に優れ、1 Mrad 程度までは放射線照射による特性変化はほとんど生じない。
- (2) 放射線照射前の ELT の初期特性は ELT ゲートパタンの内周長をゲート幅とする SLT の特性で表現できる。
- (3) TID 効果は オン電流を減少させる方向へ作用し、しきい値電圧変化、少数キャリアの移動度変化、リーク電流変化を初期特性モデルに組み込むことにより TID 特性を表現できる。
- (4) オン電流の減少量は n 型の方が p 型よりも小さい。このため、n 型のみ ELT 回路構成が耐放射線化に有利と考えられる。また、放射線照射とともにオン電流の減少を補償する回路的工夫が有効と考えられる。

**謝辞**  $\gamma$  線照射実験は量子科学技術研究開発機構の Co60  $\gamma$  線照射施設を利用した。ご協力頂いた皆様に、感謝の意を表します。

## 参考文献

- 1) G. Ciampi, S. Saponara, G. Magazzù and F. Palla, "Radiation Hardness by Design Techniques for 1 Grad TID Rad-Hard Systems in 65 nm Standard CMOS Technologies," Applications in Electronics Pervading Industry, Environment and Society, pp. 269-276, 2019.
- 2) R. Baumann and K. Kruckmeyer: Radiation handbook for electronics, (2019).
- 3) 小野田忍: 半導体に対する三つの放射線影響とその照射試験, Sept. (2011). [Online]. Available: [http://www-vlsi.es.kit.ac.jp/SERconf/2011/3-2\\_onoda.pdf](http://www-vlsi.es.kit.ac.jp/SERconf/2011/3-2_onoda.pdf). [Accessed Jan. 2020].
- 4) G. Anelli, et al.: Radiation Tolerant VLSI Circuits in Standard Deep Submicron CMOS Technologies for the LHC Experiments: Practical Design Aspects, IEEE Transactions on Nuclear Science, vol. 46, no. 6, pp. 1690-1696, (1999).
- 5) T. R. Oldham and F. B. McLean: Total Ionizing Dose Effects in MOS Oxides and Devices, IEEE Transactions on Nuclear Science, vol. 50, no. 3, pp. 483-499, (2003).
- 6) H.J. Barnaby, "Total-Ionizing-Dose Effects in Modern CMOS Technologies," IEEE Transactions on Nuclear Science, vol. 53, no. 6, pp. 3103-3121, 2006.
- 7) Y. Cheng et al.: MOSFET のモデリングと BSIM3 ユーザーズガイド, 丸善, (2002). ISBN-13: 978-4621049839.
- 8) A. Giraldo, A. Paccagnella and A. Minzoni: Aspect ratio calculation in n-channel MOSFETs with a gate-enclosed layout, Solid-State Electronics, vol. 44, no. 6, pp. 981-989, (2000).
- 9) Adelmo Ortiz-Conde and Francisco J. García-Sánchez: Exploring MOSFET threshold voltage extraction methods," Sep. 2013. [Online]. Available: [https://www-elec.inaoep.mx/seminario2013/Ortiz\\_SNDA13.pdf](https://www-elec.inaoep.mx/seminario2013/Ortiz_SNDA13.pdf). [Accessed Jan. 2020].
- 10) F. W. Sexton and J. R. Schwank: Correlation of Radiation Effects in Transistors and Integrated Circuits, IEEE Trans. Nucl. Sci., vol. 33, no. 6, pp. 3975-3981 (1985)
- 11) M. Azaga and M. Othman: Source Couple Logic (SCL): Theory and Physical Design, American J. of Engineering and Applied Sciences 1 (1): 24-32, (2008), ISSN 1941-7020.
- 12) M. Alioto and G. Palumbo: Design Strategies for Source Coupled Logic Gates, IEEE TCAS-I: Fundamental Theory and Applications, vol. 50, NO. 5, pp. 640-654, (2003)