

X線照射によるパワーMOSFETの特性変動の分析

塩崎 雅人^{1,a)} 佐藤 高史¹

概要: プリント基板に電子部品を実装する際、はんだ内部に空乏が生じることがある。はんだの空乏は、電気抵抗の増加や熱伝導率の低下、機械的強度の低下等、様々な故障の原因となる。このためはんだ内部の空乏を検出するためにX線検査が行われる。この際、X線により半導体素子の特性が変化する可能性がある。特にパワーMOSFETは背面に厚い金属板が取り付けられるため、X線検査時に受ける被曝線量が大きい。そこで本稿では、Si-SJ-MOSFETとSiC-MOSFETにX線照射を行い、X線被曝による電流電圧特性の変動を測定した。その結果、SiC-MOSFETの特性変動量はSi-SJ-MOSFETに比べ小さく、放射線許容量が高いことが示された。

Impact of X-ray exposure on power MOSFETs characteristics

MASATO SHIOZAKI^{1,a)} TAKASHI SATO¹

Abstract: When electronic components are mounted on a printed circuit board, voids may occur in the solder bump. The voids could cause various failures, such as increased electrical resistance, decreased thermal conductivity, and decreased mechanical strength. For this reason, X-ray inspection is used to detect voids in the solder. During the process, the characteristics of the semiconductor device may change due to the X-rays. In particular, power MOSFETs have a thick metal plate attached to the back of the device, receiving a high radiation dose during X-ray inspection. In this paper, Si super-junction (SJ) MOSFETs and SiC-MOSFETs are irradiated with X-rays, and the variation of current-voltage characteristics due to X-rays exposure is evaluated. The experiments have shown that the characteristic change of SiC-MOSFETs is smaller than that of Si-SJ-MOSFETs, indicating a higher radiation tolerance.

1. 序論

MOSFETは集積回路内の論理ゲートや、電力変換回路内のスイッチング素子として使われる半導体素子である。これらの主な材料はシリコン(Si)であり、構造の工夫によって幅広い用途に用いられてきた。中でもパワーMOSFETには高耐電圧、低消費電力といった特性が求められることから、材料特性の限界によりSiに変わる新たな材料の使用が検討されてきている。近年、パワーMOSFETの材料として、炭化ケイ素(SiC)や窒化ガリウム(GaN)といったワイドバンドギャップ半導体が用いられるようになってきた。特にSiCの高い絶縁破壊強度や高い熱伝導率は高耐圧MOSFETに適しており、盛んに研究が行われている。

半導体素子を含む電子部品を駆動するためには外部回路

への接続が必要であり、その接続を容易化するためにパッケージを介した金属接合が行われる。多くの場合、半導体チップはプリント基板上に表面実装され、その際に金属接続部が生じる。金属接合として、物理的に強固で優れた電気的特性を得るため、はんだによる実装が広く行われる[1, 2]。集積回路等の半導体チップを基板上に実装する際には、リフロー工程[3]を行う場合が多い。リフローではまず、メタルマスクを用いた印刷あるいはディスペンサを用いてクリームはんだペーストを表面基板への接続箇所に塗布する。ペーストの塗布状態の検査の後に、はんだ付けするチップをチップマウンタを用いて端子がペースト上に乗るように置き、位置確認の検査を行う。その後、リフロー炉中で加熱を行う。クリームはんだペーストは一度融解した後、表面張力によりはんだが濡れ上がり金属接合が出来上がる。このあとに、はんだ不良の検査が行われる。現在は、画像認識による外観検査が広く用いられる[4-6]。

¹ 京都大学 大学院情報学研究所 通信情報システム専攻
〒606-8501 京都府京都市左京区吉田本町

^{a)} paper@easter.kuee.kyoto-u.ac.jp

また、X線を用いて表面からは見えない、はんだ内部の検査も行われる [7].

この際には、はんだ内部に生じる空乏の有無が確認される。はんだ内部に生じる空乏の原因と影響については、例えば、文献 [8] にまとめられている。はんだ内部に空乏があると、電気抵抗が大きくなり信号品質や駆動電流に影響する。また発熱に伴う熱膨張により、はんだに亀裂を生じ物理的な強度が一層低下する。さらに電流密度の大きい箇所では、エレクトロマイグレーション等の不可逆的な劣化が生じる [9].

このように、金属接合には回路の電氣的な接続という目的のほかに、物理的な固定や排熱等の複数の目的がある。そのため、金属接合部分の不良は、電気抵抗の増加、それに伴う発熱、物理的な脆さ、熱伝導率の低下による排熱不良といった問題に直結する。したがって、製造工程において金属接合部の検査は極めて重要である。なかでも車載部品は高い信頼性が求められるため、自動車メーカーが半導体を用いる部品の供給会社に対し全数検査を求めている場合がある。実際の製造工程において行われる金属接合部分への検査として、カメラなどを用いて外観から検査を行う方法と、X線を用いて非破壊的に透視する方法がある。後者を用いることによりはんだ内部の空乏などを発見することができる。

一方で、半導体へのX線照射が、素子の特性に影響を与える例が報告されており、特にしきい値が低下することが問題とされている [10–13]. 大電力パワーモジュールなどの場合は大型の金属ケースに収められているため、それを透視して内部の検査を行うには大きなエネルギーが必要となる。その際にMOSFETがX線によって受ける影響も大きくなる。

本研究では、X線照射によるパワーMOSFETへの影響を評価する。本研究では特にシリコン(Si)とSiCを材料とするパワーMOSFETにX線照射を行い、その材料と構造の違いによる影響を定量的に分析する。また、特性変動の原因を推定し、X線による影響を回復するための熱アニーリングとゲート電極への高電圧印加の効果を評価する。

2. 先行研究

X線およびガンマ線がパワー半導体に与える影響について、特に注目されているのはMOS構造における酸化膜の劣化である [14]. ゲート酸化膜にX線が照射されると、電子正孔対が生成される。このとき、電子と正孔のほとんどが近い距離にあるため再結合する。再結合せずに残った電子と正孔のうち、移動度の大きい電子は移動して酸化膜の外に出るが、電子に比べ移動度の小さい正孔は酸化膜中にトラップされる。これによってゲート酸化膜が正に帯電し、MOSFETではしきい値が負方向へシフトする。その結果、n型MOSFETはターンオンしやすくなり、オフ時

のリーク電流が増加する。反対に、p型MOSFETはターンオンしにくくなり、リーク電流が減少する。このように、MOSFETとしての特性が変化することによって回路に組み込んだ際の動作が変化し、設計通りの挙動が得られなくなる可能性がある。ゲート酸化膜にトラップされる正電荷の量は、酸化物の物理的特性やゲートの構造に依存し、特にゲート酸化膜厚に大きく依存する [15,16]. 酸化物に蓄積されるトラップ電荷の密度 N_{tr} は以下のように表される。

$$N_{tr} = D_{ox} C_g C_h C_{tr} t_{ox} \quad (1)$$

ここで、 D_{ox} は酸化物に吸収されるX線量で、酸化膜厚 t_{ox} に依存する。 C_g はX線量に対して発生する電子正孔対数で、 C_h はそのうち再結合せずに残る割合、 C_{tr} は残った正孔のうち酸化物にトラップされる割合である。MOSFETのしきい値変動量 ΔV_{th} は次のようになる。

$$\Delta V_{th} = -\frac{t_{ox}}{\epsilon_{ox}} q N_{tr} \quad (2)$$

ここで、 ϵ_{ox} は酸化物の誘電率であり、 q は電子の電荷である。酸化膜厚が数十nmから1 μ mの範囲において、 ΔV_{th} は酸化膜厚の2乗に比例する。

集積回路用のデバイスでは微細化が進むに連れてゲート酸化膜もまた薄くなっているため、新しいCMOSデバイスではゲート酸化膜への正孔トラップの影響は小さくなっている。そのため、むしろ素子分離のための酸化物への影響が大きくなっている [17]. 一方で、パワーデバイスではゲート酸化膜の絶縁破壊強度を保つ必要があり、集積回路のようにゲート酸化膜を薄くすることができない。そのため、パワーMOSFETの厚い酸化膜の信頼性は今なお重要な課題である。

このような背景の中、近年注目されているワイドバンドギャップ半導体を用いたパワーデバイスについて耐放射線性能が調査されている [10]. 特にSiC-MOSFETは高耐電圧、低オン抵抗なデバイスであり、商用化が進んでいる。SiCを用いたデバイスであっても、ゲート酸化物を利用したデバイスであれば、従来のSiを利用したデバイスと同様に、X線によるゲート酸化物への正電荷トラップを生じる。

酸化物にトラップされた電荷が酸化物から出ていくプロセスとして、熱励起による電荷の放出と、高電圧印加によるFowler-Nordheim (FN) トンネル効果による放出が考えられる。TIDによるしきい値の低下を回復させる方法として、熱アニーリング [18] やゲート端子への高電圧印加 [19,20] が提案されている。熱アニーリングを行う場合、パッケージ済みの素子の場合にはパッケージ材料の膨張や内部のはんだ接合部が融解する破損の可能性がある。また、ゲート端子への高電圧印加は、ゲート酸化膜の信頼性を著しく損なう可能性がある。そのため、これらの方法によってTIDの影響を回復するには適切な信頼性の評価を行う必要がある。

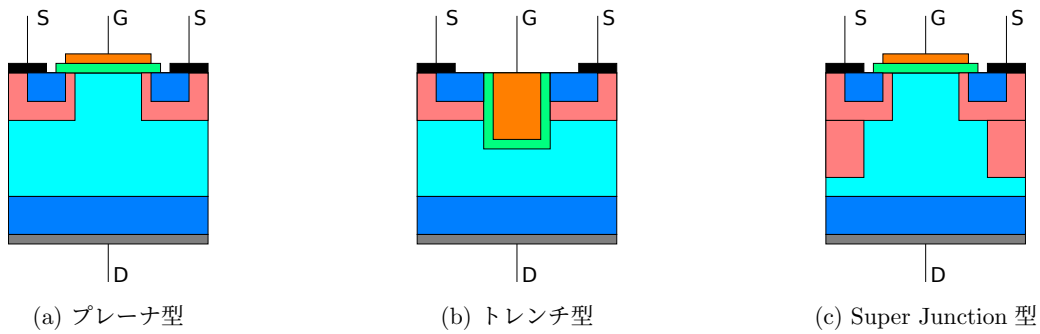


図 1: パワー MOSFET の構造

3. パワー MOSFET の構造

今回の研究では縦型のパワー MOSFET を対象とする。集積回路中で用いられる Si 基板の片面にゲート、ドレイン、ソース端子がすべて存在する横型デバイスと異なり、電流の向きを縦方向とすることでドレイン領域を厚くして電界を小さくすることで絶縁破壊強度を大きくできる。

プレーナ型 MOSFET 図 1(a) に n 型のプレーナ型 MOSFET の構造を示す。ゲート電極に正電位を加えることでチャネルが形成され、電流が流れる。チャネルの生成方向が横向きであるため、面積あたりの電流密度の点において不利である。また、p 領域とドリフト n 領域の間に形成される空乏領域によって抵抗が増えるため、微細化に限度がある。一方で、後述するトレンチ型 MOSFET などと比較すると切削などのプロセスがなく製造しやすい。

トレンチ型 MOSFET 図 1(b) にトレンチ型 MOSFET の構造を示す。ゲート酸化膜を基板深さ方向に形成することによって絶縁破壊強度を大きくでき、またチャネルが縦方向に生成されるので、面積あたりの電流密度を大きくできる。一方でプレーナ型と比較すると製造コストが高い。

Super Junction MOSFET 図 1(c) に Super Junction (SJ) MOSFET の構造を示す。ゲート酸化膜をドリフト領域に大きく食い込ませることによって電界集中を避け、絶縁破壊強度を大きくしている。これによりドリフト領域のドーピング濃度を高く、オン抵抗とゲート電荷を小さくすることができる。Si の SJ MOSFET (Si-SJ-MOSFET) は Si の堆積と酸化を繰り返すことにより徐々にドレイン領域を厚くしていく。SiC の SJ MOSFET も研究されている [21] が、本論文では扱わない。

4. 実験方法

本研究では、材料や構造が異なりオン抵抗に近い、以下の 3 種類の商用パワー MOSFET を使用する。

- TK16N60W [22]
(Si-SJ-MOSFET 15.8A/600V 160mΩ)
- SCT2160KEC [23]
(SiC-プレーナ型 MOSFET 22A/1200V 160mΩ)

- SCT3160KLG11C [24]

(SiC-トレンチ型 MOSFET 17A/1200V 160mΩ)

パワー MOSFET の電流電圧特性 (I_d-V_{gs}) の測定には、Agilent B2912A を使用し、室温でデバイスを動作させる。以下の実験では、測定した電流電圧特性からしきい値を求める。しきい値は、各デバイスのデータシートに記載された条件において定電流法で抽出する。

4.1 X 線照射によるパワー MOSFET の特性変動の測定

X 線検査による吸収線量 (total ionization dose: TID) の影響を想定した実験を行うために、X 線検査装置を用いてパワー MOSFET に X 線照射を行い、特性変動を計測する。本実験では、商用の非破壊 X 線検査装置 3Xi-M200 [25] を用いた。実験条件は以下のとおりである。

- 累計被曝時間: 1, 2, 4, 8, 16, 32 [min]
- 線量: 3750 [mGy/min] (1 [Gy] = 1 [J/kg])

MOSFET に予め決めた時間の X 線照射を行う毎に検査装置から取り出し、電流電圧特性を測定する。

4.2 熱アニーリング

ホットプレートを用いて X 線照射後のデバイスを加熱し、熱アニーリングを行う。ホットプレートの温度は表面に付けた K 熱電対によって計測、制御する。同一デバイスに対し、低い温度から高い温度へと熱アニーリングを連続して行う。熱アニーリング条件は次のとおりである。

- 温度: 175, 200, 225, 250, 275 [°C]
- 時間: 各温度 10 [min]

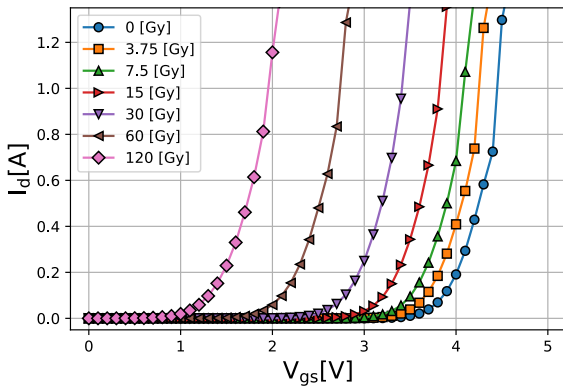
各温度における熱アニーリングの後、デバイス温度が室温に下がってから電流電圧特性を測定する。

4.3 ゲート端子への高電圧印加

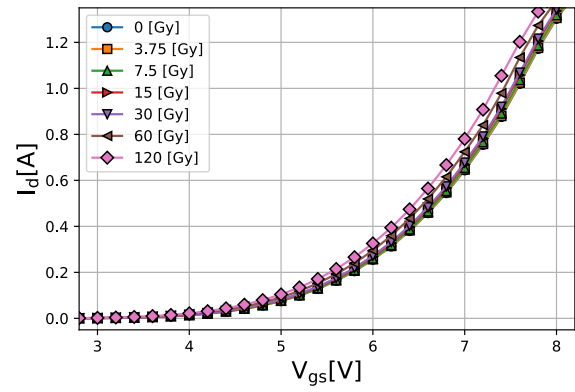
X 線照射後のデバイスのゲート端子に高電圧を印加して Fowler-Nordheim (FN) トンネリング効果によるアニーリングを行う。高電圧印加の条件は次のとおりである。

- ゲート電圧: 20, 22, 24, 26, 28, 30, 32, 34, 36 [V]
- 時間: 各電圧 5 [min]

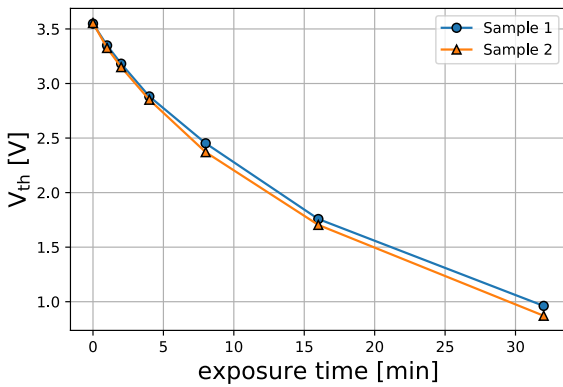
10 秒毎に電流電圧特性を測定する。



(a) I_d - V_{gs} 特性

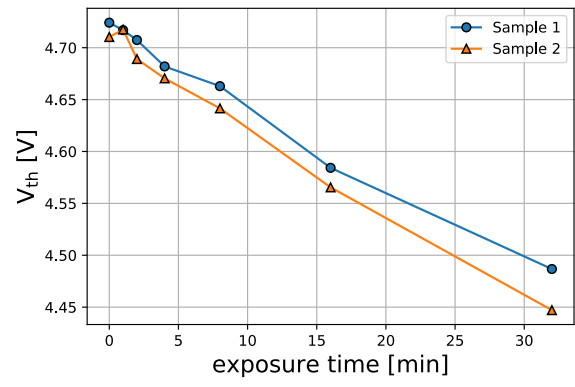


(a) I_d - V_{gs} 特性



(b) V_{th} -TID

図 2: Si-SJ-MOSFET の特性変動



(b) V_{th} -TID

図 3: SiC-プレーナ型 MOSFET の特性変動

5. 実験結果

5.1 X線照射によるパワー MOSFET の特性変動

Si-SJ-MOSFET の特性変動

実験結果を図 2(a) に示す。 $I_d - V_{gs}$ 特性が、 V_{gs} が負の方向にシフトしている。得られた計測結果をもとに、定電流法によりしきい値を求めた結果を図 2(b) に示す。しきい値 V_{th} は TID に対し、ほぼ単調に低下している。最終的には 80% 程度低下している。

SiC-プレーナ型 MOSFET の特性変動

実験結果を図 3(a) に示す。電流電圧特性が、各ゲート電圧 V_{gs} においてドレイン電流 I_d が増加する方向にシフトしている。定電流法により得られたしきい値を図 3(b) に示す。しきい値 V_{th} は TID に対してほぼ単調に低下している。最終的に 8% 程度低下している。

SiC-トレンチ型 MOSFET の特性変動

実験結果を図 4(a) に示す。電流電圧特性が、各ゲート電圧 V_{gs} においてドレイン電流 I_d が増加する方向にシフトしている。定電流法により得られたしきい値を図 4(b) に示す。しきい値 V_{th} は TID に対してほぼ単調に低下しているが、プレーナ型 MOSFET と比較して変動量が多い。最終的に 11% 程度低下している。

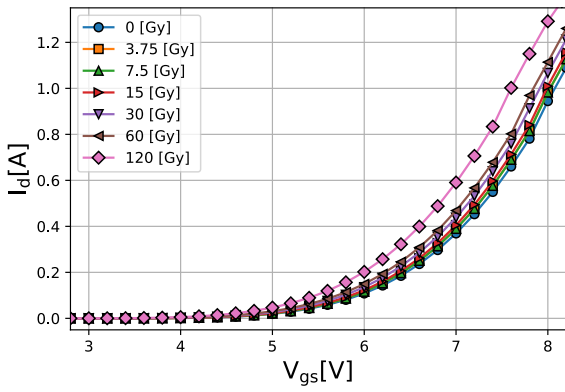
5.2 熱アニーリング

続いて X 線照射を行ったデバイスに対して熱アニーリングを行った。その際の電流電圧特性を図 5 に示す。

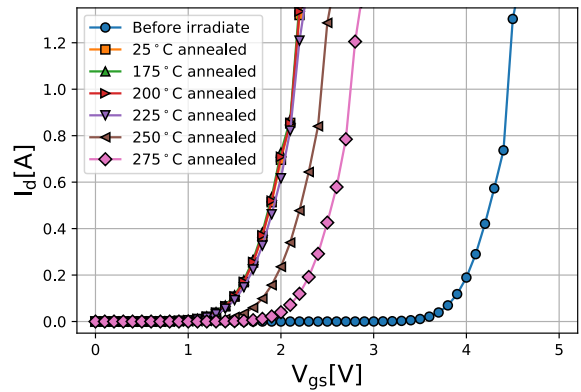
Si-SJ-MOSFET では熱アニーリングによってしきい値の回復がみられた。ただし、X 線照射前のしきい値までは回復せず、また、アニーリング温度が高ほど回復量が多い。一方、SiC MOSFET はどちらの構造も熱アニーリングによるしきい値の回復はみられなかった。

5.3 ゲート端子への高電圧印加

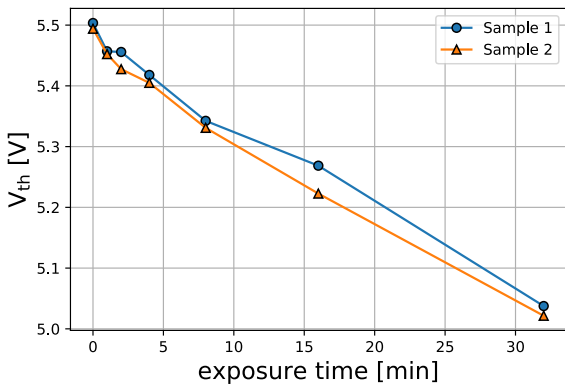
続いて、ゲート電極への正電圧印加によるしきい値の回復を行った。電流電圧特性から求めたしきい値の推移を図 6 に示す。今回実験に使用した Si-SJ-MOSFET のゲート-ソース間電圧の定格は 30 V である。20 V の印加により急速に回復した後、36 V までの印加で大きく回復することにはなかった。SiC-MOSFET の定格電圧はともに 22 V であり、定格を大きく超える電圧を印加している。印加電圧の増加に伴いしきい値は正にシフトした。プレーナ型 MOSFET では、ゲート電圧が高いほどしきい値が回復したが、36 V の印加により大きく負にシフトした。トレンチ型 MOSFET では 36 V まで単調にしきい値が回復し、最終的にもとのしきい値以上に回復した。



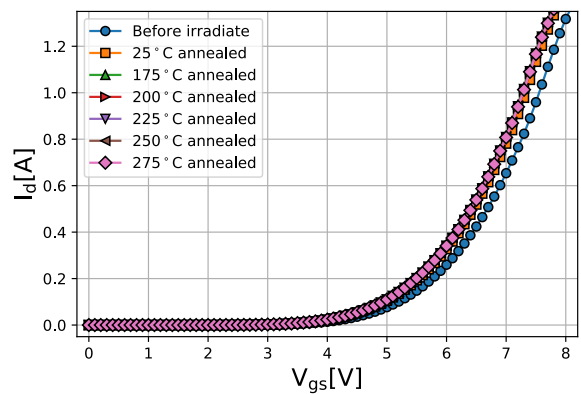
(a) I_d - V_{gs} 特性



(a) Si-SJ-MOSFET



(b) V_{th} -TID



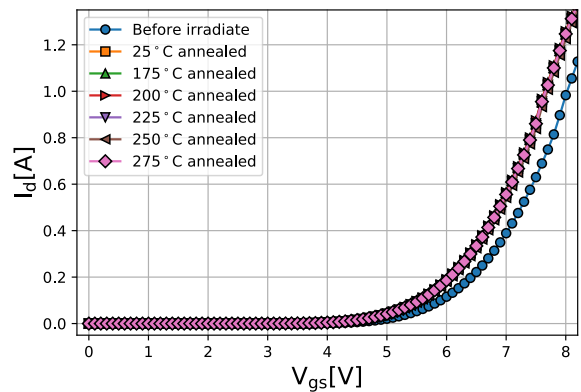
(b) SiC-プレーナ型 MOSFET

図 4: SiC-トレンチ型 MOSFET の特性変動

5.4 考察

Si-SJ-MOSFET ではしきい値がもとの値から 80% 程度の低下がみられた. 一方で SiC-プレーナ型 MOSFET のしきい値の低下は非常に小さく, 耐放射線性能が高いといえる. また, SiC-トレンチ型 MOSFET のしきい値の低下幅はプレーナ型に比べて大きかった.

TID によるしきい値の変動は, ゲート酸化膜において X 線によって電子正孔対が生成され, 正電荷がゲート酸化膜中にトラップされることが原因と考えられている [10-13]. X 線を MOSFET の真上から照射した場合, 真上から見たゲート酸化膜の面積とその厚みが大いほど吸収されるエネルギーが大いと考えられる. そのため, 縦方向にゲート酸化膜が存在するトレンチ型 MOSFET の方が, 横方向に薄くゲート酸化膜が存在するプレーナ型 MOSFET よりも大きな影響を受けた可能性がある. ただし, ゲート酸化膜がトラップする正電荷量はゲート酸化膜厚やゲート酸化膜の品質, 半導体-酸化物界面の状態に大きく依存するため, 製造プロセスの進展により TID の影響をさらに受けにくくなる可能性がある. また, SJ 構造では, ドリフト領域に深く侵入した p 領域によって, スイッチングに必要なゲート電荷 Q_g を小さく設計できる. そのため, ゲート酸化膜がある程度厚く設計されていると予想され, そこにトラップされる正電荷も大い. また, 必要なゲート電荷 Q_g



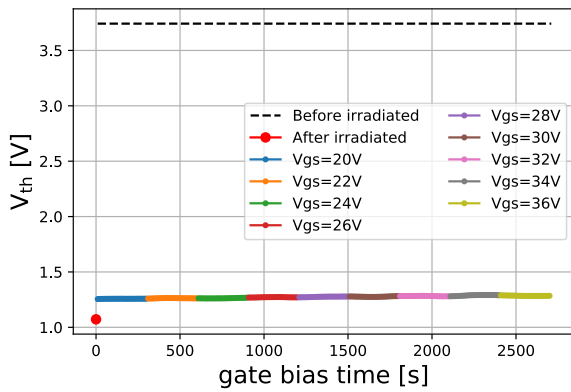
(c) SiC-トレンチ型 MOSFET

図 5: 熱アニーリングによる I_d - V_{gs} 特性の変化

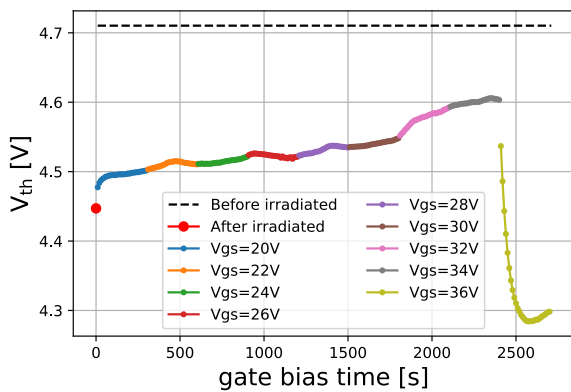
が小さい分, ゲート酸化膜にトラップされる正電荷の占める割合が大きくなり, 影響が大きくなると考えられる. ただし, 材料による影響と構造による影響を十分に分離して比較できていないので, 今後, Si-プレーナ型 MOSFET や Si-トレンチ型 MOSFET との比較を行う必要がある. これらの構造を持つデバイスの入手は困難で, 現状, 比較ができない. また, 将来的に SiC-MOSFET に SJ 構造を導入した場合に TID の影響を大い受けることが予想される.

6. 結論

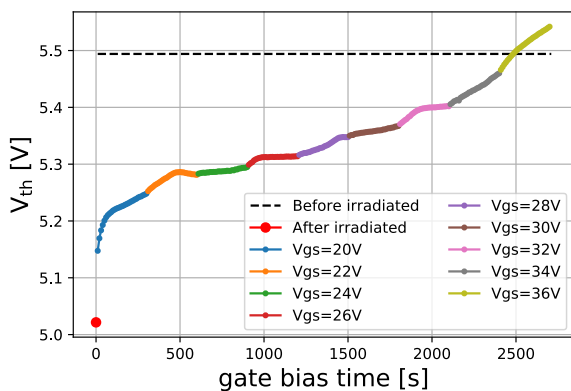
本研究では, X 線照射によるパワー MOSFET のしきい



(a) Si-SJ-MOSFET



(b) SiC-プレーナ型 MOSFET



(c) SiC-トレンチ型 MOSFET

図 6: ゲート電圧印加によるしきい値 V_{th} の変化

値の負シフトを評価した。Si-SJ-MOSFETと比較して、ワイドバンドギャップ半導体であるSiCを用いるMOSFETが高い耐放射線性能を持つことが示された。ただし、SiC-MOSFETであってもTIDの増加につれてしきい値が低下し続けることには留意が必要である。また、熱アニーリングや定格内のゲート電圧印加では特性がX線照射前の状態には回復しない可能性が示された。特にSiC-MOSFETにおいてゲート電極への高電圧印加によるしきい値の高速な回復がみられたが、ゲート酸化膜を劣化させた可能性があり、信頼性を適切に評価する必要がある。

謝辞

本研究の一部は JST OPERA プログラム (JP-MJOP1841) の助成を受けた。

参考文献

- [1] K.-N. Tu, *Solder joint technology*. Springer, 2007, vol. 117.
- [2] S. Su, F. J. Akkara, R. Thaper, A. Alkhalzali, M. Hamasha, and S. Hamasha, "A state-of-the-art review of fatigue life prediction models for solder joint," *Journal of Electronic Packaging*, vol. 141, no. 4, p. 040802, 2019.
- [3] N.-C. Lee, *Reflow soldering processes*. Elsevier, 2002.
- [4] M. Moganti, F. Ercal, C. H. Dagli, and S. Tsunekawa, "Automatic PCB inspection algorithms: a survey," *Computer vision and image understanding*, vol. 63, no. 2, pp. 287–313, 1996.
- [5] H. Wu, X. Zhang, H. Xie, Y. Kuang, and G. Ouyang, "Classification of solder joint using feature selection based on bayes and support vector machine," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 3, no. 3, pp. 516–522, 2013.
- [6] N. Cai, G. Cen, J. Wu, F. Li, H. Wang, and X. Chen, "SMT solder joint inspection via a novel cascaded convolutional neural network," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 8, no. 4, pp. 670–677, 2018.
- [7] C. Neubauer, "Intelligent X-ray inspection for quality control of solder joints," *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part C*, vol. 20, no. 2, pp. 111–120, 1997.
- [8] R. Aspandiar, "Voids in solder joints," in *SMTA Boise Expo and Tech Forum*, 2018.
- [9] C. Chen, H. Tong, and K.-N. Tu, "Electromigration and thermomigration in Pb-free flip-chip solder joints," *Annual Review of Materials Research*, vol. 40, pp. 531–555, 2010.
- [10] A. Akturk, J. McGarrity, S. Potbhare, and N. Goldsman, "Radiation effects in commercial 1200 V 24 A silicon carbide power MOSFETs," *Transactions on Nuclear Science*, vol. 59, no. 6, pp. 3258–3264, 2012.
- [11] C.-M. Zhang, F. Jazaeri, A. Pezzotta, C. Bruschini, G. Borghello, F. Faccio, S. Mattiazzo, A. Baschiroto, and C. Enz, "Characterization of gigarad total ionizing dose and annealing effects on 28-nm bulk MOSFETs," *IEEE Transactions on Nuclear Science*, vol. 64, no. 10, pp. 2639–2647, 2017.
- [12] K. Kutsuki, Y. Watanabe, Y. Yamashita, N. Soejima, K. Kataoka, T. Onishi, K. Yamamoto, and H. Fujiwara, "Experimental investigation and modeling of inversion carrier effective mobility in 4H-SiC trench MOSFETs," *Solid-State Electronics*, vol. 157, pp. 12–19, 2019.
- [13] F.-J. Hsu, C.-C. Hung, K.-T. Chu, L.-S. Lee, W.-B. Yeh, C.-Y. Lee, D.-S. Chao, J.-Y. Jiang, and C.-F. Huang, "Radiation influence comparison between SiC J MOS and DMOS," in *International Symposium on Power Semiconductor Devices and ICs*, 2020, pp. 146–149.
- [14] T. R. Oldham and F. McLean, "Total ionizing dose effects in MOS oxides and devices," *IEEE transactions on nuclear science*, vol. 50, no. 3, pp. 483–499, 2003.
- [15] H. Barnaby, "Total-ionizing-dose effects in modern CMOS technologies," *IEEE Transactions on Nuclear Science*, vol. 53, no. 6, pp. 3103–3121, 2006.

- [16] M. Alam, H. Shen, N. Asadizanjani, M. Tehranipoor, and D. Forte, "Impact of X-ray tomography on the reliability of integrated circuits," *IEEE Transactions on Device and Materials Reliability*, vol. 17, no. 1, pp. 59–68, 2017.
- [17] D. M. Fleetwood, "Evolution of total ionizing dose effects in MOS devices with Moore's law scaling," *IEEE Transactions on Nuclear Science*, vol. 65, no. 8, pp. 1465–1481, 2017.
- [18] T. Yokoseki, H. Abe, T. Makino, S. Onoda, Y. Tanaka, M. Kandori, T. Yoshie, Y. Hijikata, and T. Ohshima, "Recovery of the electrical characteristics of SiC MOSFETs irradiated with gamma-rays by thermal treatments," in *Materials Science Forum*, vol. 821, 2015, pp. 705–708.
- [19] D. Hu, J. Zhang, Y. Jia, and Y. Wu, "Radiation and annealing effects of SiC MOSFETs at high voltage gate bias," in *European Conference on Power Electronics and Applications*, 2018, pp. P–1.
- [20] D. Hu, J. Zhang, Y. Jia, Y. Wu, L. Peng, and Y. Tang, "Impact of different gate biases on irradiation and annealing responses of SiC MOSFETs," *IEEE Trans. Electron Devices*, vol. 65, no. 9, pp. 3719–3724, 2018.
- [21] P. Vudumula and S. Kotamraju, "Design and optimization of SiC super-junction MOSFET using vertical variation doping profile," *IEEE Trans. Electron Devices*, vol. 66, no. 3, pp. 1402–1408, 2019.
- [22] *TK16N60W datasheet*, TOSHIBA Co., Ltd., 2013.
- [23] *SCT2160KEC datasheet*, ROHM Co., Ltd., 2019.
- [24] *SCT3160KLG11 datasheet*, ROHM Co., Ltd., 2018.
- [25] サキコーポレーション, "3Xi シリーズ," 2020, <https://www.sakicorp.com/product/3daxi/>.