

130 nm プロセスによるフリップフロップの ソフトエラー耐性向上手法の提案

中島 隆一¹ 井置 一哉² 小谷 萌香¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路の微細化に伴い、信頼性の低下が問題となっている。信頼性低下の一因としてソフトエラーが挙げられる。本稿では、130 nm プロセスによるフリップフロップの脆弱性について α 線源を用いた加速試験と回路シミュレーションから明らかにし、ソフトエラー耐性を高める手法を提案する。実測結果と回路シミュレーションにより求めた NMOS の臨界電荷量 Q_{crit} との比較を行い、 Q_{crit} が高いほどエラーが発生しにくいと判明した。脆弱である論理ゲートを構成する PMOS のゲート幅を拡大することで PMOS のドレイン電流を増やし、 Q_{crit} を増加させた。しかし、ゲート幅の拡大は遅延時間や消費電力に影響することから最小限に抑える必要がある。ゲート幅の変更を最小限に抑えるため、配線を追加してゲート構造を変更した。ゲート構造の変更により、脆弱箇所の Q_{crit} は増加したが、 Q_{crit} が減少した箇所もあったため、回路全体の耐性を考慮した対策として、ゲート構造の変更に加えてトランジスタの追加を行った。PMOS ゲート幅の変更、ゲート構造の変更、トランジスタの追加によりソフトエラー耐性は向上する。

Improving Soft Error Tolerance of Flip-Flops in a 130 nm Process

RYUICHI NAKAJIMA¹ KAZUYA IOKI² MOEKA KOTANI¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: With the miniaturization of integrated circuits, degradation of reliability has become a critical issue. Soft errors are one of the causes of reliability degradation. In this paper, we clarify the vulnerability of flip-flops in a 130 nm process by accelerated test using an alpha-ray source and circuit simulations, and propose a method to improve the soft error tolerance. A comparison was made between the measured result and the critical charge (Q_{crit}) of the NMOS determined by circuit simulations. It was found that the higher the Q_{crit} , the less likely a soft error occurred. By increasing the gate width of the PMOS that composes the vulnerable logic gate, the drain current of the PMOS was increased and the Q_{crit} was increased. However, it is necessary to minimize the increase in the gate width because it affects the delay time and power consumption. To minimize the change in the gate width, the gate structure was modified by adding a wire connection. The change in the gate structure increases the Q_{crit} at the vulnerable points, but there were also points where the Q_{crit} decreases, thus transistors are added in addition to the change in the gate structure as a countermeasure considering the tolerance of the entire circuit. Changing the PMOS gate width, changing the gate structure, and adding transistors improves the soft error resistance.

1. 序論

ムーアの法則に従い、集積回路を微細化することで、動作周波数の向上、低消費電力化が実現されている [1]。一方で、微細化に伴い集積回路の信頼性低下が問題となっている。信頼性低下の原因の 1 つに放射線起因の一時故障

であるソフトエラーがある。ソフトエラーとは、放射線がトランジスタに突入することで発生した電子正孔対により記憶素子の保持値や論理回路の出力値が反転する一過性のエラーである。ソフトエラーは、永久故障であるハードエラーと異なり、機器の再起動により修復が可能であるが、自動車や医療機器などは人命に関わるため、ソフトエラー対策が必要である。信頼性の指標として国際的な自動車向けの機能安全規格である ISO26262 規格で定義された ASIL (Automotive Safety Integrity Level) がある。機能

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology
² ローム株式会社
ROHM Co.,Ltd.

安全は、安全性を確保するための機能や対策のことであり、ASILの要求を満たす信頼性を確保するためには、ソフトウェアの対策が必須となる。

記憶素子へのソフトウェア対策として、値を保持するラッチ回路の多重化が挙げられる。多重化によりソフトウェア耐性は向上するが、消費電力、遅延時間、面積といった性能面でのオーバーヘッドが大きくなってしまいうため、性能のオーバーヘッドとソフトウェア耐性とのバランスを考慮した対策が必要となる。

本稿では、実製品に用いられる130nmプロセスにより設計されたスキャン型フリップフロップの α 線によるソフトウェア耐性評価を行った。本研究に用いたフリップフロップはADAS（先進運転支援システム）に使用される予定である。ADASに使用するためには、故障率をおよそ10FIT以下とする最も厳しい要件であるASIL-Dを満たす必要がある。ASIL-Dを満たすシステムで使用されるLSIに要求される故障率を満たすためには、エラー率を1/100以下に低減する必要があると考えられるため、このための対策手法を提案する。第2節ではソフトウェアの発生原理について述べる。第3節では評価を行うフリップフロップと性能評価について述べる。第4節では α 線源を用いたソフトウェア耐性について述べる。第5節では改善回路の提案とその性能評価について述べる。第6節では本稿の結論を述べる。

2. ソフトエラー

本節では、集積回路の一時故障であるソフトウェアについて述べる。

2.1 ソフトエラーの発生機構

放射線が集積回路内のトランジスタに突入することにより電子正孔対が生じる。生じた電荷がトランジスタの拡散領域に収集されることにより、記憶素子の保持値が反転する現象をソフトウェアと呼ぶ[2]。ソフトウェアの発生機構を図1に示す。地上におけるソフトウェア発生の原因となる放射線は、主に α 粒子、熱中性子、高エネルギー中性子の3つである。

2.2 SEU (Single Event Upset)

SRAMやラッチなどの記憶素子で発生するソフトウェアをSEUと呼ぶ[3]。図2に示すように、ラッチを構成するインバータに荷電粒子が突入すると電子正孔対が発生して一時的に出力が反転する。反転した出力値が元の値に戻る前に、トライステートインバータに反転した値が取り込まれ出力されると保持値は反転する。保持値の反転に必要な最小の電荷量を臨界電荷量 Q_{crit} (critical charge)と呼ぶ[4]。 Q_{crit} は回路シミュレーションにより求めることができる。NMOSトランジスタでは電子起因、PMOSト

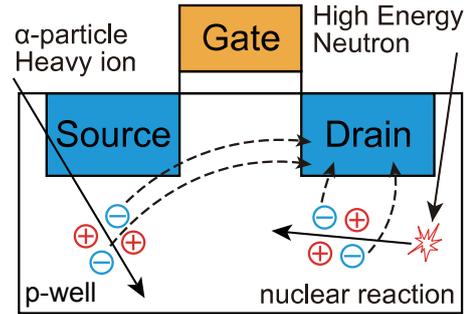


図1: ソフトエラー発生機構

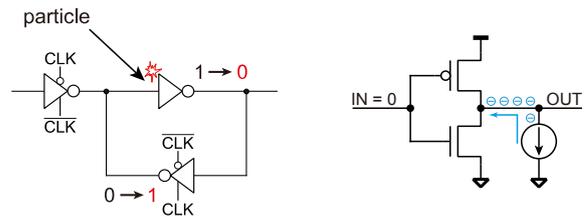


図2: Single Event Upsetの発生原理

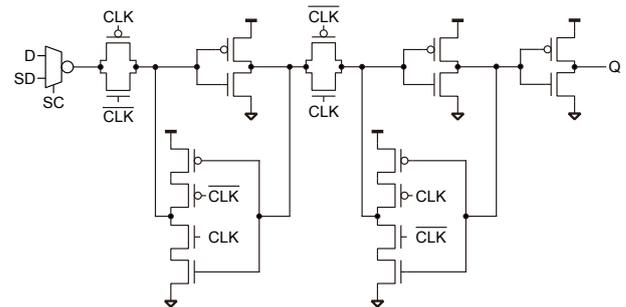


図3: Q_{crit} のシミュレーション方法 (NMOS)

ラッチ型フリップフロップの回路図。SD、SC、CLK、 \overline{CLK} 、Qの端子が示されている。

図4: スキャン型フリップフロップの回路図

3. 測定対象のフリップフロップと性能評価

3.1 測定対象のフリップフロップ

測定対象のフリップフロップは9種類ある。セット/リセット無、セット付き、リセット付きの3種類のスキャン型フリップフロップが用途に応じた3種類のライブラリA, B, Cに基づいて設計されている。

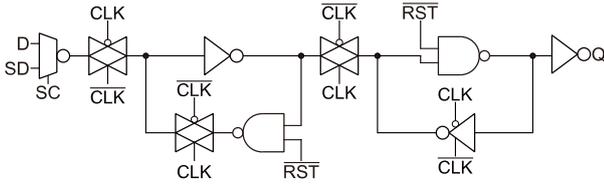


図 5: リセット付きスキャン型フリップフロップの回路図

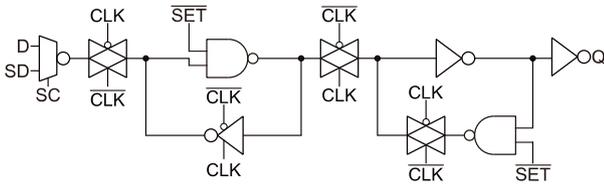


図 6: セット付きスキャン型フリップフロップの回路図

表 1: 各フリップフロップの性能比較

ライブラリ	フリップフロップの種類	遅延時間	消費電力	面積
A	セット/リセット無し	1.00	1.00	1.00
	リセット付き	1.10	1.10	1.20
	セット付き	1.10	1.10	1.20
B	セット/リセット無し	1.00	0.49	0.68
	リセット付き	1.00	0.50	0.84
	セット付き	1.10	0.53	0.88
C	セット/リセット無し	0.91	0.49	0.70
	リセット付き	0.99	0.50	0.80
	セット付き	1.00	0.53	0.83

3.2 各フリップフロップの性能評価

各フリップフロップの遅延時間、消費電力、面積を評価する。遅延時間と消費電力は、設計したレイアウトの配線抵抗や容量などの寄生成分を含む RC 抽出後のネットリストを用いた回路シミュレーションにより評価する。

各フリップフロップの消費電力、遅延時間、面積をライブラリ A のスキャン型フリップフロップを 1.00 として規格化した結果を表 1 に示す。ライブラリ A に比べてライブラリ B とライブラリ C は消費電力が 50%、面積が 30% 程度小さい。さらに、ライブラリ C は他のライブラリと比べて遅延時間が 10% 程度小さい。

4. α線照射によるソフトエラー耐性評価

4.1 α線照射試験の評価手法

3 MBq の ²⁴¹Am が埋め込まれた線源を用いて実施した。照射試験は以下を行う。

- (1) シフトレジスタ全段に同じ値 (0 または 1) を書き込み初期化する
- (2) クロック信号を 0 または 1 に固定して、α線源を置く
- (3) 測定時間が経過した後、α線源を取り外してシフトレジスタ全段の保持値を読み出す
- (4) 読み出した値と期待値が異なるフリップフロップ数を記録する

4.2 測定条件

測定条件を以下に示す。

- 電源電圧：1.5 V
- 照射時間：5 分間
- 動作状態：(Q, CLK) = (0, 0), (0, 1), (1, 0), (1, 1)
- 測定回数：5 回

4.3 α線照射結果と臨界電荷量 Q_{crit} との比較

α線照射結果から算出したエラー率を図 7 に示す。図 7 より、(Q, CLK) の条件別で比較すると、 $Q \neq CLK$ のときにエラーが発生しやすくなる傾向にある。(Q, CLK) = (0, 1) のときはプライマリラッチ側、(Q, CLK) = (1, 0) のときはセカンダリラッチ側のトリステートインバータの NMOS でエラーが発生する。トリステートインバータがインバータと比べてエラーが発生しやすくなる原因として、PMOS ゲート幅の違いが考えられる。PMOS のゲート幅が狭いと、α線により発生した電子を捕獲する正孔の量が少なくなるため、ゲートの出力電圧が低下しやすくなり、保持値の反転が起こりやすくなる。回路毎に比較すると、(Q, CLK) = (0, 1) のときはリセット付きスキャン型フリップフロップ、(Q, CLK) = (1, 0) のときはセット付きスキャン型フリップフロップが最も耐性が高くなる傾向にある。

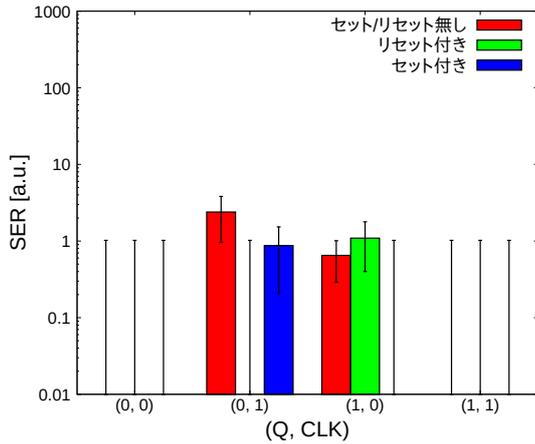
算出したエラー率を臨界電荷量 Q_{crit} と比較する。2.2 節で述べたように、ソフトエラーは主に NMOS で発生していると考えられるため、各ゲートの NMOS についての Q_{crit} を求める。電源電圧は標準電圧である 1.5 V、電流源は地上に置いてソフトエラーの主要因となる中性子起因の誘起電荷による電流をモデル化した式に示す単一指数モデル (single exponential model) を用いた [5]。図 8 に示すノード番号の Q_{crit} を求めた。

$$I(t) = Q \frac{2}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(-\frac{t}{T}\right) \quad (1)$$

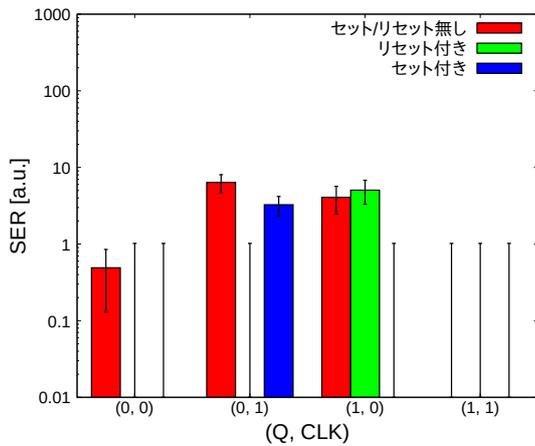
α線照射と回路シミュレーションから得られた各フリップフロップのエラー率と臨界電荷量 Q_{crit} を比較した図を図 9 に示す。式 1 の T はプロセスによって決まる時定数であり、文献 [4] よりプロセスルール 130 nm に対応する 50 ps とした。図 9 より、 Q_{crit} が 15 fC より大きいところでは、エラー率が最も大きいところの 1/100 以下になっている。 Q_{crit} を 15 fC 以上になるように変更することで、対策前に比べて 100 倍程度のソフトエラー耐性を確保することが可能になると考えられる。

5. 改善回路とその性能評価

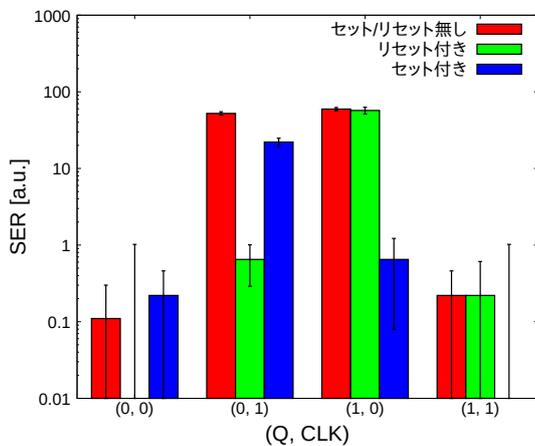
本節では、最もエラー耐性の低いライブラリ C によるセット/リセット無しスキャン型フリップフロップの改善方法について述べる。



(a) ライブラリ A



(b) ライブラリ B



(c) ライブラリ C

図 7: α 線照射結果から算出したエラー率

5.1 改善手法

エラー率を 1/100 以下に下げるとともに Q_{crit} を 15 fC 以上にする対策方法について述べる。

5.1.1 PMOS ゲート幅変更

図 10 に示す回路の PMOS ゲート幅の変更を行った。PMOS のゲート幅を広げることで、拡散領域に収集された電子を捕獲する正孔を増加させることができる。 Q_{crit} が 15 fC 以上になるように変更を施すことで、エラー率を

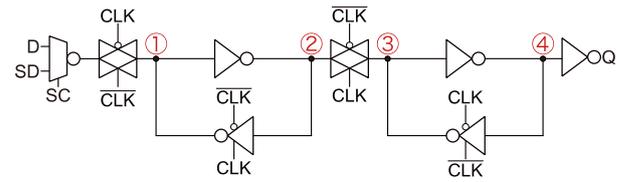


図 8: セット/リセット無しスキャン型フリップフロップのノード番号

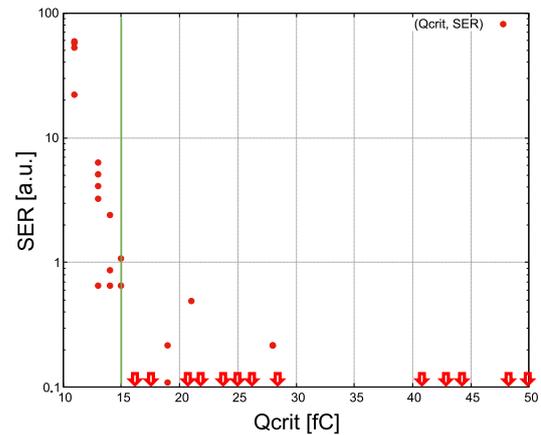


図 9: エラー率と Q_{crit} の関係. 赤い矢印はエラー率が 0 であることを表す。

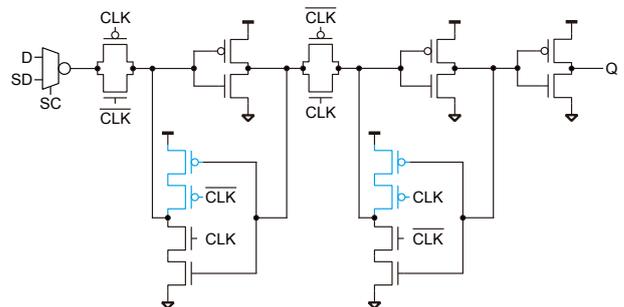


図 10: ゲート幅のみ変更したスキャン型フリップフロップの回路図 (青のトランジスタがゲート幅を変更したもの)

1/100 以下に抑えることが可能になると考えられる。しかし、PMOS のゲート幅を広げると、PMOS を流れるドレイン電流が増加するため、消費電力は増加する。電流が増加することにより、出力信号が立ち下がりにくくなり、遅延時間が増加する。そのため、PMOS のゲート幅変更を最小限に抑える必要がある。

5.1.2 ラッチ下部のゲート構造変更

実測結果より $(Q, CLK) = (1, 0)$ の時のセット付きスキャン型フリップフロップのセカンダリラッチ下部のゲート構造はライブラリに依らずソフトエラー耐性が高いため、セット付きスキャン型フリップフロップのセカンダリラッチの構造を参考にした。図 11 のように直列に接続された PMOS と NMOS の間に配線を通し、トライステートインバータをインバータとトランSMissionゲートに分割し

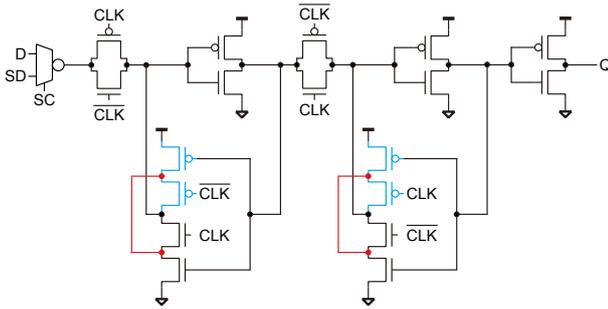
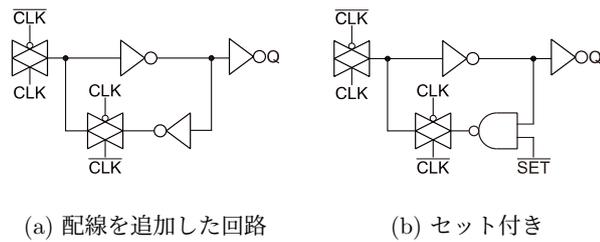


図 11: 配線を追加したスキャン型フリップフロップの回路図 (赤の配線が追加したもの)



(a) 配線を追加した回路 (b) セット付き

図 12: セカンダリラッチ. (a) は (b) の NAND をインバータに変更したもの.

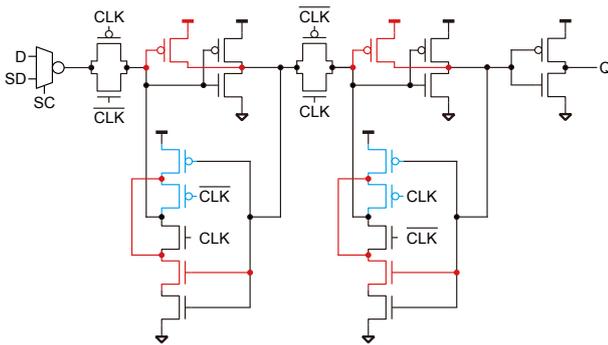
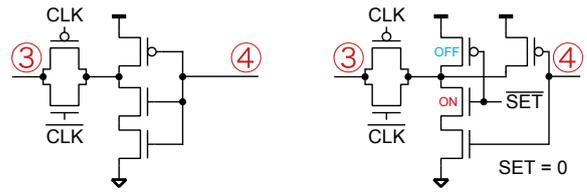


図 13: トランジスタを追加したスキャン型フリップフロップの回路図 (赤のトランジスタが追加したもの)

た. 変更前は直列接続であったクロック信号を入力とするトランジスタが配線の追加により並列接続になる. 並列接続のためラッチ下部のゲート全体の抵抗が下がり電流が増加するため, Q_{crit} は増加する. 図 12 は改善回路とセット付きスキャン型フリップフロップのセカンダリラッチである. 図 12(a) は図 12(b) の NAND をインバータに変更したものである. インバータの Q_{crit} は目標である 15 fC より大きく NAND の Q_{crit} とは 1 fC の差であるため, ソフトエラー耐性の改善が可能と考えられる. しかし, Q_{crit} が減少するノードもあるため, フリップフロップ全体のソフトエラー耐性が下がる可能性がある.

5.1.3 トランジスタの追加

前節で説明した変更に加えて, 図 13 のようにトランジスタを追加した. ラッチ上部のインバータについてプライマリラッチとセカンダリラッチのインバータを構成する



(a) 改善回路 (b) セット付き

図 14: セカンダリラッチ下部. SET = 0 のとき. (b) の入力が \overline{SET} の PMOS は OFF 状態であり, (a) と (b) は同じ動作をする.

表 2: 変更による Q_{crit} の変化

回路構造	ラッチ下部の PMOS ゲート幅	各ノードにおける Q_{crit} [fC]			
		①	②	③	④
図 4	1.00	11(±0)	28(±0)	11(±0)	19(±0)
	1.00	13(+2)	38(+10)	12(+1)	26(+7)
図 13	1.50	15(+4)	37(+9)	14(+3)	26(+7)
	2.00	18(+7)	37(+9)	16(+5)	26(+7)

PMOS のゲート幅はラッチ下部のインバータを構成する PMOS のように最小サイズではない. ゲート幅の拡大にはセルの高さを広げる必要があるが, ライブラリの仕様上さらに広げることはできない. PMOS をラッチ上部のインバータを構成する PMOS に対して並列に追加した. 追加により, 拡散領域に収集された電子を捕獲する正孔が増加するためラッチ上部のインバータの Q_{crit} を改善することができる. 追加した PMOS の個数分の NMOS をラッチ下部のインバータにスタックすることで, ラッチ構造をセット付きスキャン型フリップフロップのセカンダリラッチのものと同しくすることができる. セット付きスキャン型フリップフロップのセカンダリラッチの構造を見ると, NAND ゲートを構成する PMOS2 つのうち片方の入力は \overline{SET} であり通常 SET = 0 であるため, PMOS は片方しか ON 状態にない. 追加を施したラッチがセット付きフリップフロップのセカンダリラッチと同じ動作をするため, ソフトエラー耐性は向上すると考えられる. トランジスタ追加後の Q_{crit} を表 2 に示す. ラッチ下部の PMOS ゲート幅は, 変更前の値を 1.00 として規格化した値である. トランジスタの追加によりすべてのノードにおける Q_{crit} は増加した.

5.2 デバイスシミュレーションによる耐性評価

前節で述べた提案回路について, TCAD (Technology Computer Aided Design) を用いたデバイスシミュレーションによる耐性評価を行った. 高エネルギー中性子は, 基板の Si 原子と衝突することによって核反応を起こし, α 線, Al や Mg イオンなどの重イオンを発生させる [6]. 発生した重イオンは LET (Linear Energy Transfer) が最大

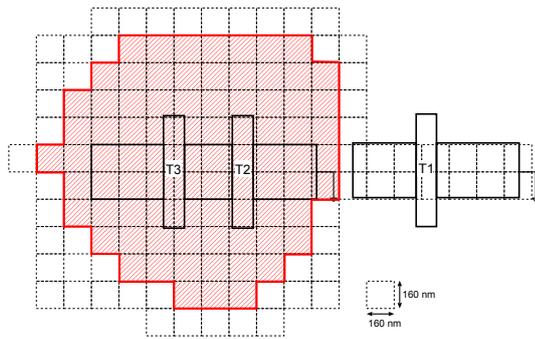


図 15: 改善前の回路 (セカンダリラッチの NMOS). 赤色の箇所が CS を表す.

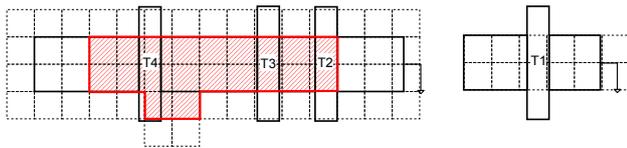


図 16: 改善後の回路 (セカンダリラッチの NMOS). 赤色の箇所が CS を表す.

で約 $18 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ のエネルギーを有する [7]. LET とは、荷電粒子が単位距離を通過するときに物質に与えるエネルギーである。今回は最も脆弱であるセカンダリラッチ下部の NMOS にエネルギー $15.8 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の重イオンを照射した場合の衝突断面積 CS (Cross Section) をデバイスシミュレーションにより求めた。CS とは、放射線が通過した場合、保持値が反転する面積のことである。対象となるデバイスのトランジスタを 160 nm 四方のグリッドに区切り、各グリッドの中心に重イオンを照射した。照射により出力電圧が反転した場合、照射位置のグリッドを記録して、その合計を CS とした。シミュレーション条件は、電源電圧は 1.5 V , (Q, CLK) は最も脆弱である (1, 0) とした。

シミュレーション結果を図 15, 16 に示す。赤色の領域が CS である。図 15, 16 より前節で提案した手法で高エネルギー中性子の核反応により生じる重イオン起因のエラーを約 $1/4$ に低減できることが確認できた。

5.3 性能評価

改善回路について消費電力、遅延時間、面積を元の回路であるライブラリ C のセット/リセット無しスキャン型フリップフロップを 1.00 として規格化した結果を表 3 に示す。回路構造の変更により、消費電力は 6%, 遅延時間は 1%, 面積は 14% 増加した。ラッチ下部の PMOS ゲート幅が 0.50 増えるごとに消費電力と遅延時間は 3% ずつ増加した。

6. 結論

本稿では 130 nm プロセスによるフリップフロップの脆

表 3: 改善回路の性能評価結果

回路構造	ラッチ下部の PMOS ゲート幅	消費電力	遅延時間	面積
変更前 (図 4)	1.00	1.00	1.00	1.00
	1.00	1.06	1.01	1.14
改善回路 (図 13)	1.50	1.09	1.04	1.14
	2.00	1.12	1.07	1.14

弱性について α 線源を用いた加速試験と回路シミュレーションから明らかにし、ソフトエラー耐性を高める手法を提案した。実測結果から算出したエラー率と回路シミュレーションにより求めた臨界電荷量 Q_{crit} から Q_{crit} が 15 fC 以上となる箇所ではエラー率が最も多い箇所の $1/100$ 以下になることが判明した。ゲート幅の変更および配線とトランジスタの追加により Q_{crit} を 15 fC 以上にしてソフトエラー耐性の向上を図った。本稿で提案した手法により消費電力、遅延時間、面積などのオーバーヘッドを 10% 程度に抑えて α 線によるエラー率を改善前に対して $1/100$ 以下に低減させることが可能になる。今後、提案した回路に対して高エネルギー中性子の照射測定を行いソフトエラー耐性の改善を確認する予定である。

謝辞 本研究はローム株式会社との共同研究であり、使用した TEG チップと PDK はローム株式会社から提供されたものである。シミュレーションやレイアウト設計に用いた EDA ツールは東京大学 d.lab-VDEC を通し、ルネサスエレクトロニクス、日本シノプシス合同会社、日本ケイデンスデザインシステム社、シーメンス EDA ジャパン株式会社から提供されたものである。

参考文献

- [1] G.E. Moore, "Cramming more components onto integrated circuits," IEECE Transactions on Electronics, vol.90, no.4, pp.699-707, 2007.
- [2] 戸坂義春, "知っておきたいソフト・エラーの実態," 日経エレクトロニクス, vol.2005年7月24日号, 2005.
- [3] E. Petersen, "Single event effects in aerospace", John Wiley & Sons, 2011.
- [4] P. Hazucha and C. Svensson, "Impact of CMOS technology scaling on the atmospheric neutron soft error rate," IEEE Transactions on Nuclear Science, vol.47, no.6, pp.2586-2594, 2000.
- [5] P. Shivakumar, M. Kistler, S.W. Keckler, D. Burger, and L. Alvisi, "Modeling the effect of technology trends on the soft error rate of combinational logic," Proceedings International Conference on Dependable Systems and Networks, pp.389-398, 2002.
- [6] R. Ramanarayanan, V.S. Degalahal, R. Krishnan, J. Kim, V. Narayanan, Y. Xie, M.J. Irwin, and K. Unlu, "Modeling soft errors at the device and logic levels for combinational circuits," IEEE Transactions on Dependable and Secure Computing, vol.6, no.3, pp.202-216, July 2009.
- [7] H. Asai, K. Sugimoto, I. Nashiyama, Y. Iide, K. Shiba, M. Matsuda, and Y. Miyazaki, "Terrestrial neutron-induced single-event burnout in SiC power diodes," IEEE Trans. Nucl. Sci., vol.59, no.4, pp.880-885, Aug 2012.