

増幅回路のパラメータ最適化における 性能指標の事前予測による探索時間短縮

山下 太一¹ 土谷 亮¹ 井上 敏之¹ 岸根 桂路¹

概要: アナログ回路の自動設計はデジタル回路に比べて困難であると考えられている。その理由の一つが考慮すべき性能指標が多く、またそれらには性能要件が定められている点である。ランダムなパラメータの探索ではすべての性能指標が性能要件を満たす確率は低く、ある実験では 0.4% という結果が得られている。性能要件を満たしていないときの回路の特性は探索においてほとんど参考にならない。そこで、性能要件を満たしているかどうかを予測すれば効率的にパラメータ探索が行えると考えた。本論文では、線形分類器によって、性能要件を満たすかどうかを予測する手法を提案した。これにより、探索過程において性能要件を満たしていない回路を評価する割合を最大で 65.67% 下げられることを確認した。

Processing time reduction with pre-simulation performance prediction in design-parameter optimization

Abstract: Design automation of analog circuits is considered to be more difficult than that of digital circuits. One of the reasons is that analog circuits have many performance figures, and efficient design space exploration is difficult. From an experiment, the probability to satisfy a set of performance targets is only 0.4% by a random parameter search. Unsatisfying data has less contribution to design optimization, thus it is a cause of difficulties of design automation. In this paper, we propose to use a linear classifier to predict the circuit performance before circuit simulation. The linear classifier can cut the search space without numerical simulations, thus the proposed method reduce the total processing time. We confirmed that the rate of evaluating circuits without satisfying a target value is reduced by up to 65.67% in searching process.

1. 研究背景

集積回路の用途の拡大に伴い、求められるアナログ回路も多種にわたっている。冗長アナログ回路は設計コストが高く、アナログ回路設計自動化の要求は高くなっている。PSO(Particle Swarm Optimization)[1] や BO(Bayesian Optimization)[2] などの最適化アルゴリズムを用いる方法がある。

しかし、最適化アルゴリズムを用いると、かえって時間がかかる場合がある。例えば、MOSFET の動作領域が飽和領域であることを回路に求める要件として、消費電力を最小化することを考える。MOSFET は遮断領域だと消費電力が最も小さくなるが、動作領域が異なると MOSFET の支配方程式が変化する。そのため、動作領域が異なると

きの消費電力は最適化でのパラメータ決定において参考にならない値となる。そして、飽和領域とすること自体が困難である場合、参考になる値が得られにくくなるため、最適化に時間を要することになる。

そこで、できるだけ短時間で最適化を行うための方法として、幾何学的プログラミングを応用する方法 [3] が提案された。この手法では、設計上の様々な目的や制約が設計変数の一次関数になっていることに着目した。それにより、アンプの設計問題は幾何学的計画法と呼ばれる特殊な形式の最適化問題として表現できることから、競合する性能指標間の大域的に最適なトレードオフを効率的に決定することができるとしている。ほかには、直列モジュール生成問題とコモンセントロイドモジュール生成問題を解決する方法として greedy アルゴリズムを用いた手法 [4] が提案された。これらの手法として共通するのは、目的や問題がある特殊な形状になることを前提としていることを特徴と

¹ 滋賀県立大学
The University of Shiga Prefecture

する。

本論文では、目的や問題がある特殊な形状かどうかの前段階として、性能要件を満たせる領域の大きさに着目して、最適化の効率化を実現できる方法を提案した。ここで、性能要件とは、最大化(最小化)したい性能指標以外の性能指標に対する達成すべき条件のことである。探索領域内の性能要件を満たせる領域を得るためには設計パラメータの制約条件では不十分である。そこで、性能要件を満たせるかを判別できる分類器を用いて、探索領域内の性能要件を満たす部分を得られるようにした。これにより、性能要件を満たしていないパラメータを選択する確率を最大で60%減少させることで、単位探索時間により多くの性能要件を満たせているパラメータを評価させることに成功した。

第2節では最適化における問題点について言及し、その問題点を解決するための性能要件を予測する方法について述べる。第3節では予測による短縮の効果を示し、第4節では第3章で得られた検証結果をもとに考察をおこなう。第5節で結論を述べる。

2. アナログ回路設計における探索領域の問題点と提案手法

2.1 アナログ回路設計における探索領域の問題点

最適化において問題となるのは、性能要件を満たさない領域で評価している割合が多い点である。すでに述べた通り、アナログ回路ではMOSが適切な動作領域にない場合には支配方程式が変わる。そのため、性能要件を満たさない場合には、最適化においてほとんど参考にならないデータとなることが多い。参考にならない値であってもシミュレーションによる計算時間が発生するので、探索時間のほとんどがこの参考にならない値を計算している時間となっている。

ここで、本論文で想定する最適化の全体の処理を表したのが図1である。最適化アルゴリズムは次に探索するパラメータを決定する。次に、決定したパラメータを回路シミュレータに入力し性能指標を得る。そして、それらの性能指標が性能要件を満たしているかを判定する。満たしている場合はそれを参考に次のパラメータを決定する。これらのプロセスを繰り返すことで最適解を得ることができる。なお、性能要件を満たせないパラメータは、参考にならないデータとして棄却される。

図2に示すように、点線で囲まれた領域が制約条件により定まる探索領域で、その内側の曲線で囲まれた赤い領域がすべての性能要件を満たしている領域とする。簡単のため、設計パラメータは2個、性能要件は2個とする。以降では、制約条件とすべての性能要件を満たすようなパラメータの領域を対象領域と呼ぶことにする。この例では、対象領域に対して非対象領域が大きいので、非対象領域が選ばれる確率の方が高くなると考えられる。そのため、実

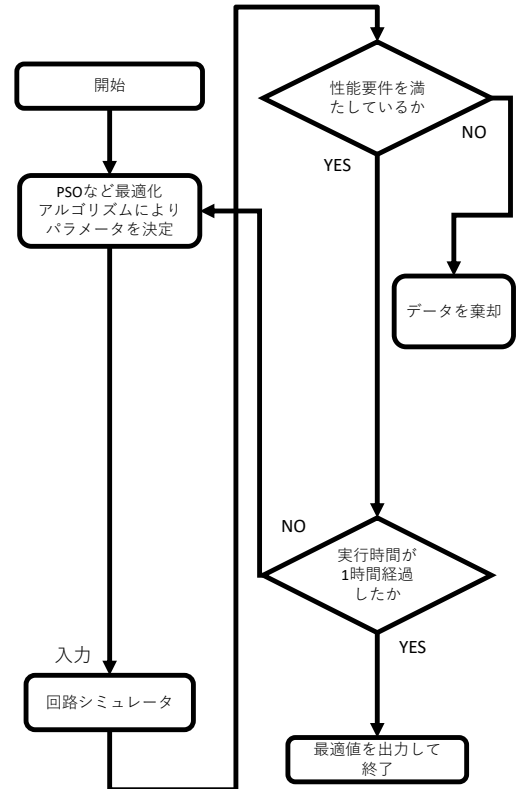


図1 最適化の全体図

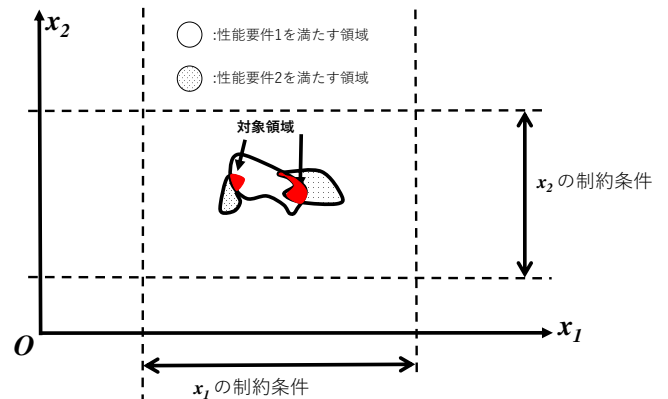


図2 対象領域のイメージ

行時間のほとんどが非対象領域でシミュレーションしている時間になってしまう。

図3のように制約条件を変更することで対象領域の割合を大きくすることができる。しかし、この方法は次の問題点がある。それは対象領域を制約条件により決定できる長方形では完全に切り取れないことである。また、一般的に対象領域の形状は不明であるため、制約条件をどの程度変更したらよいか不明となる。したがって、長方形以外で切り取る方法を考える必要がある。

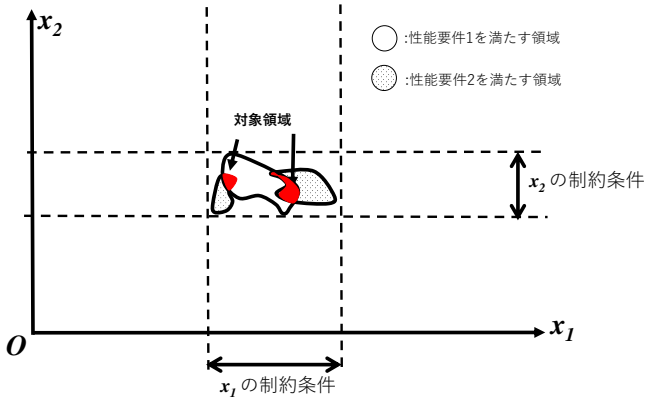


図 3 探索領域を狭くする例

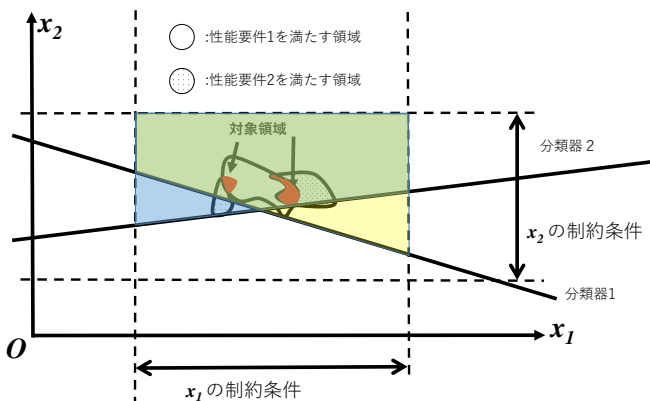


図 4 分類器の概略図

2.2 提案手法

長方形以外で切り取る方法として図4のように探索領域内に直線を2本引き、その直線より上または下にある部分を切り取ることを提案する。以降では、この直線のことを分類器と呼ぶ。図4においては、2本の直線より上側の緑色の領域が分類器により対象領域と判断された領域となる。このように分類器を用いることで、長方形以外の形状で切り取ることが可能となる。一般的にはパラメータ数は n となるので、 n 次元空間での超平面で分類することになる。さらに、この分類器は性能要件を定める性能指標の数だけ用いる。

分類器を式で表すと次ようになる。

$$a_0 + \sum_{k=1}^n a_k x_k = 0 \quad (1)$$

ここで、 a_k は係数で、 x_k は最適化したいパラメータ、 n は最適化したいパラメータ数を表している。この式は n 次元空間内での超平面を表している。この係数を決めることで、与えられたパラメータをこの式に代入してある性能要件を満たすかどうかの予測が行える。

本論文ではこの係数を機械学習により決定させた。ま

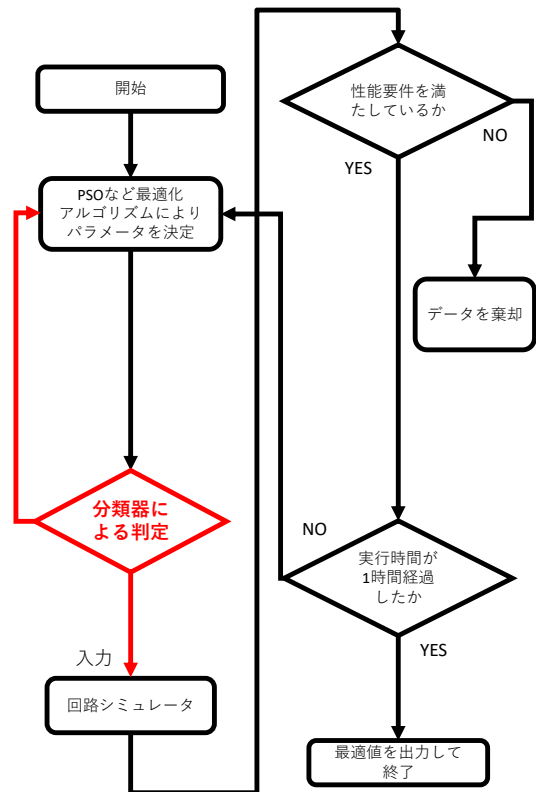


図 5 最適化の改善案

ず、 m 個の教師データを用意し、それに対する分類器の分類率 X を最大化するように係数を決定する。分類率 X は次の式で表される割合である。

$$X = \frac{TP}{TP + FN + FP} \quad (2)$$

ここで、TP(True Positive) は対象領域に属すると予測されたものの中で、実際に対象領域に属していたものの数を表している。FN(False Negative) は非対象領域に属すると予測されたものの中で、実際には対象領域に属していたものの数を表している。FP(False Positive) は対象領域に属すると予測されたものの中で、実際には非対象領域に属していたものの数を表している。したがって、分類率 X が大きくなるほど教師データに対する分類がされていることになる。

図5に示すように、シミュレータにパラメータを入力する前に、分類器により予測するプロセスを挿入した。このプロセスにより、対象領域であると予測されたパラメータのみがシミュレーションを実行するようになり、非対象領域であると予測された場合はシミュレーションが実行されることなく次のパラメータを決定するように動作する。これにより、最適化に寄与しない領域のシミュレーションを省くことができ、最適化全体の実行時間短縮が期待できる。

分類器の懸念事項として教師データと係数の計算時間が

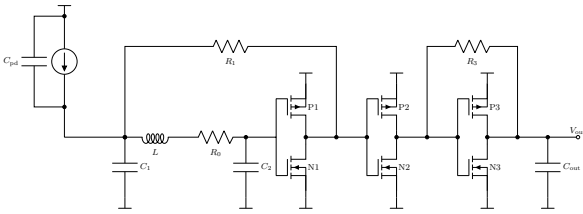


図 6 検討した TIA の回路図

必要となることがあげられる。非対象領域を選択しそれをシミュレーションする時間は削除できるが、かわりに分類器の計算時間を考慮する必要になる。分類率を大きくしようとすると、教師データは多いほうがよいのである。教師データが多い場合その分だけ係数の計算時間が必要となる。

3. 結果

3.1 実験方法

図 6 に本論文で扱った光通信に用いる多段増幅回路であるトランスインピーダンスアンプ (Transimpedance Amplifier; TIA) の回路図を示した。CMOS インバータを 3 個用いた増幅回路である。フィードバック抵抗を奇数段に用いることで回路の利得を抵抗により決めることができるのが特徴である。1 段目の入力にインダクタを挿入することで、 -3 dB 帯域を増加させることができる。

この回路を用いた理由は、生成された分類器の係数の妥当性の判断が容易であるためである。たとえばトランスインピーダンスゲインは、フィードバック抵抗 (R_1, R_2) により決定される。したがって、トランスインピーダンスゲインに性能要件を定めた場合、フィードバック抵抗に対応する係数の絶対値が他の係数の絶対値に対して大きくなることが予想される。

次に示す性能要件において、NRZ の信号を入力したときのビットレートが最も高くなるような回路パラメータを探索させた。

- トランスインピーダンスゲイン $50\text{ dB}\Omega$ 以上
- 消費電力 $10\text{ mW} - 50\text{ mW}$ 以下

消費電力の性能要件のみ $10\text{ mW} - 50\text{ mW}$ から選んだ値以下とした。消費電力の性能要件が変化することで対象領域も変化する。これは最適化中には変化せず、様々な要件、すなわち様々な対象領域で検証するために可変な値となっている。

なお、ビットレートは、アイパターンによる評価である。図 7 にアイパターンの例を示した。これは入力として 18.3 Gbps のランダムな NRZ 信号を与えた時の出力信号のアイパターンである。図中の赤い部分はこのビットレートが扱える信号であるかを検証するためのマスクである。このマスクに重なっている箇所がなければ扱える信号であるとした。マスクのサイズは、アイ開口率が 80% 、アイ幅が

[88.372] % [74.678] % 18.3 Gbps

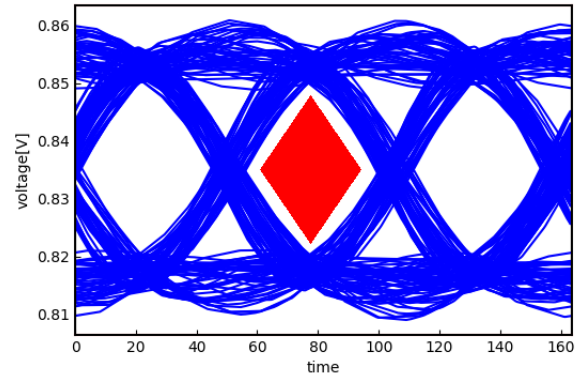


図 7 アイパターンの例

表 1 固定の素子値

ラベル	素子値
C_{PD}	100 fF
C_1	10 fF
C_2	10 fF
C_{out}	50 fF
R_0	20Ω

入力のビットレートに対応する周期に対して 60% となっている。したがって、図 7 によると、この場合では 18.3 Gbps は扱える信号となる。

最適化する値は各 MOSFET のデバイス幅 W (並列接続数)、抵抗値 (R_1, R_2)、インダクタ (L) の計 9 個のパラメータである。NMOS の並列接続数は $1-50$ 、抵抗値は $10\Omega-1000\Omega$ 、インダクタは $10\text{ pH}-10\text{ nH}$ の範囲で最適化させた。回路図中のその他の値に関しては以下の表 1 に示した。ただし、各段の出力コモンモード電圧を 0.9 V 付近に設定するために PMOS は NMOS の 3 倍前後のサイズとした。また電源電圧は 1.8 V とした。分類器の係数および回路のパラメータの決定には PSO (Particle Swarm Optimization) を用いた。

3.2 消費電力の性能要件と対象領域の大きさ

まず、パラメータをランダムで 10 万種類与えた場合に、非対象領域に属する確率を消費電力の性能要件を変えながら検証した。非対象領域に属する確率を調べることで、各消費電力条件における非対象領域が全探索領域に占める割合を求めることができる。図 8 に、性能要件の消費電力値を横軸、全探索領域に対する非対象領域の占有率を縦軸としたグラフを示す。消費電力の性能要件を小さくすることで非対象領域が大きくなっている。したがって、消費電力の性能要件を変えることで対象領域と非対象領域の割合を変えられることが示された。

3.3 分類器を用いない場合の選択率

次に予測をせずに最適化を行った場合に、非対象領域を

表 2 消費電力の性能要件と占有率

消費電力 [mW]	非対象領域占有率 [%]
10	99.63
15	97.84
20	93.32
25	84.57
30	72.16
35	58.89
40	47.55
45	40.30
50	36.45

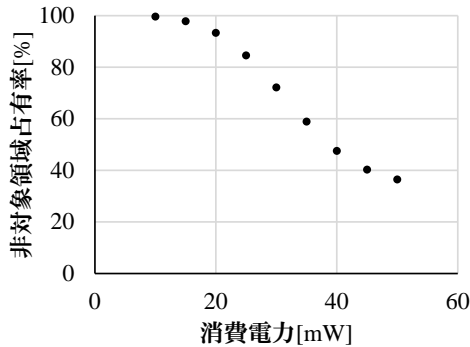


図 8 消費電力の性能要件を変化させたときの占有率の変化

表 3 占有率と非対象領域選択率 (予測なし)

非対象領域占有率 [%]	非対象領域選択率 [%]
36.45	36.42
40.30	33.15
47.55	39.26
58.89	53.21
72.16	66.53
84.57	75.39
93.32	88.26
97.84	94.56
99.63	98.41

評価する割合がどのくらいになるか検証した。以下、この割合のことを、非対象領域選択率と呼ぶことにする。図9に非対象領域が探索領域に対して占有している割合を横軸としたグラフを示す。予測をしない場合は非対象領域占有率が大きいと、それを選択する確率も上昇した。そのため、1時間の探索時間のうちのほとんどが非対象領域となるパラメータを評価していた時間となった。図中の点線は傾きが1の直線である。予測をしない場合はこの直線に近い点となった。これは、予測をしないで最適化を行った場合はランダム探索と有意差がないことを示している。

3.4 分類器を用いる場合の選択率

次に分類器を用いた予測による結果を示す。分類器の係数を学習させるのに用いる PSO について、粒子数は100、世代数は50とした。また、教師データ数を1万とした。図10に非対象領域が探索領域に対して占有している割合

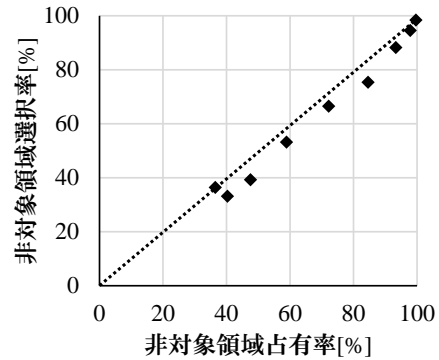


図 9 予測を行わない場合の非対象領域選択率

表 4 占有率と非対象領域選択率 (予測あり)

非対象領域占有率 [%]	非対象領域選択率 [%]
36.45	17.06
40.30	11.38
47.55	13.61
58.89	20.25
72.16	17.36
84.57	20.12
93.32	27.65
97.84	38.15
99.63	56.44

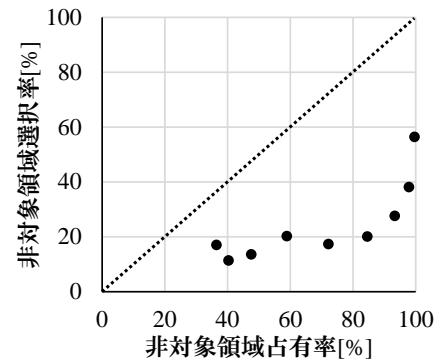


図 10 予測を行う場合の非対象領域選択率

を横軸としたグラフを示す。どの占有率においても非対象領域選択率を減少させていることが分かった。これにより、1時間の探索時間のうち非対象領域を評価してしまう時間を削減できることが確認できた。

次に、消費電力の性能要件を10mWとしたときの分類器の係数の学習結果を示す。この時の分類率は97.64%であった。この係数の表からわかることはN1, N2, N3に対応する係数の絶対値は定数項やその他の係数に対して大きいため、消費電力はN1, N2, N3の並列数で決まることである。次にP1, P2, P3について考える。これらの値はそれぞれP1, P2, P3に対する比として2倍から4倍の中で決定される。そのため変化量が小さくなるので、影響も小さいと判断されている。つまり、係数の絶対値は、素子値の消費電力に対する影響度を表していることになる。

表 5 分類器の係数 (消費電力)

パラメータ	係数
定数項 a_0	14.48
N1 の並列数	-35.38
N2 の並列数	-40.74
N3 の並列数	-34.62
P1 の並列数	0.66
P2 の並列数	-0.02
P3 の並列数	0.48
R_0	1.45
R_1	0.46
L	1.04

表 6 最適化により得られた性能指標 (予測あり)

性能指標	評価値
トランスインピーダンスゲイン [Ω dB]	50.28
-3 dB 帯域 [GHz]	12.25
消費電力 [mW]	8.41
ビットレート [Gbps]	18.33

3.5 最適化により得られた性能指標

表 6, 表 7 に提案手法により得られた性能指標と, 最適化されたパラメータを示す. 消費電力の性能要件を 10 mW 以下とした. ビットレートが大きくなるように, 探索時間を 1 時間として回路パラメータを最適化する. 予測なしの手法における結果を示していないのは, 性能要件を満たしていてもアイパターンのマスクチェックを通過できる回路パラメータを見つけられなかったためである. したがって, 予測を行わない手法では結果を得るためには 1 時間以上の探索時間が必要であるのに対して, 予測を行う提案手法では 1 時間の探索時間で充分であることが示された.

ここで比較のため, 手設計による性能指標と設計パラメータを表 8, 表 9 に示す. この手設計による値と最適化による値を比較すると, ビットレートにおいては最適化による値が優位である. しかし, 消費電力を比較すると手設計のほうが優位である. この 2 つの性能指標はトレードオフとなるため, ビットレートを消費電力で割った値, すなわち Energy per bit で比較する. 最適化により得られた評価値では 2.18 pJ/bit, で設計においては 2.63 pJ/bit である. したがって, 手設計のほうが Energy per bit が大きいため, 回路の性能としては手設計のほうが優位であるといえる. また, 設計パラメータを比較すると, 手設計では各段の特性を近づけるために MOSFET の並列接続数や抵抗値はほとんど同じ値としている. これに対し, 最適化により求められた設計パラメータは後段側が大きな値となっている. これは, 最適化において性能要件を満たす中で Energy per bit でなくビットレートを最大化させることを目的としていたためだと考えられる. MOSFET の並列数が大きくなっていることで, 手設計に対して消費電力が増大したが, かわりにビットレートが向上した.

表 7 パラメータの最適値 (予測あり)

パラメータ	値
N1 の並列数	5
N2 の並列数	8
N3 の並列数	9
P1 の並列数	14
P2 の並列数	23
P3 の並列数	26
R_0 [Ω]	247
R_1 [Ω]	384
L [nH]	3.3

表 8 最適化により得られた性能指標 (手設計)

性能指標	評価値
トランスインピーダンスゲイン [Ω dB]	50.05
-3 dB 帯域 [GHz]	11.94
消費電力 [mW]	6.32
ビットレート [Gbps]	16.67

表 9 パラメータの最適値 (手設計)

パラメータ	値
N1 の並列数	5
N2 の並列数	5
N3 の並列数	6
P1 の並列数	18
P2 の並列数	14
P3 の並列数	17
R_0 [Ω]	350
R_1 [Ω]	350
L [nH]	3.1

表 10 教師データ数と計算時間

教師データ数	教師データ作成時間 [s]	分類器計算時間 [s]
5000	4.40	6.93
10000	8.34	14.33
50000	45.14	69.78
100000	82.06	140.88
500000	399.05	788.95

4. 実行時間の評価

第 2 節で懸念事項として挙げていた, 学習時間と実行時間の関係性について述べる. 予測なしと予測ありの結果を比較すると, 予測をすることで, 非対象領域を選択する確率は最大で約 60% 下げられることが示された. これは, 探索時間における非対象領域に属するパラメータでシミュレーションを行っている時間の割合を削減していることに相当する. しかし, 予測をするには教師データが必要であることと, 分類器の係数を求める時間が必要であるため, これらの時間が探索時間の何% を占めているかが不明である. そこで, 教師データ数を変更したときに教師データを作成するのにかかる時間と分類器の係数を求めるのにかかる時間を求めた結果を表 10 に示す.

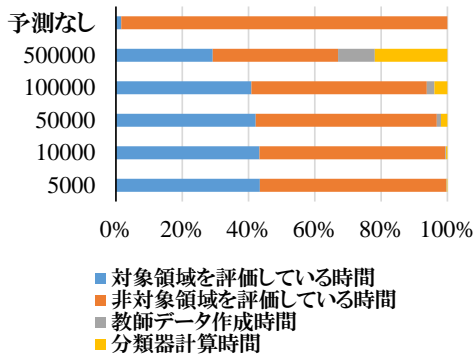


図 11 自動設計における実行時間の内訳

ここで、ある1つのパラメータセットを評価するのにかかる時間を考える。予測をしない場合において、1時間で評価できたパラメータセット数は567個であった。したがって、パラメータセット1つあたり約6.5秒の計算時間が必要である。これを基に予測ありの場合において、最適化全体での計算時間等の割合を積み上げ棒グラフで示した結果を図11に示す。比較のため予測なしにおいても、どのような割合になっているかを示した。図11より、10万以下の教師データ数では最適化全体の時間に対する分類器計算時間の割合は各パラメータセットを評価している時間よりも小さい。そのうえ、対象領域を評価している時間の割合が増加していることがわかる。したがって、予測するための計算時間が必要になるが、それ以上に非対象領域を選択してそれを評価している時間を削減できているといえる。

5. 結論

分類器により対象領域であるかどうかを予測させるプロセスを、シミュレータにパラメータを入力する前に挿入する手法を提案した。この手法により、非対象領域占有率が80%以上となる場合においても、非対象領域選択率を予測しないものに対して最大60%改善できることが示された。

PSO自体には手を加えずに、対象領域を選択できているかを分類器により予測することで探索時間の短縮を実現することができた。本論文では、プログラムの実装の観点から、パラメータの探索規則を四則演算で記述できるPSOを採用した。ただし、提案手法はPSOに依存した手法ではないため、異なる最適化アルゴリズムにもそのまま適用が可能である。したがって、性能要件により対象領域が極端に小さくなる場合に、この提案手法が効力を発揮するといえる。

謝辞

本研究は、東京大学VDEC活動を通して、日本シノプシス合同会社の協力で行われたものである。

参考文献

[1] Rajesh Amratlal Thakker, M. Shojaei Baghini, and Mahesh B. Patil. Low-Power Low-Voltage Analog Circuit

Design Using Hierarchical Particle Swarm Optimization. In *2009 22nd International Conference on VLSI Design*, pp. 427–432, 2009.

[2] Peng Chen, Brian M. Merrick, and Thomas J. Brazil. Bayesian Optimization for Broadband High-Efficiency Power Amplifier Designs. *IEEE Transactions on Microwave Theory and Techniques*, Vol. 63, No. 12, pp. 4263–4272, 2015.

[3] M.delM. Hershenson, S.P. Boyd, and T.H. Lee. Optimal design of a CMOS op-amp via geometric programming. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 20, No. 1, pp. 1–21, 2001.

[4] Tan Yan, T. Nojima, and S. Nakatake. Formulating the empirical strategies in module generation of analog MOS layout. In *IEEE Computer Society Annual Symposium on Emerging VLSI Technologies and Architectures (ISVLSI'06)*, pp. 6–9, 2006.