

# 電源バンプ間抵抗測定による チップ内電源配線のオープン故障検出手法の提案

蜂屋 孝太郎<sup>1,a)</sup>

**概要：**集積回路の低消費電力技術の進展に伴って電源分配網は複雑化しており、チップ内の電源分配網をテストしたいという要求が高まっている。本論文では、グリッド状の電源分配網（電源グリッド）を仮定し、全ての交点にマイクロ・バンプを配置して、それらのマイクロ・バンプ間の抵抗を測定することで電源グリッドを構成する配線セグメントのオープン故障を検出する方法を提案する。回路シミュレーションによる実験では、電源グリッドに含まれる全ての配線セグメントの完全オープン故障と抵抗性オープン故障を故障検出率 99.78%以上で検出することができた。

## Detecting Open Defects in On-Chip Power Grids by Measuring Resistances between Power Micro-Bumps

KOUTARO HACHIYA<sup>1,a)</sup>

**Abstract:** Low power techniques for integrated circuits make their power distribution networks complicated and raise demand for testing on-chip power grids. In this paper, a method is proposed which places pads and power micro-bumps on all intersections of a power grid, and measures resistances between the micro-bumps to detect open defects in wires and vias of the grid. Experimental simulation results show that the method can detect full- and resistive-open defects in all wire segments of the power grid with over 99.78% defect coverage.

### 1. はじめに

携帯機器や IoT デバイスでは低消費電力であることが重要な製品特性の 1 つとなっている。パワーゲーティング (power gating) や動的電圧・周波数制御 (DVFS) などの低消費電力化技術の進展に伴い、チップ内電源分配網はしだいに複雑化しており、電源ノイズや、配線の欠陥、経年劣化の影響を受けやすくなっている。このため、出荷時や実機運用中に電源分配網をテストしたいという要求が高まってくると思われる。

大規模集積回路 (LSI) のテスト手法は一般に、次の 2 つに分類される。

(1) 機能テスト：機能仕様を満たすかどうかをテストする。ブラックボックス・テスト。

(2) 構造テスト：回路内の各素子の故障をテストする。ホワイトボックス・テスト。

一般的に機能テストよりも構造テストの方が故障検出率は高く、デジタル回路のテストでは構造テストが採用されている。機能テストに基づくチップ内電源分配のテスト手法としては、チップ内の電源電圧を測定する手法が提案されており [1], [2], [3], 同じチップ内に測定用回路を搭載する。構造テストに基づくチップ内電源分配のテスト手法としては、磁界プローブを用いて、電源分配網を構成する配線やビアの電流を測定し、それらの欠陥を検出する [4]。電源分配網を構成する配線やビアにオープン故障（断線）があると、電源電圧の降下などのパワー・インテグリティに関する問題が発生したり、故障のない配線やビアを流れる電流が増えるためにエレクトロマイグレーションのリスクが高まったりすることがあると考えられる。

ダイを積層する 3 次元集積回路 (3D-IC) についても、電

<sup>1</sup> 帝京平成大学  
Teikyo Heisei University  
<sup>a)</sup> k.hachiya@thu.ac.jp

源分配網をテストする方法として、機能テストに基づく方法 [5] と、構造テストに基づく方法 [6], [7], [8], [9] が提案されている。機能テストに基づく方法は、オンチップモニター回路によって電源分配網の様々な箇所での電源電圧を測定する。このオンチップモニター回路はリングオシレーターの周期を測定し、それを電圧に変換する。構造テストに基づく手法では、マイクロ・バンプをシリコン貫通電極 (TSV) の直下もしくはその近傍に配置し、マイクロ・バンプ間の抵抗を測定する。測定した抵抗が事前に定義された閾値を超えたら、TSV にオープン故障があると診断する。

本論文では、チップ内の電源グリッドを構成する配線セグメントのオープン故障を検出するための構造テスト手法を提案する。本提案手法は、3D-IC の電源 TSV に対する上記の構造テスト手法を、チップ内電源グリッドを構成する配線セグメントのテストに応用したものである。電源グリッドの全ての交点にパッドとマイクロ・バンプを配置し、マイクロ・バンプ間の抵抗を測定することにより配線セグメントのオープン故障を検出する。

本論文は次のように構成されている。次の章では、3D-IC の電源分配網を構成する TSV のテスト手法を概説する。続いて 3 章で、チップ内電源グリッドを構成する配線セグメントをテストする提案手法について説明する。4 章ではシミュレーションによる実験結果を示す。最後に 5 章で結論と今後の課題をまとめる。

## 2. 電源 TSV のテスト手法

本章では文献 [6], [7], [8], [9] で提案されたテスト手法を概説する。3D-IC における電源分配の断面図の例を図 1 に示す。2つのテスト済みのチップ (KGD1, KGD2) の VDD 分配網が、13 個の TSV によって接続されており、その直下に 13 個のマイクロ・バンプが配置されている。ここで、任意の 2つのマイクロ・バンプ間の抵抗を測定できると仮定する。TSV 7 にオープン故障が発生した場合、マイクロ・バンプ 8 と 13 の間の抵抗はほとんど変化しないが、マイクロ・バンプ 7 と 13 の間の抵抗は故障がない場合と比べ値が大きく変化すると考えられる。このテスト方法は、1) マイクロ・バンプを各電源 TSV の直下またはその近傍に配置し、2) 各電源 TSV について十分な診断性能でオープン故障を検出することができるマイクロ・バンプ対を見つけ、3) 故障検出率と歩留まり損失のトレードオフを考慮して各 TSV の閾値抵抗を決定し、4) マイクロ・バンプ対の間の抵抗を測定して全ての電源 TSV をテストし、5) 抵抗の 1 つが閾値を超えたら故障と診断する。

### 2.1 マイクロ・バンプ配置スタイル

上記の 1) のマイクロ・バンプ配置スタイルとして、直下型 [6] と中間型 [8] の 2つのスタイルが提案されている。直下型では、図 1 に示すように、各電源 TSV に 1つのマイ



図 1 3D-IC の電源分配の断面図

Fig. 1 Cross section of power distribution network in 3D-IC.

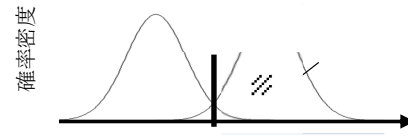


図 2 マイクロ・バンプ間抵抗の確率分布

Fig. 2 Probability distribution of resistance between a  $\mu$ bump pair.

クロ・バンプを割り当て、TSV の直下にマイクロ・バンプを配置する。中間型では、2つの TSV を対にして各対に 1つのマイクロ・バンプを割り当て、TSV 対の中央にマイクロ・バンプを配置する。中間型で必要となるマイクロ・バンプの数は直下型で必要となる数のおよそ半分であり、中間型で必要となる抵抗測定回数は直下型よりも少ない。その代わり、中間型の診断性能は直下型よりも低くなる。

### 2.2 測定箇所の選択

製造ばらつきのため、特定のマイクロ・バンプ間の抵抗はデバイスごとに異なる。この抵抗の確率分布は、テスト対象の TSV に故障がない場合と故障がある場合とでは例えば図 2 のように変化する。測定された抵抗が閾値を超えるとデバイスは故障として棄却される。図中の TRR (True Rejection Rate) は、故障しているデバイスがテストで棄却される確率である。一般に 2つの確率分布は互いにオーバーラップしているため、どのように閾値を設定しても誤診断を避けることはできない。従って、2つの確率分布が十分離れるようなマイクロ・バンプ対を TSV ごとに選択する必要がある。

故障がある場合とない場合の両方について回路シミュレータでモンテカルロ解析を実行することにより、図 2 の 2つの確率分布を予測することができる。このシミュレーションを統計的故障シミュレーションと呼ぶ。故障がある場合のシミュレーションでは、オープン故障が発生した TSV の抵抗は  $R_{open} = 10^{12} \Omega$  (もしくは別の大きな値) で置き換えられる。統計的故障シミュレーションにより得られた 2つの確率分布から診断性能を評価するための指標が多数提案されており [10], [11], [12], [13], これらは [14] で比較されている。これらのうちいずれかの指標を使用して全てのマイクロ・バンプ対の診断性能を評価し、テスト対象の TSV のオープン故障を検出するために最適な (もしくは十分な) マイクロ・バンプ対が選択される。このマイ

クロ・バンプ対の選択プロセスを、全ての TSV について繰り返す。

### 2.3 閾値の決定

上記で決定した全ての測定対象のマイクロ・バンプ間抵抗について、故障と診断する閾値を設定する必要がある。閾値の値によって、文献 [15] で定義されている歩留まり損失  $Y_L$  と故障検出率  $F$  が変化し、 $Y_L$  と  $F$  とはトレードオフの関係にある。

$Y_L$  の目標値が与えられた時にそれを満たす TSV 毎の閾値は次のように求めることができる [6]。  $i$  番目の TSV をテストするためのマイクロ・バンプ間抵抗の閾値  $R_i^{TH}$  を次式で計算する。

$$R_i^{TH} = \text{norminv}(\sqrt[n]{1 - Y_L}, \mu_i^{DF}, \sigma_i^{DF}) \quad (1)$$

ここで、 $\text{norminv}(x, \mu, \sigma)$  は平均  $\mu$ 、標準偏差  $\sigma$  の正規分布の累積分布関数の逆関数であり、 $n$  はテスト対象 TSV の総数である。 $\mu_i^{DF}, \sigma_i^{DF}$  は  $i$  番目の TSV に対応するマイクロ・バンプ間抵抗の、故障がない時の平均と標準偏差である。さらにその閾値を設定した時の各 TSV の  $TRR$  は次式で求めることができる。

$$TRR_i = 1 - \text{normdist}(R_i^{TH}, \mu_i^D, \sigma_i^D) \quad (2)$$

ここで、 $\text{normdist}(x, \mu, \sigma)$  は平均  $\mu$ 、標準偏差  $\sigma$  の正規分布の累積分布関数を  $x$  で評価した時の値であり、 $\mu_i^D, \sigma_i^D$  は  $i$  番目の TSV に対応するマイクロ・バンプ間抵抗の、故障がある時の平均と標準偏差である。各 TSV の  $TRR$  から故障検出率  $F$  を次式により近似することができる [6]。

$$F \approx \frac{\sum_{i=1}^n TRR_i}{n} \quad (3)$$

以上の式を利用して故障検出率と歩留まり損失との間のトレードオフ関係を表す  $F$ - $Y_L$  グラフを作成し、両者のバランスの良い点を選ぶことにより閾値が決まる。

### 2.4 ばらつきキャンセル (VC) による診断性能向上

第 2.2 節の測定箇所の選択で用いる診断性能指標として次の相対平均差  $RMD$  が提案されている [7]。

$$RMD = (\mu_2 - \mu_1) / (\sigma_1 + \sigma_2) \quad (4)$$

ここで  $\mu_1$  と  $\sigma_1$  は故障がない場合の測定値の平均と標準偏差であり、 $\mu_2$  と  $\sigma_2$  は故障がある場合の測定値の平均と標準偏差である。 $RMD$  は値が大きいほど診断性能が高い。実用的に必要なレベルの診断性能は  $RMD > 3$  であると考えられ、この時  $\mu_1 + 3\sigma_1 < T$  かつ  $T < \mu_2 - 3\sigma_2$  であるような閾値  $T$  を設定することができる。 $RMD$  の値を増加させるためには、式 (4) の分子である平均差  $MD = \mu_2 - \mu_1$  を増やすか、分母の製造ばらつきによる測定値のばらつき  $\sigma_1$  と  $\sigma_2$  を減少させる必要がある。以下では文献 [7] で提

案されている、製造ばらつき成分をキャンセルして  $\sigma_1$  と  $\sigma_2$  を減少させる方法を概説する。

本ばらつきキャンセル手法 (Variability Cancellation; VC) の前提として、図 1 の例のように 3 つ以上の TSV (およびマイクロ・バンプ) が一列に並んでいるものとする。また、2 つのマイクロ・バンプ  $a$  と  $b$  の間の抵抗を  $R(a, b)$  で表す。マイクロ・バンプ  $d_1$  と  $d_2$  を結ぶ線分と、マイクロ・バンプ  $c_1$  と  $c_2$  を結ぶ線分が互いに重なり合っている場合、 $R(d_1, d_2)$  と  $R(c_1, c_2)$  は強い相関でばらつくと考えられる。例えば [7] のシミュレーション結果では、図 1 の  $R(7, 13)$  と  $R(8, 13)$  の相関係数は 0.964 であり 1 に近い値である。本ばらつきキャンセル手法はまず、TSV のオープン故障を検出するための検出用抵抗  $R_d = R(d_1, d_2)$  に対し次の特性をもつキャンセル用抵抗  $R_c = R(c_1, c_2)$  を探す。

- (1)  $R_d$  と  $R_c$  のばらつきの相関係数が 1 に近い
- (2) 故障がある時とない時の  $R_c$  の平均差  $MD$  は、 $R_d$  の  $MD$  と比べ無視できる

続いて、 $R_d$  に加え  $R_c$  も測定し、 $R_d$  の代わりに  $R_{diff} = R_d - aR_c$  を用いて故障検出を行う。ここで  $a$  は、説明変数を  $R_c$ 、被説明変数を  $R_d$  とする回帰分析を行い、 $R_d \approx aR_c + b$  という線形近似式を求めることにより得る。例えば [7] のシミュレーション結果では、検出用抵抗  $R_d = R(7, 13)$  で TSV 7 をテストした時の診断性能は  $RMD = 2.07$  であるが、キャンセル用抵抗  $R_c = R(8, 13)$  を用いて  $R_{diff}$  で診断した時の診断性能は  $RMD = 6.43$  である。

### 2.5 抵抗性オープン故障の検出

TSV のオープン故障は、銅にポイドを含まず完全に充満しているという状況でない場合や、マイクロ・バンプの製造不良によって発生し、完全オープンだけではなく抵抗性オープンのこともある [16]。TSV の抵抗性オープンの発生確率は不明であるが、オンチップ配線のオープン故障のうち抵抗性のものが 15~25% を占めることを考えると [17]、TSV においても抵抗性オープン故障は無視できない割合を占めていると予想される。

完全オープン故障を検出するときは、統計的故障シミュレーションにおいて故障した TSV の抵抗  $R_{open}$  は  $10^{12} \Omega$  に設定される。抵抗性オープン故障を検出するには、 $R_{open}$  は故障発生時の最小抵抗  $R_{min}$  に設定される [9]。すると、抵抗が  $R_{min}$  より大きい TSV が故障として検出される。

検出抵抗  $R_d$  は、テスト対象の TSV の抵抗  $R_{TSV}$  の単調増加関数であるため、 $R_{TSV} \geq R_{min}$  である抵抗性オープン故障を検出できる。 $R_{min}$  を大きくするほど図 2 の 2 つの確率分布は互いに離れるため、診断性能は高くなる。したがって  $R_{open} = R_{min}$  を用いた統計的故障シミュレーションによって求めた診断性能は、 $R_{min}$  を使用して抵抗性オープン故障をテストしたときの診断性能の下限となっている。

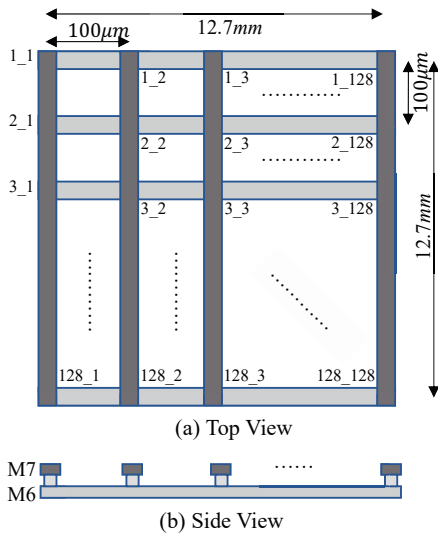


図 3 電源グリッドの例

Fig. 3 An example of power grid.

### 3. チップ内電源グリッドを構成する配線セグメントのテスト手法

#### 3.1 電源グリッドの構成要素と故障モデル

一般的に GND や VDD などの多くの電源ネットが存在するが、ここではそのなかの 1 つ、例えば VDD のみを考える。チップ内の典型的な電源分配網は、図 3 に示すようなメッシュ構造を持ち、この例では 2 つのメタル層 M6 (水平) および M7 (垂直) の配線と、2 つの層間のビア (またはビアアレイ) で構成される。このような規則的なメッシュ構造を持つ電源分配網を本論文では電源グリッドと呼ぶ。

配線セグメントは電源グリッドの 2 つの隣接する交点間の部分配線と定義する。配線セグメントに発生する可能性のある故障は、完全および抵抗性オープン故障である。

ビアは、電源グリッドの全ての交点に配置され、交点を通過する 2 つのメタル層の 2 本の配線を接続する。グローバル配線用の上層のメタル層では、隣接するメタル層の 2 つの配線の交点に配置されるビアは単一のビアではなく、多数のビアがアレイ状に配置され、ビアアレイと呼ばれる。ビアに発生する可能性がある故障も、完全および抵抗性オープン故障である。ビアアレイの場合、完全オープン故障とは 1 つのビアアレイに含まれる全てのビアが完全オープンとなることを意味するものとする。ビアアレイの故障時最小抵抗  $R_{min}$  は、ビアアレイ内の全てのビアの合成抵抗 (実効抵抗) の最小値として定義する。

#### 3.2 マイクロ・バンプ配置

提案手法では、フリップチップ・ボンディングを想定し、図 4 のように電源グリッドの全ての交点にパッドとマイクロ・バンプを配置する。図 4 の側面図は図 3(b) と比べて上下を逆にしている。このようにマイクロ・バンプを配置



図 4 提案手法におけるマイクロ・バンプ配置

Fig. 4 Micro-Bump Placement in The Proposed Test Method.

することにより、全ての配線セグメントの両端間の抵抗を測定できるようにする。また、各ビアの直下にマイクロ・バンプを配置するため、3D-IC の電源 TSV のテストと同様に、ビアのオープン故障を検出することもできると考えられるが、本論文では扱わない。

#### 3.3 測定箇所

診断性能を最大化するため、提案手法ではテスト対象の配線セグメントの両端のマイクロ・バンプ間の抵抗を検出用抵抗として測定する。抵抗を測定する 2 つの測定点をテスト対象セグメントの両端から遠ざけると、図 2 の 2 つの確率分布の平均差  $MD$  が小さくなり、診断性能が低下する。例えば 4 章のシミュレーション結果では、1.1 と 1.2 の間の M6 層の配線セグメントに完全オープン故障が発生したときの  $R(1.1, 1.2)$  の  $MD$  は  $2.60 \Omega$  であるが、 $R(1.1, 1.3)$  の  $MD$  は  $1.84 \Omega$  である。 $R_d = R(1.1, 1.2)$  で上記の配線セグメントの完全オープン故障をテストする場合、診断性能  $RMD$  は 9.12 であるが、 $R_d = R(1.1, 1.3)$  でテストすると  $RMD$  は 5.83 に減少する。

#### 3.4 ばらつきキャンセル (VC)

本提案手法では、テスト対象の配線セグメントの検出用抵抗  $R_d$  の製造ばらつきをキャンセルするため、隣接する配線セグメントの両端のマイクロ・バンプ間の抵抗をキャンセル用抵抗  $R_c$  として選択する。この選択には、次の 2 つの利点がある。

- $R_d$  と  $R_c$  のばらつきの相関が強い
- $R_c$  は隣接する配線セグメントをテストするときの  $R_d$  として再利用できる

前者の利点は、次の理由で得られると考えられる。

- 隣接する 2 つの配線セグメントの寸法はほぼ同じである
- $R_d$  と  $R_c$  の測定で同一のマイクロ・バンプを共有している

例えば 4 章のシミュレーション結果では、図 4 における  $R(1.1, 1.2)$  と  $R(1.2, 1.3)$  の関係を散布図で表すと図 5 のようになる。両者の間には非常に強い相関がみられ、相関係数は 0.99997 である。

後者の利点により全配線セグメントのテストで必要となる測定回数を減らすことができる。

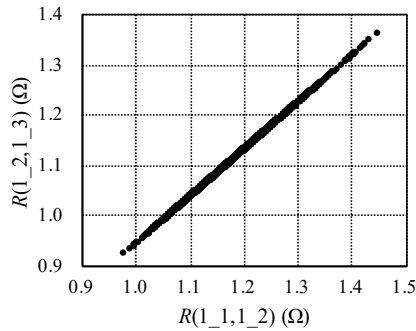


図 5  $R(1.1, 1.2)$  と  $R(1.2, 1.3)$  の相関

Fig. 5 Correlation between  $R(1.1, 1.2)$  and  $R(1.2, 1.3)$ .

### 3.5 テスト・コスト

抵抗測定回数は、電源グリッドを構成する配線セグメントの数と同数である。3D-ICの電源TSVのテストではVCを適用すると、抵抗測定回数が増加するが [8]、本提案手法ではVCを適用しても測定回数は増加しない。

## 4. シミュレーション結果

本章では、前章で提案したテスト手法を電源グリッドの例に適用する。プロセスばらつきによる配線およびビアの形状のばらつきかたを仮定し、統計的故障シミュレーションを実行して、テスト対象にオープン故障が発生したときと全く故障がないときの検出抵抗とキャンセル抵抗の確率分布を求める。これらの確率分布から診断性能や故障検出率を導出し、提案手法の妥当性を評価する。

### 4.1 電源グリッドの物理構造と電気的モデル

本実験では、図3に示すような規則的なメッシュ構造をもつ電源グリッドを例題として用いる。この電源グリッドは、M6（水平方向）とM7（垂直方向）の2つのメタル層の配線からなり、いずれの層も配線ピッチは  $100 \mu\text{m}$  とする。配線の断面寸法は2つの層で同じとし、配線幅  $W$  の平均は  $\mu_W = 2 \mu\text{m}$ 、相対標準偏差は  $\sigma_W/\mu_W = 5\%$  とする。配線の厚さ  $T$  の平均は  $\mu_T = 0.5 \mu\text{m}$ 、相対標準偏差は  $\sigma_T/\mu_T = 5\%$  とする。これらの相対標準偏差は、11nm および 7nm テクノロジー・ノードにおけるメタル層 M6 の配線幅と膜厚がおおよそ 5% である [18] ことに基づいて決めた。長さ  $l$  の配線セグメントの抵抗は  $R_{\text{wire}} = \rho \cdot l / (W \cdot T)$  で得られるものとする。ここで  $\rho = 1.68 \times 10^{-8} \Omega\text{m}$  (Cu の抵抗率) とする。同一配線層内の  $W$  と  $T$  は全て同じとし、異なる層の  $W$  と  $T$  は独立に正規分布でばらつくものとする。

M6 と M7 の配線のすべての交点には  $4 \times 4$  ビアアレイが配置されていることとし、合計  $128 \times 128 = 16,384$  個のビアアレイが電源グリッド内に存在する。1つのビアアレイに含まれる16のビアの形状は四角柱であると仮定し、高さ  $H$

の平均値は  $\mu_H = 0.5 \mu\text{m}$ 、幅  $W_1$  の平均値は  $\mu_{W_1} = 0.4 \mu\text{m}$  であり、もう1つの幅  $W_2$  も平均値は  $\mu_{W_2} = 0.4 \mu\text{m}$  とする。ビアアレイの抵抗は  $R_{\text{via}} = \rho \cdot H / (4W_1 \cdot 4W_2)$  で近似する。同一のビアアレイに含まれるビアの寸法は全て同じとし、各ビアアレイの  $H$  と  $W_1, W_2$  は相対標準偏差 5% の正規分布に従って独立にばらつくものとする。

パッドとマイクロ・バンプの抵抗は本実験では無視した。

### 4.2 統計的故障シミュレーション

マイクロ・バンプ間の抵抗は、一方のマイクロ・バンプを接地し、他方のマイクロ・バンプを接地した1Aの電流源に接続した回路の動作点解析を回路シミュレータで実行し、得られたマイクロ・バンプ間電圧から求めた。製造ばらつきによるマイクロ・バンプ間抵抗の確率分布を得るためモンテカルロ解析を行った。このモンテカルロ解析は、故障が全くない場合と、各配線セグメントにオープン故障がある場合について実施した。回路シミュレーションで用いたネットリストは手動で作成し、抵抗素子数は 49,152、ノード数は 33,025 である。モンテカルロ解析における試行回数は 3,000 とし、サンプリング方式として Latin Hypercube を用いた。回路シミュレータには spice3 [19] に線形方程式ソルバの高速化を適用し、モンテカルロ解析機能を追加したものを用いた。実行環境は Apple iMac (Intel Core i9 3.6GHz, 64GB 2667MHz DDR4) であり、マイクロ・バンプ間抵抗の確率分布を1つ求めるモンテカルロ解析 (3,000回) の実行時間は平均 1,689 sec であった。

### 4.3 配線セグメントの完全オープン故障の診断性能

以下では、2つのマイクロ・バンプ  $a$  と  $b$  の間の配線セグメントを  $W(a, b)$  で表す。  $W(1.1, 1.2)$  と  $W(1.1, 2.1)$ 、  $W(65.65, 65.66)$  と  $W(65.65, 66.65)$  を提案手法で完全オープン故障をテストしたときの診断性能  $RMD$  を表1に示す。  $W(1.1, 1.2)$  と  $W(1.1, 2.1)$  はそれぞれ、電源グリッドの左上隅にある水平方向の配線セグメントと垂直方向の配線セグメントである。  $W(65.65, 65.66)$  と  $W(65.65, 66.65)$  はそれぞれ中央部の水平方向の配線セグメントと垂直方向の配線セグメントである。ビアアレイの抵抗値のノミナル値は  $R_{\text{via}} = 3.28 \text{ m}\Omega$  であり、配線セグメントの抵抗のノミナル値  $R_{\text{wire}} = 1.68 \Omega$  と比べると非常に小さい値である。したがって垂直方向の配線セグメントと、隣接する水平方向の配線セグメントの  $RMD$  の値はほぼ同じ値となる。  $RMD$  の値は、電源グリッドの中央部に近い配線セグメントほど小さくなり、周辺部に近いほど大きくなる。配線セグメントの完全オープン故障の検出では、VCなしでも  $RMD > 3$  であり、実用レベルの診断性能が得られている。

### 4.4 配線セグメントの抵抗性オープン故障の診断性能

配線セグメント  $W(1.1, 1.2)$  のオープン故障を検出する

表 1 代表的な配線セグメントの完全オープン故障をテストしたときの診断性能

Table 1 Diagnostic Performance of Detecting Full-Open Defects in Representative Wire Segments

		テスト対象の配線セグメント			
		左上隅		中央	
		$W(1.1, 1.2)$	$W(1.1, 2.1)$	$W(65.65, 65.66)$	$W(65.65, 66.65)$
RMD	VC なし	9.53	9.57	6.26	6.30
	VC あり	14.6	14.7	14.1	14.3

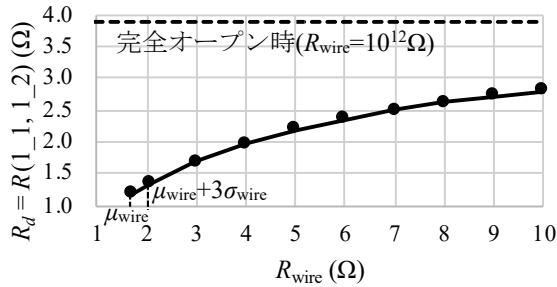


図 6 検出抵抗  $R_d$  とテスト対象配線セグメントの抵抗  $R_{wire}$  の関係  
Fig. 6 Relationship between  $R_d$  and  $R_{wire}$ .

表 2 左上隅の配線セグメントの抵抗性オープン故障をテストしたときの診断性能

Table 2 Diagnostic Performance of Detecting Resistive-Open Defects in Wire Segments at The Upper Left Corner

		テスト対象の配線セグメント					
		$W(1.1, 1.2)$			$W(1.1, 2.1)$		
$R_{min}$ (Ω)		2.05	3.00	4.00	2.05	3.00	4.00
RMD	VC なし	1.76	4.71	6.40	1.76	4.73	6.43
	VC あり	2.89	9.28	13.7	2.89	9.28	13.8

ために測定する抵抗  $R(1.1, 1.2)$  のノミナル値は、配線セグメントの抵抗  $R_{wire}$  抵抗によって図 6 の実線のように変化する。同図の点線は、 $R_{wire} = 10^{12} \Omega$  のときの検出抵抗  $R_d$  の値を示している。

電源グリッドの左上隅にある 2 つの配線セグメント  $W(1.1, 1.2)$  と  $W(1.1, 2.1)$  の抵抗性オープン故障をテストするときの診断性能を表 2 に示す。抵抗性オープン故障発生時の最小抵抗  $R_{min}$  は  $\mu_{wire} + 3 \cdot \sigma_{wire} = 2.05 \Omega$  に設定した。比較のため  $R_{min}$  を  $3 \Omega$  と  $4 \Omega$  に設定したときの結果も示した。

電源グリッドの中央にある 2 つの配線セグメント  $W(65.65, 65.66)$  と  $W(65.65, 66.65)$  の抵抗性オープン故障をテストするときの診断性能を表 3 に示す。 $R_{min} = \mu_{wire} + 3\sigma_{wire}$  としたときの抵抗性オープン故障は、VC を適用すると RMD が約 3 となるため実用的な診断性能で検出可能である。 $R_{min} = 3 \Omega$  以上であれば、VC なしでも抵抗性オープン故障を検出することができる。

表 3 中央部の配線セグメントの抵抗性オープン故障をテストしたときの診断性能

Table 3 Diagnostic Performance of Detecting Resistive-Open Defects in Wire Segments at The Center

		テスト対象の配線セグメント					
		$W(65.65, 65.66)$			$W(65.65, 66.65)$		
$R_{min}$ (Ω)		2.05	3.00	4.00	2.05	3.00	4.00
RMD	VC なし	1.13	2.87	3.82	1.14	2.89	3.85
	VC あり	2.87	8.76	12.2	2.88	8.80	12.3

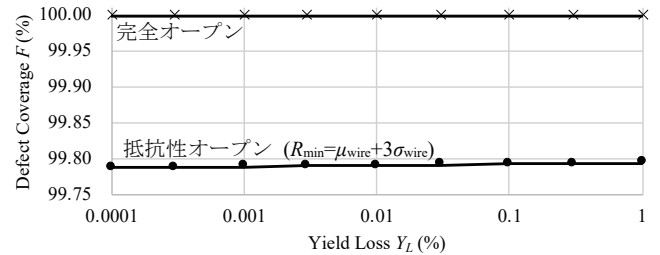


図 7 全配線セグメントをテストしたときの  $F-Y_L$  トレードオフ曲線

Fig. 7  $F-Y_L$  Trade-off curves for testing all wire segments.

#### 4.5 配線セグメントの故障検出率

電源グリッド内の全ての配線セグメントをテストしたときの故障検出率  $F$  は式 (1)~(3) を用いて計算することができる。歩留まり損失  $Y_L$  を変化させて、全配線セグメントの完全オープン故障および抵抗性オープン故障をテストしたときの  $F-Y_L$  トレードオフ曲線を図 7 に示す。いずれも VC を適用した。 $R_{min} = \mu_{wire} + 3\sigma_{wire}$  で抵抗性オープン故障をテストしたときの故障検出率は 99.78 % 以上となっている。すべてのワイヤーセグメントの場合、VC を適用すると、式 (1) の  $\sigma_i^{DF}$  は式 (2) の  $\sigma_i^D$  よりもずっと小さい値となるため、閾値抵抗  $R_i^{TH}$  と、結果として得られる故障検出率  $F$  は歩留まり損失  $Y_L$  が変化してもほとんど変化していない。

#### 4.6 抵抗測定回数

図 3 に示す電源グリッドの全ての交点の数は  $128 \times 128 = 16,384$  である提案手法では同数のパッドとマイクロ・バンブが必要である。全ての水平方向および垂直方向の配線セグメントの数は  $(127 \times 128) + (127 \times 128) = 32,512$  である。これら全ての配線セグメントをテストするには同数の抵抗測定が必要となる。

### 5. まとめと今後の課題

本論文ではチップ内電源グリッドの新たなテスト手法を提案した。回路シミュレーションによる実験では、電源グリッド内の全配線セグメントのテストでは 99.78% 以上の故障検出率が得られた。提案手法により、配線セグメントの完全オープン故障と抵抗性オープン故障を実用的な故障

検出率でテストできると考えられる。以下では今後の課題についてまとめる。

提案手法では配線セグメント数と同数の抵抗測定を繰り返す必要があり、実験で用いたような大規模な電源グリッドに実際に適用するには、測定回数の削減やBIST化が必要であると考えられる。一般に、メタル上層（グローバル配線層）の配線では、ほぼ全てのオープン故障は完全オープン故障である [17]。配線セグメントの完全オープン故障のテストのみを考慮すれば、検出抵抗を測定するときに隣接する複数の配線セグメントをマージすることにより測定数を削減することが可能であると考えられる。

提案手法はLSIチップの出荷テストを目的としているため、故障の検出のみを考慮しており、故障の分離・特定することは考慮していない。文献 [11], [12] で提案されている故障分離手法を応用すれば、どの配線セグメントやビアに故障があるかを特定することができると考えられる。

また、本論文のシミュレーションでは、電源グリッドに関して次の要素を無視している。

- 電源パッドとマイクロ・バンプの抵抗
- 抵抗測定誤差
- 他の電源ネット（例えばGND）とのリーク結合

マイクロ・バンプの抵抗はパッド抵抗を含めて数 10 mΩ程度で、標準偏差は 3 mΩ程度と考えられる [20]。検出抵抗の平均差  $MD$  は完全オープン故障では約 1 Ω、抵抗性オープン故障では約 0.1 Ωであるため、マイクロ・バンプの抵抗ばらつきは完全オープン故障のテストでは無視できるが、抵抗性オープン故障のテストでは診断性能が低下する可能性がある。抵抗測定誤差は測定方法によって異なるため、必要な測定精度を明確にしてそれを満たす測定方法を決定する必要がある。測定誤差が明確になれば、これもモンテカルロ解析に取り込んで診断性能への影響を評価することができる。上記の3つの要素の影響は大きくないと考えられるが、これらの影響を考慮した解析は今後の課題である。

謝辞 本研究はJSPS 科研費 JP19K11883 の助成を受けたものである。

## 参考文献

- [1] Muhtaroglu, A., Taylor, G. and Rahal-Arabi, T.: On-die droop detector for analog sensing of power supply noise, *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 4, pp. 651–660 (online), DOI: 10.1109/JSSC.2004.825120 (2004).
- [2] Nagata, M., Okumoto, T. and Taki, K.: A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits, *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, pp. 813–819 (online), DOI: 10.1109/JSSC.2005.845559 (2005).
- [3] Ogasahara, Y., Hashimoto, M. and Onoye, T.: Dynamic supply noise measurement circuit composed of standard cells suitable for in-site SoC power integrity verification, *2008 Asia and South Pacific Design Automation Conference*, pp. 107–108 (online), DOI: 10.1109/ASP-DAC.2008.4483917 (2008).
- [4] Takahashi, D., Iizuka, T., Mai-Khanh, N. N., Nakura, T. and Asada, K.: Fault Detection of VLSI Power Supply Network Based on Current Estimation From Surface Magnetic Field, *IEEE Transactions on Instrumentation and Measurement*, Vol. 68, No. 7, pp. 2519–2530 (online), DOI: 10.1109/TIM.2018.2866300 (2019).
- [5] Huang, S.-Y.: Test strategies for the clock and power distribution networks in a multi-die IC, *2017 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, pp. 1–2 (online), DOI: 10.1109/VLSI-DAT.2017.7939646 (2017).
- [6] Hachiya, K. and Kurokawa, A.: Open defect detection of through silicon vias for structural power integrity test of 3D-ICs, *2019 IEEE 23rd Workshop on Signal and Power Integrity (SPI)*, pp. 1–4 (online), DOI: 10.1109/SaPIW.2019.8781656 (2019).
- [7] Hachiya, K. and Kurokawa, A.: Variability Cancellation to Improve Diagnostic Performance of Testing Through Silicon Vias in Power Distribution Network of 3D-IC, *2019 IEEE International 3D Systems Integration Conference (3DIC)*, pp. 1–6 (online), DOI: 10.1109/3DIC48104.2019.9058881 (2019).
- [8] Hachiya, K. and Kurokawa, A.: Testing Through Silicon Vias in Power Distribution Network of 3D-IC with Manufacturing Variability Cancellation, *2020 Design, Automation Test in Europe Conference Exhibition (DATE)*, pp. 290–293 (2020).
- [9] Hachiya, K. and Kurokawa, A.: Detecting Resistive-Open Defects of TSVs in Power Distribution Network of 3D-IC, *2020 IEEE 24th Workshop on Signal and Power Integrity (SPI)* (2020 (in press)).
- [10] Saab, K., Ben-Hamida, N. and Kaminska, B.: Parametric fault simulation and test vector generation, *Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537)*, pp. 650–656 (online), DOI: 10.1109/DATE.2000.840855 (2000).
- [11] Zhao, D. and He, Y.: A New Test Point Selection Method for Analog Circuit, *Journal of Electronic Testing*, Vol. 31, No. 1, pp. 53–66 (online), DOI: 10.1007/s10836-015-5506-8 (2015).
- [12] Ma, Q., He, Y., Zhou, F. and Song, P.: Test Point Selection Method for Analog Circuit Fault Diagnosis Based on Similarity Coefficient, *Mathematical Problems in Engineering*, Vol. 2018, pp. 1–11 (online), DOI: 10.1155/2018/9714206 (2018).
- [13] Hachiya, K., Nakano, M., Himono, N., Kurokawa, A. and Hatakenaka, Y.: TSV Open Fault Detection by Measuring Resistance between Power Pins with the Best ROC Curve, *IPSS Design Automation Symposium*, pp. 148–153 (online), available from <http://id.nii.ac.jp/1001/00190826/> (2018).
- [14] Hachiya, K. and Kurokawa, A.: Comparison of Diagnostic Performance Metrics for Test Point Selection in Analog Circuits, *The 22nd Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI)*, pp. 198–203 (2019).
- [15] Sunter, S. and Nagi, N.: Test metrics for analog parametric faults, *Proceedings 17th IEEE VLSI Test Symposium (Cat. No. PR00146)*, pp. 226–234 (online), DOI: 10.1109/VTEST.1999.766670 (1999).
- [16] Lee, Y.-w., Lim, H., Seo, S., Cho, K. and Kang,

- S.: A low-cost concurrent TSV test architecture with lossless test output compression scheme, *PLOS ONE*, Vol. 14, No. 8, pp. 1–23 (online), DOI: 10.1371/journal.pone.0221043 (2019).
- [17] Sachdev, M. and de Gyvez, J. P.: *Defect-Oriented Testing for Nano-Metric CMOS VLSI Circuits*, Frontiers in Electronic Testing, Vol. 34, Springer US, 2 edition (2007).
- [18] Prasad, D., Pan, C. and Naeemi, A.: Modeling Interconnect Variability at Advanced Technology Nodes and Potential Solutions, *IEEE Transactions on Electron Devices*, Vol. 64, No. 3, pp. 1246–1253 (online), DOI: 10.1109/TED.2016.2645448 (2017).
- [19] Rabaey, J. M.: The Spice Page, EECS Department of the University of California at Berkeley (online), available from <http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/> (accessed 4th February,2020).
- [20] Wright, S. L., Polastre, R., Gan, H., Buchwalter, L. P., Horton, R., Andry, P. S., Sprogis, E., Patel, C., Tsang, C., Knickerbocker, J., Lloyd, J. R., Sharma, A. and Sri-Jayantha, M. S.: Characterization of micro-bump C4 interconnects for Si-carrier SOP applications, *56th Electronic Components and Technology Conference 2006*, pp. 633–640 (online), DOI: 10.1109/ECTC.2006.1645716 (2006).