

# 最適化問題を解くアナログ電子回路 —アナログ・イジング・マシンの実現—

吉川 浩<sup>†</sup>  
北海道大学<sup>†</sup>

## 1 はじめに

近年、デジタル回路やデジタルコンピュータを用いた手続き的な計算手法では効率よく解けない問題を、焼きなまし法（シミュレーテッドアニーリング）を用いて解く方法に注目が集まっており、既に実用的な計算機も登場している。例えば、量子アニーラを用いた量子コンピュータ D-Wave および Advantage (D-Wave Systems) [1]、デジタル回路で擬似的にアニーリングを行う CMOS アニーリングマシン（日立製作所）[2] や Digital Annealer（富士通）[3] などがある。

本研究は、このような焼きなまし法を用いた最適化問題の計算方法の一つである「イジング計算モデル」[4] にアナログ回路を応用するための検討や実験を行い、アナログ回路による新しい計算方法の可能性を見出すことを目的としている。

本稿は、その実験マシンと実験結果について紹介する。

## 2 イジング計算モデル

イジング計算モデルは統計物理学で導入された磁性体のモデルであるイジングモデルを利用して最適化問題を解く計算モデルである。イジングモデルによれば、物質中の電子スピン状態は上向きと下向きのいずれかであり、各電子スピンは

隣接する電子スピンと相互作用している。相互作用エネルギーは電子スピン状態の関数になっており、相互作用エネルギーを極小化するように電子スピン状態が遷移する。

イジング計算モデルを最適化問題へ応用するには、スピン状態を最適化したい問題の状態に見立て、エネルギー関数の最小化問題に帰着させる。この解法には焼きなまし法などが用いられている。

焼きなまし法の計算過程では、電子のスピン状態を変化させた時のエネルギーを計算し、より低いエネルギー状態を選択する。この操作は状態が収束するまで膨大に繰り返される。

アナログ回路には、回路網の接続や回路定数の条件によって電圧が自然に決定される性質があるため、これを利用してエネルギーを求めることで、計算量を減らして高速な計算を実現できる可能性がある。

## 3 アナログ・イジング・マシンの実現

以下に、この研究で考案したイジング計算モデルを実現するアナログ回路の簡易模型（図 1）を説明する。

この回路は、電子のスピンをアナログコンパレータの出力電圧で表現し、それを隣接するコンパレータの入力へ抵抗を介して接続できるようになっている。コンパレータには正出力の他に反転出力があり、接続の仕方や抵抗値  $R$  を変えることでスピンの相互作用を自由に表現できるようになっている。

焼きなまし法は局所解に陥ることがあるた

Analog circuit that solves optimization problems  
— Realization of analog Ising machine —  
<sup>†</sup> Hiroshi Yoshikawa, Hokkaido University

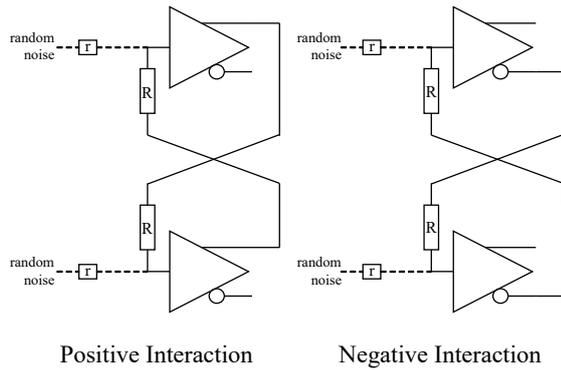


図1 アナログ・イジング・マシンの簡易模型

め、エネルギーに揺らぎを与えて局所解からの脱出を図る仕組みが必要であるが、この回路ではノイズ源としてマイコンの出力端子を疑似乱数により 0, VCC, Hi-Z の 3 状態に変化させて抵抗  $r$  を介して各ノードへ与えている。

#### 4 実験と結果

アナログ・イジング・マシンの実験基板を図2に示す。この基板はコンパレータを4つ搭載

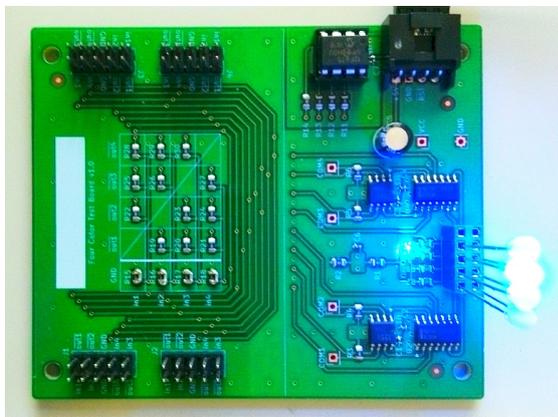


図2 アナログ・イジング・マシンの実験基板

しており、4つのスピンの相互作用を1枚の基板で表現できるようになっている。また、4色のLEDによって各コンパレータの状態が視覚的に分かるようになっている。

この基板を使って4色問題を解く実験を行った様子が図3である。ノイズの印加が終わった後に3枚の基板がそれぞれ異なる色のLEDを点灯し、色の塗分けに成功している。



図3 4色問題を解く実験

#### 5 おわりに

アナログ回路によりイジング模型を表現し、最適化問題のアニーリングにアナログ回路が利用できることを実験で確認した。

今回、実験により明らかになった課題がある。その解決のため、回路の安定性やノイズの印加方法（ノイズプロファイルや回路構成）の検討、大規模問題の確認、計算時間や消費電力などの評価を行う計画である。

#### 謝辞

本研究は JSPS 科研費 19H00508 の助成を受けたものです。

#### 参考文献

- [1] Zhengbing Bian, Fabian Chudak, Robert Israel, Brad Lackey, William G. Macready, and Aidan Roy. Discrete optimization using quantum annealing on sparse ising models. *Frontiers in Physics*, 2:56, 2014.
- [2] 山岡 雅直. Cmos アニーリングマシンの概要. 自動制御連合講演会講演論文集, 61:704–706, 2018.
- [3] Maliheh Aramon, Gili Rosenberg, Elisabetta Valiante, Toshiyuki Miyazawa, Hiro-taka Tamura, and Helmut G. Katzgraber. Physics-inspired optimization for quadratic unconstrained problems using a digital annealer. *Frontiers in Physics*, 7:48, 2019.
- [4] 西森 秀稔. スピングラス理論と情報統計力学. 新物理学選書. 岩波書店, 1999.