

有機薄膜トランジスタの実測に基づく バイアス・ストレス劣化の要因とモデル化に関する検討

大島 國弘^{1,a)} 齋藤 成晃¹ 新谷 道広² 栗原 一徳³ 小笠原 泰弘³ 佐藤 高史¹

概要: 有機トランジスタは、バイアス・ストレスすなわちゲート電界とオン電流により劣化が進むと考えられている。どちらが支配的な要因であるかを特定することは、劣化メカニズムを理解しバイアス・ストレス劣化をより正確にモデル化する上で重要である。本稿では、異なるストレス条件下において有機トランジスタの電流を測定し、バイアス・ストレス劣化の主要因を特定する。また、測定結果に見られる変動パラメータの回復成分を考慮可能なモデル式を提案する。提案モデル式では、キャリア移動度としきい値電圧を変動パラメータとして、シリコントランジスタの負バイアス温度不安定性を表すモデルである Trapping-Detrapping モデルを参考に回復成分を表す。測定結果と提案モデル式を比較し、提案モデル式がストレス条件の変化に伴う回復をよく表せることを示した。

Experimental study of bias stress degradation of organic thin film transistors and its modeling

KUNIHIRO OSHIMA^{1,a)} MICHIAKI SAITO¹ MICHIIHIRO SHINTANI² KAZUNORI KURIBARA³
YASUHIRO OGASAHARA³ TAKASHI SATO¹

Abstract: In this paper, we discuss bias stress voltage degradation of an organic thin film transistor (OTFT) on the basis of measurement results. Investigating the main factor of the degradation caused by the bias stress voltage is important to understand the mechanism of the degradation and to build an accurate device model. Through the measurement results, we show that the gate voltage affects more significantly on the short term device degradation than drain current flow, and that the degradation recovers partially once the given bias voltage is removed. We propose a novel bias stress voltage degradation model that can express the model-parameter degradation and its recovery. We also show that the proposed model can fit the temporal shift of the measured model parameters very well.

1. 背景

シリコンに代わる半導体材料として、有機材料が近年注目されている。有機薄膜トランジスタ (organic thin film transistor; OTFT) は、柔軟な基板上に印刷プロセスにより製造できる。この特長から、OTFTにはフレキシブルセンサや包装パッケージに印刷する物理複製困難関数等、

様々な応用が期待されている [1,2]。しかし OTFT は、製造から 1 年程度で動作しなくなるとの報告があるなど [3] シリコンと比較してデバイスの特性変動 (劣化) が早い。このため、OTFT の特性変動に関する研究が重要である。OTFT の特性変動の要因として、大気中の酸素や水分が原因となる大気劣化成分と、デバイスへの電圧印加を原因とするバイアス・ストレス劣化が存在することが知られている。大気成分劣化に関しては、デバイスと大気との接触を避けるための保護膜の研究 [4] や、大気成分劣化による特性変動のモデル式の検討 [5] が行われている。一方バイアス・ストレス劣化に関しても、例えば文献 [6,7] で、バイアス・ストレス劣化モデル式が提案されている。さらに正確

¹ 京都大学 大学院情報学研究所 通信情報システム専攻
〒 606-8501 京都府京都市左京区吉田本町

² 奈良先端科学技術大学院大学 先端科学技術研究所 情報科学領域
〒 630-0192 奈良県生駒市高山町 8916-5

³ 産業技術総合研究所
〒 305-8565 茨城県つくば市東 1-1-1

a) paper@easter.kuee.kyoto-u.ac.jp

なモデル化のためには、バイアス・ストレス劣化をもたらす要因の特定が重要である。また、既存モデル式 [6, 7] では特性劣化のみを対象としており、実測で観測されるストレス条件の緩和に伴って生じるトランジスタ特性の回復を考慮していない。

そこで本稿では、OTFT のバイアス・ストレス劣化の主要因特定と、回復成分を考慮可能な OTFT のバイアス・ストレス特性変動モデル式について検討する。バイアス・ストレス劣化の要因としてゲート電界とオン電流に着目し、同じレイアウトを持つ OTFT に異なるストレス条件を与えて電流測定を行い、特性パラメータの時間変動を比較する。次に、これらの測定結果に見られるトランジスタ特性の回復現象を考慮可能なモデル式を提案する。印加されるストレスの変化に応じて OTFT のキャリア移動度としきい値電圧が変動するモデル式を提案し、テストチップの測定結果に対するフィッティングを行う。

本稿の主要な貢献を以下にまとめる。

- OTFT のバイアス・ストレス劣化の主要因特定：バイアス・ストレス劣化の主要因として考えられるゲート電界とオン電流とに着目し、異なるストレス条件を与えて OTFT の特性変動を測定・比較することにより、ゲート電圧電界が劣化の主要因であることを特定した。
- 回復成分を考慮可能な OTFT バイアス・ストレス特性変動のモデル式の提案：シリコントランジスタの支配的な特性変動要因である NBTI 劣化を説明する Trapping-Detrapping (TD) モデルを参考に、測定結果における OTFT の特性回復を表現するモデルを提案した。

以下、本稿の構成は次のとおりである。第 2 章で関連研究について説明する。第 3 章では、OTFT の試作・測定の条件について説明し、第 4 章で測定結果における OTFT のバイアス・ストレス劣化の主要因に関して議論する。第 5 章では、OTFT の特性劣化と回復を表現できるバイアス・ストレス劣化モデル式を提案し、第 6 章で測定結果を提案モデル式によりフィッティングする。最後に第 7 章で本稿をまとめる。

2. 既存研究

2.1 OFET のバイアス・ストレス劣化モデル

文献 [6] では、有機トランジスタ (OFET) のバイアス・ストレス劣化を表す次のモデル式が提案されている。

$$\Delta V(t) = (Q/Q_0)\Delta V_F \left\{ 1 - \exp \left[- \left(t/aV_{SG}^{-\alpha} \right)^\beta \right] \right\} \quad (1)$$

$$aV_{SG}^{-\alpha} = \tau \quad (2)$$

ここで、 τ, β は材料によって決まる定数、 a, α はフィッティングパラメータである。この式では、十分長い時間が経過した後のしきい値変動量の上限 ΔV_F に、しきい値電圧が時間経過に従い指数関数的に漸近する。

文献 [7] では、しきい値電圧変動の原因となる 2 つの物理モデルに対して、それぞれ異なるモデル式が提案されている。すなわち、有機半導体層の欠陥密度をしきい値電圧変動の原因とする式 (3) と、絶縁体内部へのキャリアトラップをしきい値電圧変動の原因とする式 (4) である。

$$\Delta V_{th} = (V_{GSstress} - V_{th}(0)) \left\{ 1 - \exp \left[- \left(\frac{t}{t_0} \right)^\beta \right] \right\} \quad (3)$$

$$\Delta V_{th} = r_d \log \left(1 + \frac{t}{t_0} \right) \quad (4)$$

ここで、式 (3) の t_0 と β 、式 (4) の r_d と t_0 はフィッティングパラメータである。式 (4) によるしきい値電圧変動は材料依存であり、無機二酸化ケイ素を使用する殆どの OFET では無視できるとされている。

既存の OFET バイアス・ストレス劣化モデルでは、バイアス・ストレスに対し指数的にパラメータを変化させており、実験結果との比較により、これらの式が実際のパラメータ変動とよく合うとしている。一方で、本節で説明した既存の OFET バイアス・ストレス劣化モデルはしきい値電圧の回復を考慮しないため、ストレス無印加時 (リカバリ時) の回復を表すことができない。そこで本稿では、リカバリストレス時の回復を考慮可能な OTFT バイアス・ストレス劣化モデルを提案する。

2.2 Trapping-Detrapping モデル

シリコントランジスタの NBTI 劣化を説明するモデルは多数存在する [8-10]。よく知られたモデルとして、酸化膜の格子欠陥 (トラップ) にキャリアが捕獲、放出されることを劣化の原因とする TD モデルがある [9, 10]。ストレス印加時にはキャリアを捕獲したトラップが増加することでしきい値電圧が上昇し、リカバリ時にはトラップがキャリアを放出することでしきい値電圧が低下するとしている。TD モデルにおけるしきい値電圧変動は、式 (5) により与えられる。

$$\Delta V_{th}(t + t_0) = \Delta_1 + \Delta_2 \quad (5)$$

$$\Delta_1 = \phi(A + B \log(1 + Ct)) \quad (6)$$

$$\Delta_2 = \Delta V_{th}(t_0) \left(1 - \frac{k + \log(1 + Ct)}{k + \log(1 + C(t + t_0))} \right) \quad (7)$$

ただし、 Δ_1 はキャリアトラップによるしきい値電圧上昇を、 Δ_2 はキャリア放出によるしきい値電圧低下を表す。このモデルのしきい値電圧は、リカバリ時に一定の定数に従って回復する。TD モデルでは、ゲート電圧による電界を NBTI 劣化の主因と考えており、NBTI 劣化の回復成分をよく表現できると報告されている。第 4 章で示すように、バイアス・ストレスによる OTFT の特性変動の主な原因はゲート電界であると考えられるため、本稿では、TD モデル式を参考にして、OTFT の回復成分を考慮可能なバイアス・ストレスによる特性変動のモデル式を提案する。

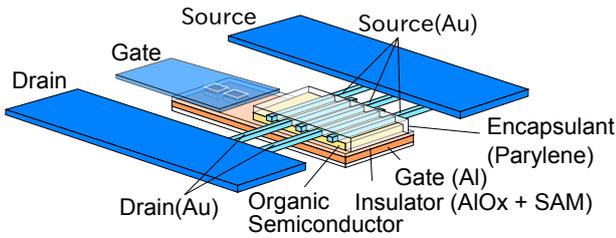


図 1: OTFT の構造

3. 測定条件

本章では、バイアス・ストレスによる OTFT の特性変動の測定について説明する。測定するバックゲート型の OTFT の構造を図 1 に示す。同サイズ (チャンネル長 $L = 50 \mu\text{m}$, チャンネル幅 $W = 1000 \mu\text{m}$, p 型) の OTFT 4 個に対し異なるストレス条件を与えることで、OTFT の劣化要因の検討と特性変動の定量化を行う。

図 2 に示すように 12 ピンのプローブを用いて 4 個の OTFT を測定器に並列に接続し、同時に測定する。測定条件を図 3 に示す。約 17 秒の $I_D - V_{GS}$ 特性の測定 ($V(r)$) と約 30 秒のストレス印加 ($V(s)$) を 1 セットとして、30 セット繰り返す。同時に測定される 4 つの OTFT に対し、全て異なるバイアス電圧でストレスを与える。4 つのストレス条件を図 3 に示す。図 3 において、 V_{stress} は、3.0V または 4.0V である。条件 none は、ゲート電界、ドレイン電流のストレスをいずれも与えない条件である ($V(r)$: $V_{GS} = V_{DS} = 0.0V$)。条件 Vgs はゲート電界ストレスのみを与える条件 ($V(s)$: $V_{GS} = V_{\text{stress}}, V_{DS} = 0.0V$) であり、Vgs+Vds 条件はゲート電界ストレスとオン電流ストレスを両方与える条件である。また条件 Vgs/none では、ゲート電界ストレスとストレスなしの条件を繰り返すよう、図中に書き込んだ回数、条件 Vgs と none を交互に与える。

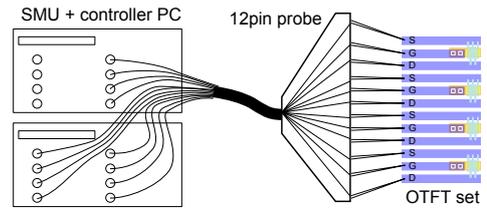
4. 実測による特性変動の評価

4.1 特性変動に関係するパラメータ

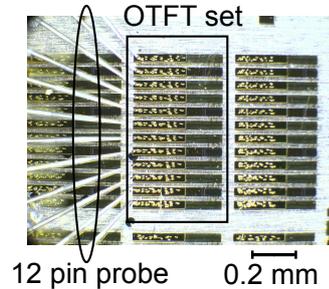
Vgs 条件 ($V_{\text{stress}} = 4.0V$) での $I_D - V_{GS}$ 曲線の測定結果を図 4 に示す。測定が進むにつれ、電流が流れ始める立ち上がり電圧の絶対値が大きくなっている。これは、バイアス・ストレス劣化によりしきい値電圧が変化することを示している。加えて、オン状態時の曲線の傾きが変化している。このことから、しきい値電圧の他に OTFT の特性に関係するパラメータが存在すると考えられる。式 (8) にトランジスタの飽和電流の式を示す [11]。

$$I_D = \frac{W}{2L} \mu C_{ox} (V_{GS} - V_{th})^2 \quad (8)$$

ただし、 I_D はドレイン電流、 V_{GS} はゲート-ソース間電圧、 V_{th} はしきい値電圧であり、 μ はキャリア移動度、 C_{ox} は単位面積あたりのゲート容量である。この式において、OTFT のバイアス・ストレス劣化により変動するパラメー



(a) 12 ピンプローブによる並列測定



(b) 顕微鏡写真

図 2: OTFT アレイによるバイアス・ストレス特性変動の測定

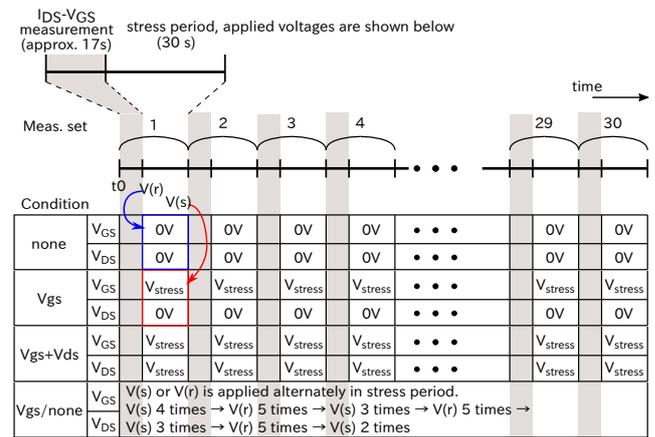


図 3: 測定のタイミングチャートとストレス条件

タは V_{th} の他に μ と C_{ox} が考えられる。すなわち、オン状態時の曲線の傾きの測定に伴う変化は、 μ または C_{ox} がバイアス・ストレスにより変動したと考えられる。この点に関して、 C_{ox} を直接測定してどのパラメータが変動しているかを確認する必要があるが、文献 [5] では μ の変動が指摘されており、本稿でもキャリア移動度としきい値電圧をバイアス・ストレス劣化により変動するパラメータとして考慮する。

4.2 異なるストレス条件間での測定結果の比較

図 5 にバイアス・ストレスによるドレイン電流 I_D の測定結果を示す。ただし (a) では $V_{\text{stress}} = 3.0V$, (b) では $V_{\text{stress}} = 4.0V$ とした。図 5 は、飽和電流の変化を示す。すなわち、各 V_{stress} 値における 30 回のドレイン電流の測定結果から、バイアス $V_{GS} = V_{DS} = 3.0V$ となる点を抽出しプロットした。図 5 におけるトランジスタは p 型、

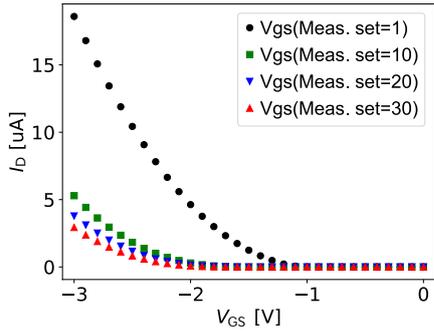
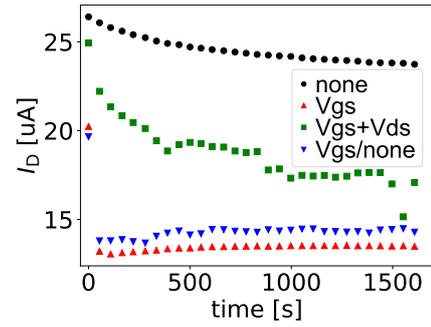


図 4: Vgs 条件 ($V_{\text{stress}} = 4.0 \text{ V}$) における電流特性の変化

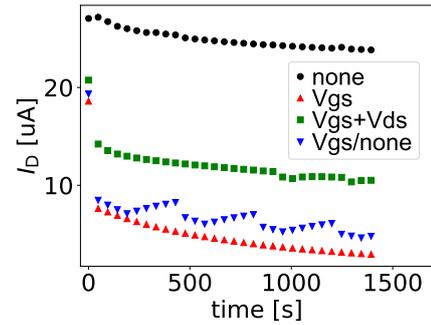
$W = 1000 \mu\text{m}$ で、図 4 で測定に用いた OTFT アレイと同じものである。

図 5 において、Vgs 条件と Vgs+Vds 条件の I_D の変動を比較すると、 $V_{\text{stress}} = 3.0 \text{ V}$ では Vgs+Vds 条件の方が $1.11 \mu\text{A}$ 、 $V_{\text{stress}} = 4.0 \text{ V}$ では Vgs 条件の方が $5.42 \mu\text{A}$ 、それぞれ I_D の減少量が大きい。このことから、 $V_{\text{stress}} = 3.0 \text{ V}$ では Vgs+Vds 条件が、 $V_{\text{stress}} = 4.0 \text{ V}$ では Vgs 条件が、それぞれ劣化量が大きいといえる。しかし、図 5(a) において、 $V_{\text{stress}} = 3.0 \text{ V}$ の Vgs+Vds 条件の I_D の描く曲線は滑らかでなく、 $t = 1000 \text{ s}$ 付近で電流値が不連続に減少している箇所が存在する。この箇所での I_D の減少量は、劣化量の比較において無視できず、また、バイアス・ストレス劣化によるものではないと考えられるため、 $V_{\text{stress}} = 3.0 \text{ V}$ における Vgs 条件と Vgs+Vds 条件との劣化量に有意な差は無いと考える。すなわち、 $V_{\text{stress}} = 3.0 \text{ V}$ では、Vgs 条件での I_D の減少量が Vgs+Vds 条件と同程度であり、 $V_{\text{stress}} = 4.0 \text{ V}$ では、Vgs 条件の I_D の減少量が Vgs+Vds 条件より大きく、Vgs 条件の方が劣化量が大きいと言える。

ここで Vgs 条件と Vgs+Vds 条件との比較により、バイアス・ストレス劣化の主要因について考える。まず、それぞれのストレス条件において考えられる劣化要因を比較すると、Vgs 条件では OTFT には電流が流れず、ゲート電圧による電界のみが劣化要因となる。一方で、Vgs+Vds 条件では OTFT に流れる電流と、ゲート電圧による電界が劣化要因として考えられる。しかし、測定結果から Vgs 条件の方が Vgs+Vds 条件よりも劣化が大きいことから、ゲート電界が主要な劣化要因であると考えられる。さらに、 $V_{\text{stress}} = 4.0 \text{ V}$ における結果から、OTFT に電流を流すためのドレイン電圧の印加によりドレイン側の電界が緩和されて、劣化が抑制されたと考えられる。また、図 5 の Vgs/none 条件における測定結果から、バイアス・ストレスが取り除かれると I_D が増加し特性が回復することが確認できる。したがって、回復成分を考慮可能なバイアス・ストレス劣化のモデル式が必要である。



(a) $V_{\text{stress}} = 3.0 \text{ V}$



(b) $V_{\text{stress}} = 4.0 \text{ V}$

図 5: バイアス・ストレスによる I_D の測定結果

5. バイアス・ストレス劣化特性変動モデル

本章では、リカバリ時の特性回復を考慮可能なバイアス・ストレス特性変動モデルを、キャリア移動度としきい値電圧の変動に着目して提案する。

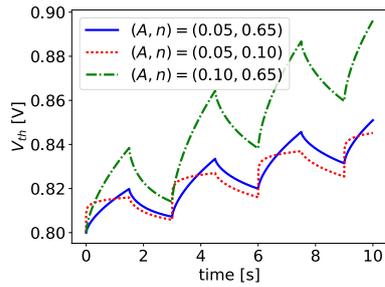
提案するパラメータ変動のモデル式を式 (9), (10), (11) に示す。

$$\Delta p(t+t_0) = \Delta_1 + \Delta_2 \quad (9)$$

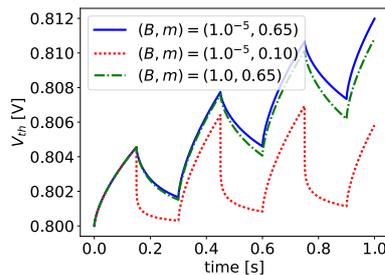
$$\Delta_1 = \phi (1 - \exp(-At^n)) \quad (10)$$

$$\Delta_2 = \Delta p(t_0) \left(1 - \left(\frac{1 - \exp[-Bt]}{1 - \exp[-B(t+t_0)]} \right)^m \right) \quad (11)$$

式中 p は OTFT の劣化に従い変動するパラメータを表し、本稿ではしきい値電圧 V_{th} およびキャリア移動度 μ である。式 (10) に示すように、提案するモデル式では、既存の OFET モデルと同様にストレス印加時間に対して指数関数的に劣化が進行する。また、式 (11) に示す回復成分は、TD モデルと同様に、ストレス条件の開始時点でのパラメータ劣化量 ($\Delta p(t_0)$) を回復可能成分の最大量とし、リカバリ時間に伴って $\left(1 - \left(\frac{1 - \exp[-Bt]}{1 - \exp[-B(t+t_0)]} \right)^m \right)$ が 0 に漸近して回復が進行する。すなわち、 Δ_2 は t にしたがって、 $\Delta p(t_0) \rightarrow 0$ と変化する。式中の A, B, m, n, ϕ はフィッティングパラメータである。これらのフィッティングパラメータは、表現する変動パラメータ毎に異なる値を用いる。 ϕ はバイアス・ストレス電圧を印加して十分長い時間経過した後のパラメータの収束値を表している。 ϕ と劣化パラメータの初期値との関係に関して、バイアス・ストレス印加開始時点



(a) 劣化項パラメータ変化による劣化速度の変化 ($B = 1.0^{-5}$, $m = 0.65$ 一定)



(b) 回復項パラメータの変化による回復速度の変化 ($A = 0.05$, $n = 0.65$ 一定)

図 6: 提案モデル式による劣化パラメータの変動概形図 ($\phi = 0.5$ 一定)

での劣化パラメータの値は、それまでの OTFT の使用状況により異なる、すなわち、既に劣化している OTFT は、ストレスを与えても劣化量が小さいと考えられるため、 ϕ は変動パラメータの初期値が収束値に近づくほど値が小さくなるようなモデルで表現できると考えられる。 A, n によりストレス印加時間に対する劣化速度を、 B, m によりリカバリ時間に対する回復速度を決定している。

提案モデル式によるしきい値電圧の劣化と回復を図 6 に、ストレスを十分長い時間印加する時のパラメータ変動を図 7 に示す。図 6 より、フィッティングパラメータによって劣化と回復それぞれの速度に柔軟に適應することが可能である。本稿においては、リカバリ時は印加電圧を 0.0 V としているが、印加電圧値の変更のようなストレス条件の変化にも十分対応が可能であるとする。また、図 7 に示すとおり、長時間のストレス印加ではパラメータ変動が飽和して一定値に収束する。 A と n により収束値や収束速度を調整することが可能である。

6. フィッティング結果

本章では、第 5 章において提案した OTFT のバイアス・ストレス劣化モデルを、測定結果にフィッティングする。4.1 節において特性変動に関係するパラメータとして特定したキャリア移動度 μ としきい値電圧 V_{th} について、測定結果からその変動を計算し、提案モデル式によりフィッティ

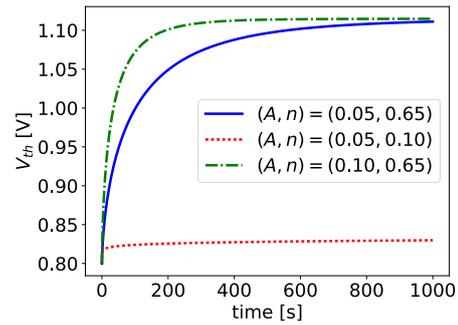


図 7: 提案モデル式における長時間ストレス時の概形図

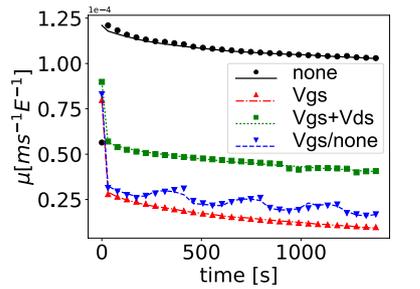
ングを行う。本稿では、ストレス条件の変化に伴う特性回復へのモデル式を新たに提案しているため、フィッティングは特性回復が顕著に観測された $V_{stress} = 4.0\text{ V}$ に対してのみ行う。

6.1 フィッティング条件

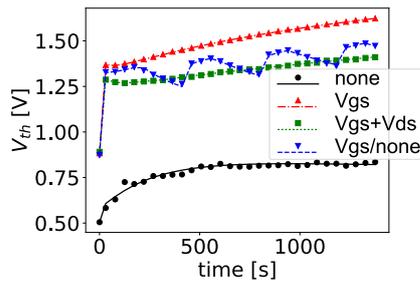
パラメータ μ と V_{th} は、 I_D, V_{DS}, V_{GS} の測定結果から計算する。 μ は、式 (8) に示す I_D の式に対し、 μ をフィッティングパラメータとして焼きなまし法により求めた。 V_{th} は、 I_D - V_{GS} 特性の測定結果に定電流法を適用して求めた。

I-V 曲線の測定により OTFT に印加されるバイアス・ストレスの扱いに関して、本稿ではストレス成分を、測定によるストレス成分 (A_m, n_m, ϕ_m) と、ストレス条件によるストレス成分 (A_s, n_s, ϕ_s) とに分けて提案モデル式によるフィッティングを行った。これは、各測定タイミングでは、 I_D - V_{GS} 曲線を測定するために $V_{DS} = 3.0\text{ V}$ 一定として V_{GS} を $0.0\text{ V} \sim 3.0\text{ V}$ と変化させており、測定により与えられるストレスが無視できないためである。また、各測定条件において、ストレス条件による劣化量 (回復量) はストレス条件の総印加時間に対して、測定による劣化量に対しては総測定時間に対して計算される。すなわち、モデル式において、測定による特性変動とストレス条件による特性変動とは交互に進行し、一方が進行する間は他方は値が一定となる。ただし、 $V_{gs}/none$ 条件に関しては、印加するストレス条件が $V_{gs} \rightarrow none$ 、または $none \rightarrow V_{gs}$ 、と切り替わる度に総ストレス印加時間を 0 として計算した。すなわち、 $V_{gs}/none$ 条件においては、ストレス条件が $none$ から V_{gs} へと切り替わる度に、ストレス印加開始時点の変動パラメータ $p(0)$ が異なる値となる。第 5 章で説明したように、フィッティングパラメータ ϕ は、ストレス印加開始時点の変動パラメータの値に依存すると考えられることから、変動パラメータの初期値により値が変動するフィッティングパラメータである ϕ_s を更新する必要があり、本稿では以下の式 (12) により時刻 t_0 に始まるストレス印加の ϕ_s を p により表した。

$$\phi_s = \phi_0 * \exp(ap(t_0)) / \exp(ap(0)) \quad (12)$$



(a) キャリア移動度



(b) しきい値電圧

図 8: 提案モデル式による測定データのフィッティング (点は測定結果を, 線はモデル式を示す)

ただし, 式中 ϕ_0 は測定開始時点における ϕ_s であり, $p(t)$ は時刻 t の特性パラメータの値, α は定数である.

6.2 フィッティング結果

キャリア移動度およびしきい値電圧のフィッティングの結果を, それぞれ図 8(a), (b) に示す. 図 8 は, 図 4, 図 5 の測定に用いた OTFT に関する結果である. 図 8 の Vgs/none 条件の測定結果とモデル式を比較することにより, 提案モデル式が劣化パラメータの回復を表現できることが確認できる.

7. まとめ

本稿では, 複数のバイアス・ストレス条件で OTFT の特性変動の測定を行い, バイアス・ストレス劣化の主要因がゲート電圧印加により OTFT 内に生じる電界であることを示した. また, 測定結果において, 与えるストレス条件の切り替えにより劣化した特性の回復が起こることから, 回復成分を考慮可能なバイアス・ストレスモデル式が必要であると考え, シリコントランジスタの NBTI 劣化を説明する TD モデルを参考にした回復成分を考慮可能な OTFT バイアス・ストレスモデル式を提案した. 測定結果と提案モデル式を比較し, 提案モデル式によりストレス条件の切り替えに伴う特性回復を表現できることを示した.

謝辞 本研究は一部, JSPS 科研費 17H01713 および KDDI 財団の助成を受けた.

参考文献

- [1] R. Shiwaku, H. Matsui, K. Nagamine, M. Uematsu, T. Mano, Y. Maruyama, A. Nomura, K. Tsuchiya, K. Hayasaki, Y. Takeda, T. Fukuda, D. Kumaki, and S. Tokito, "A printed organic circuit system for wearable amperometric electrochemical sensors," *Scientific Reports*, vol. 8, no. 6368, pp. 1–8, 2018.
- [2] K. Kuribara, Y. Hori, T. Katashita, K. Kakita, Y. Yanaka, and M. Yoshida, "Organic physically unclonable function on flexible substrate operable at 2v for IoT/IoE security applications," *Organic Electronics*, vol. 51, pp. 137–141, 2017.
- [3] S. H. Han, J. H. Kim, J. Jang, S. M. Cho, M. H. Oh, S. H. Lee, and D. J. Choo, "Lifetime of organic thin-film transistors with organic passivation layers," *Applied Physics Letters*, vol. 88, no. 073519, pp. 1–3, 2006.
- [4] K. Tsukagoshi, I. Yagi, K. Shigeto, K. Yanagisawa, J. Tanabe, and Y. Aoyagi, "Pentacene transistor encapsulated by poly-para-xylylene behaving as gate dielectric insulator and passivation film," *Applied Physics Letters*, vol. 87, no. 183502, pp. 1–3, 2005.
- [5] M. Saito, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato, "A compact model of I-V characteristic degradation for organic thin film transistors," in *IEEE International Conf. on Microelectronic Test Structures*, 2019, pp. 194–199.
- [6] K. K. Ryu, I. Nausieda, D. D. He, A. I. Akinwande, V. Bulović, and C. G. Sodini, "Bias-stress effect in pentacene organic thin-film transistors," *IEEE Trans. on Electron Devices*, vol. 57, no. 5, pp. 1003–1008, 2010.
- [7] S. Bebiche, P. A. Cisneros-Perez, T. Mohammed-Brahim, M. Harnois, J. Rault-Berthelot, C. Poriel, and E. Jacques, "Influence of the gate bias stress on the stability of n-type organic field-effect transistors based on dicyanovinylenedihydroindeno[1,2-b]fluorene semiconductors," *MATERIALS CHEMISTRY FRONTIERS*, vol. 2, pp. 1631–1641, 2018.
- [8] W. Wang, S. Yang, S. Bhardwaj, S. Vruthula, F. Liu, and Y. Cao, "The impact of NBTI effect on combinational circuit: Modeling, simulation, and analysis," *IEEE J. VLSI*, vol. 18, no. 2, pp. 173–183, 2009.
- [9] J. B. Velamala, K. B. Sutaria, H. Shimizu, H. Awano, T. Sato, G. Wirth, and Y. Cao, "Compact modeling of statistical BTI undertrapping/detrapping," *IEEE Trans. on Electron Devices*, vol. 60, no. 11, pp. 3645–3654, 2013.
- [10] G. I. Wirth, R. da Silva, and B. Kaczer, "Statistical model for MOSFET bias temperature instability component due to charge trapping," *IEEE Trans. on Electron Devices*, vol. 58, no. 8, pp. 2743–2751, 2011.
- [11] B.L. アンダーソン, R.L. アンダーソン, *半導体デバイスの基礎 (中)*. 丸善出版, 2005.