

# 電流スターブ型リングオシレータを用いたアンテナダメージと経年劣化によるしきい値電圧変動量の比較

岸田 亮<sup>1</sup> 小高 孔頌<sup>1</sup> 小林 和淑<sup>2</sup>

**概要:** 集積回路素子の信頼性問題として、製造時に特性が変動するアンテナダメージ (PID) と、使用時に使い続けると劣化する経年劣化 (BTI) がある。どちらも避けられない問題であり、どの程度変動するかを評価することが重要である。電流スターブ型リングオシレータを搭載したチップを試作し、実測してこれらの影響を評価する。PID は金属配線層だけでなく、PMOS と NMOS でも影響が異なる。BTI による劣化は外挿による劣化見積もりを行っても PID に比べて小さいため、設計段階では BTI に比べて PID の影響をより考慮すべきである。

## Comparison of Threshold Voltage Shift Caused by Plasma Induced Damage and Bias Temperature Instability Using Current Starved Ring Oscillators

RYO KISHIDA<sup>1</sup> KOSYO KODAKA<sup>1</sup> KAZUTOSHI KOBAYASHI<sup>2</sup>

**Abstract:** There are Plasma Induced Damage (PID) during the production of MOSFETs and Bias Temperature Instability (BTI) in reliability issues of integrated circuits. It is important to evaluate characteristic shift of MOSFETs since PID and BTI are inevitable reliability issues. We measure oscillation frequencies of fabricated current starved ring oscillators. Threshold voltage is shifted by PID depending on metal layer and MOSFET type. Degradation caused by BTI is less than that of PID. Chip designers should consider PID rather than BTI in circuit design.

### 1. 序論

集積回路は身のまわりのあらゆる電化製品に使われており、主にその素子として用いられる MOSFET の微細化にともなって能が向上している。微細化による性能向上の例として、単位面積あたりに搭載できるトランジスタ数が増加する高集積化、1 つ 1 つの素子の消費する電力が少なくなる低消費電力化、CPU の動作速度向上などがある [1]。微細化による性能向上の一方で、信頼性問題が顕在化している。MOSFET のゲート酸化膜に作られる欠陥が信頼性問題の原因であり、この欠陥により素子の特性が変動

し、最悪の場合故障に至る。ゲート酸化膜の欠陥が作られる要因の 1 つとして、アンテナダメージ (Plasma Induced Damage, PID) がある [2, 3]。集積回路の金属配線加工時に、金属配線に蓄積したプラズマ電荷が MOSFET のゲート部分に接続され、ゲート酸化膜がダメージを受ける。このダメージを PID と呼ぶ。PID によってゲートリーク電流の増加、最悪の場合ゲート酸化膜が破壊されて動作しなくなる [4]。PID は信頼性を低下させる問題であるため、実測による評価が重要である。

製造時だけでなく、動作中に時間経過に応じて特性が劣化する経年劣化現象も、近年の微細プロセスで顕在化している。経年劣化の 1 つとして BTI (Bias Temperature Instability) があり、ON 状態である集積回路素子の特性が劣化する [5]。電源が ON である限り、NMOS か PMOS のどちらかが必ず劣化し、機器を使用する上では BTI は避け

<sup>1</sup> 東京理科大学 理工学部 電気電子情報工学科  
Department of Electrical Engineering, Faculty of Science and Technology, Tokyo University of Science

<sup>2</sup> 京都工芸繊維大学 電気電子工学系  
Electrical Engineering and Electronics, Kyoto Institute of Technology

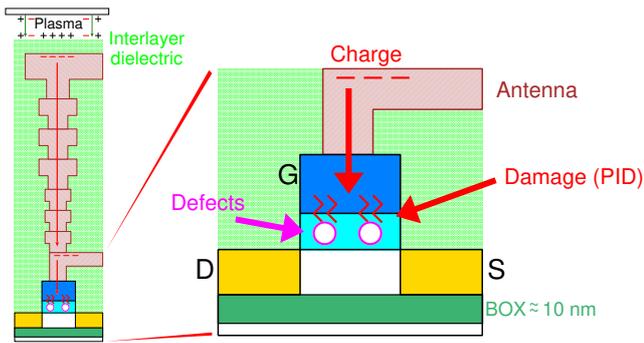


図 1 アンテナによるゲート酸化膜へのダメージ。

て通れない問題であるため、PID と同様に実測による評価が重要である。

本稿では PID と BTI それぞれの特性変動量をチップ試作と実測により評価する。金属配線層別の PID と、NMOS と PMOS の影響を分離して評価するために、電流スターブ型リングオシレータを搭載したチップを試作する。2 節で PID について述べ、3 節で BTI について説明する。4 節にて測定回路を説明し、5 節で実測による PID と BTI の影響を評価する。最後に 6 節で結論を述べる。

## 2. アンテナダメージ

本節で製造時における信頼性低下の要因となるアンテナダメージについて説明する。アンテナとは、製造工程で電荷がたまった金属配線のことであり [6]。図 1 のようにアンテナが MOSFET のゲート (G) に接続されると、ゲートから酸化膜に電荷が流れこみ、酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。最悪の場合、ゲート酸化膜が壊れて MOSFET として動作しなくなる。壊れなかったとしても、アンテナダメージによって酸化膜に欠陥が作られ、しきい値電圧増加やリーク電流増加などの素子特性悪化の原因となる。アンテナダメージは製造工程上で発生するため、避けられない問題である。近年用いられている銅配線では化学機械研磨 (CMP, Chemical Mechanical Polishing) によって配線を削るときに、研磨装置と配線との摩擦によって一方に正 (または負) の電荷が帯電し、配線に電荷が誘起される。この配線がアンテナとなり、アンテナダメージが発生する。

近年の微細化によって、異なる金属層間だけでなく隣接した同じ金属層間の絶縁層が薄くなり、絶縁層の容量が大きくなっている。容量が大きくなるとより多くの電荷が配線に誘起されるため、微細化が進むと帯電によってより多くの電荷が蓄積すると考えられる。アンテナダメージに関する先行研究では  $\text{SiO}_2$  と high-k でのゲート酸化膜材料の違い [7]、長方形と楕円形でのアンテナ形状の違い [8]、ゲート酸化膜厚の違い [9] などについて評価されている。本稿では配線層によるアンテナダメージの違いについて評価する。集積回路では多層配線が使われ、その配線層数はプロ

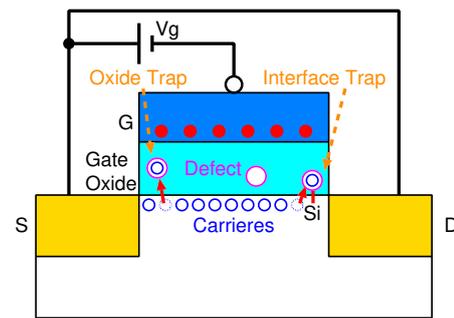


図 2 Atomistic Trap-based BTI (ATB) モデル。酸化膜中の欠陥がチャンネルのキャリアを捕獲することで、しきい値電圧が劣化する。

セスが進むにつれて多くなっている。アンテナとなる配線の層数が増加し、電荷が多く蓄積されるだけでなく、各層によってアンテナダメージの影響が異なるため、アンテナ層によるアンテナダメージの違いの評価は重要である。

## 3. Bias Temperature Instability (BTI)

BTI は MOSFET に電圧や温度によるストレスを加えることにより、時間経過に伴って MOSFET の特性が劣化する経年劣化現象である [10]。ゲート酸化膜にかかる実効電界が小さくなることにより、チャンネルに誘起される電荷量が少なくなるため、動作電流の減少といった特性劣化が起こる。この特性劣化はしきい値電圧 ( $V_{th}$ ) の劣化として表される。しきい値電圧の劣化が遅延時間の増加や、発振周波数減少などといった悪影響をもたらす、回路の誤動作につながる。BTI には劣化現象だけではなく回復現象が存在する。ストレスを加えている間は、時間経過に伴ってしきい値電圧が劣化していくが、ストレスを取り除くと、劣化していたしきい値電圧が元にもどる。しかし、劣化したしきい値電圧が完全に回復するわけではなく、回復不可能な成分も存在する。回復不可能な成分は BTI の発生原理から説明できる。

BTI の発生原理として Atomistic Trap-based BTI (ATB) モデルによるキャリアの捕獲および放出が考えられている [11, 12]。図 2 に ATB モデルによるしきい値電圧変動を表した MOSFET 断面の模式図を示す。図 2 中の Oxide Trap のように、ゲート酸化膜の欠陥がチャンネルのキャリアを捕獲することで、ゲートの実効電界が減少するため、結果としてしきい値電圧が劣化する。欠陥には捕獲および放出するまでの時定数 ( $\tau$ ) が存在する。時定数は  $10^{-9} \sim 10^9$  s に幅広く分布し、対数一様分布であるとされている [12]。放出するまでの時定数が  $10^9$  s のように長い欠陥が一度キャリアを捕獲すると、 $10^9$  s は 30 年以上であるため、半永久的にキャリアを捕獲し続けることになる。こういった欠陥では一度捕獲されたキャリアは放出されないため、ストレスを取り除いても回復しない。

もう 1 つの BTI 発生原理として、酸化膜と基板間にある

分子の未結合手にキャリアが捕獲されることも考えられている [13]. 図 2 の Interface Trap のように界面にある未結合手にキャリアが捕獲されることによって, しきい値電圧が劣化する.

これら 2 つがどちらも BTI の原因であるとしている先行研究もある [14, 15]. 酸化膜欠陥のキャリア捕獲と界面の結合切断はともに発生し, 2 つの組み合わせによって劣化を見積もることができる. 近年ではこの組み合わせによるモデルが有力であり, 実験値とよく合うことが知られている. 本稿の劣化予測モデル式は, これに従って 2 つを組み合わせたモデル式を用いて行う.

BTI には Negative BTI (NBTI) と Positive BTI (PBTI) の 2 種類に分類される. NBTI は PMOS でゲート・ソース間電圧が負 ( $V_{gs} < 0 V$ ) であるときに発生する経年劣化現象である. 一方で PBTI も存在し, こちらは NMOS で  $V_{gs} > 0 V$  となるときに発生する. 65 nm 以上のプロセスで用いられている SiON のゲート酸化膜では, NMOS では欠陥が発生しにくいいため, PBTI は顕在化していなかった. しかし, 45 nm 以下のプロセスから high-k と呼ばれる高誘電率のゲート酸化膜を用いるようになったため, PBTI が顕在化してきた [16]. 本稿で試作するプロセスは 65 nm であるが, 埋め込み酸化膜を持つ Silicon On Insulator (SOI) であり, しきい値電圧調整のために, 酸化膜に high-k が使われている.

## 4. 測定回路

### 4.1 電流スターブ型リングオシレータ

図 3 に測定回路の断面図を示す. 最も左にあるトランジスタは参照用トランジスタ (REF-SW) である. REF-SW へのアンテナダメージを避けるために, ゲートにつなげる配線面積はできるだけ小さくする. 最も右にあるトランジスタ (M5-PID-SW) に 5 層目の金属配線 (M5) をアンテナとして付加している. 付加するアンテナのアンテナ比は, 設計ルールで許容できる上限値に限りなく近い値である. アンテナ比はゲートとそれにつながっている配線との面積比であり, どちらも底面積を用いる. 他の 1 から 4 層目の金属配線はできるだけ小さくする. この M5-PID-SW は主に M5 によるアンテナダメージを受ける. M2 から M4-PID-SW も同様の構造である. それぞれのトランジスタは異なる M2 から M4 のアンテナが付加されている. M2 から M5 までの各層は同じ幅と厚さの金属配線である.

回路レベルの評価として 11 段リングオシレータを試作する. 先行研究 [3] ではアンテナを直接リングオシレータ内の配線に接続している. しかし, PMOS と NMOS の影響を分離できず, リングオシレータ内のトランジスタが別々に影響を受けるため, 発振周波数変動をしきい値電圧変動に変換するのが難しい. 図 4 にこれらを解決するための電

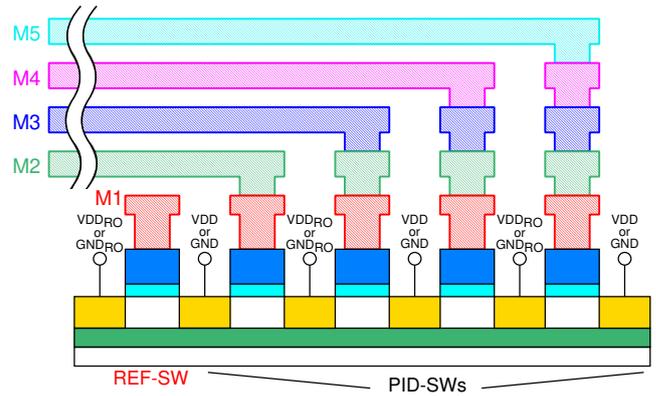


図 3 配線層別のアンテナダメージ評価回路断面図. 各 PID-SW に配線面積の大きな別々の配線層を付加する.

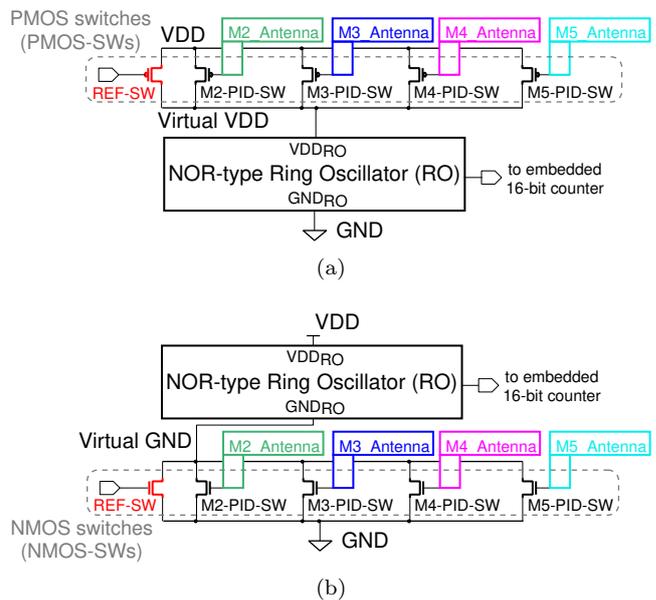


図 4 配線層別の影響を評価するための電流スターブ型リングオシレータ. (a) PMOS 型. (b) NMOS 型.

流スターブ型のリングオシレータ (RO) を示す. 挿入する 5 つのトランジスタは先の図 4 で示した異なる配線層をもつトランジスタである. 図 4(a) の PMOS 型では, 電源線 (VDD) と RO の電源線 ( $VDD_{RO}$ ) との間に PMOS を挟んだ構造である. この挟んだ PMOS スイッチ (PMOS-SW) のしきい値電圧が劣化すると,  $VDD_{RO}$  の電位が下がり, RO の発振周波数が減少する. 発振周波数を記録するカウンタが RO の出力とつながっており, カウンタの値を読み取ることで評価する. 図 4(b) は NMOS 型の電流スターブ型 RO である. NMOS 型はグラウンド ( $GND$ ) と RO のグラウンド ( $GND_{RO}$ ) との間に NMOS を挟んでいる. この NMOS のしきい値電圧が劣化すると,  $GND_{RO}$  の電位が増加し, PMOS 型と同様に発振周波数が減少する. リングオシレータは 11 段の NOR により構成される NOR 型リングオシレータを用いる. 次節で NOR 型リングオシレータについて説明する.

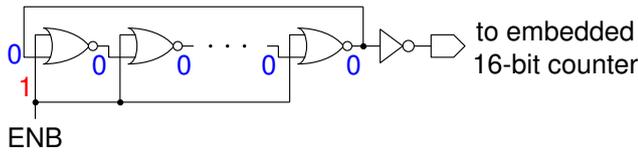


図 5 NOR 型 11 段リングオシレータ測定回路. ENB が 1 のときは全 NOR の出力は 0 となり, 発振が停止する. ENB が 0 のときはインバータと同じ動作をするため, リングオシレータとして発振する.

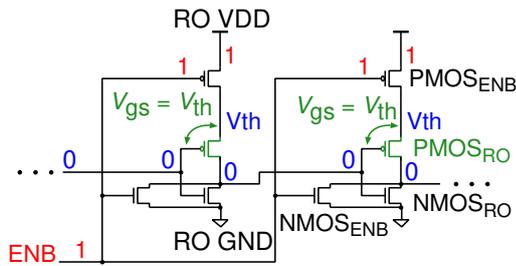


図 6 トランジスタレベルの NOR 型リングオシレータ. 発振が停止するストレス状態でも, PMOS<sub>RO</sub> のゲート・ソース間電圧 ( $V_{gs}$ ) はしきい値電圧 ( $V_{th}$ ) 程度なので, NBTI が抑制される.

#### 4.2 NOR 型リングオシレータ

リングオシレータは NOR を鎖状につないだ NOR 型 11 段リングオシレータを用いる [17]. 図 5 に NOR 型 RO を示す. この NOR 型 RO が, 図 4 の “NOR type Ring Oscillator” に搭載されている. NOR の 2 つある入力端子のうち, 1 つは発振制御用端子 (ENB) につなぐ. もう一方の端子は前段 NOR の出力端子につなぐ. インバータではなく NOR を用いた理由は, 発振停止時に RO の BTI を抑制するためである. 図 6 のトランジスタレベルの NOR を用いて BTI を抑制するための方法を説明する. ENB が 1 のとき, 全 NOR の出力は 0 となり, 発振が停止してストレス状態となる. このとき, RO として動作する PMOS<sub>RO</sub> と NMOS<sub>RO</sub> のしきい値電圧が劣化すると, 発振周波数が減少する. しかし, 発振停止時の PMOS<sub>RO</sub> のゲート・ソース間電圧 ( $V_{gs}$ ) はしきい値電圧 ( $V_{th}$ ) 程度であるため, NBTI が抑制される. NMOS<sub>RO</sub> の  $V_{gs}$  は 0 V であるため, PBTI は発生しない. 入力を ENB につないでいる PMOS<sub>RO</sub> と NMOS<sub>RO</sub> のしきい値電圧が変動しても, 発振周波数は変化しない. 発振周波数は PMOS<sub>RO</sub> と NMOS<sub>RO</sub> のゲート遅延時間によって決まるためである. ENB が 0 のときは, 全ての NOR はインバータと同じ動作をするため, リングオシレータとして動作する. このとき, 出力は 0 と 1 を交互に繰り返して発振する. RO の電源またはグラウンドの電位が変動することによって, 発振周波数が変動するため, リングオシレータの発振周波数を時間経過毎に測定することで, BTI の影響を評価する.

試作チップの写真を図 7 に示す. 65 nm の silicon-on-insulator (SOI) プロセスである. 同じ構造のリングオシ

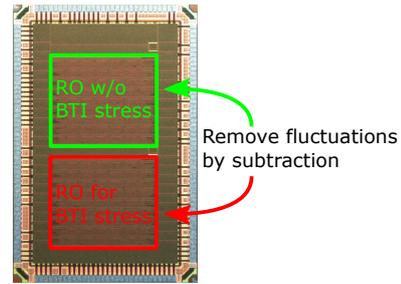


図 7 試作チップ写真. 112 個搭載されたリングオシレータが上下 2 つに配置されている.

レータ (RO) を 112 個搭載した回路を上下 2 つに配置している. PID 評価では 2 つの合計である 224 個の RO で評価する. BTI 評価では環境変動を除去するために, BTI ストレスを与える回路と与えない回路の差分をとるため, 112 個の平均値で評価する.

### 5. 測定結果

はじめに PID の測定結果を示した後に, BTI の測定結果を示し, その変動量を比較する.

#### 5.1 PID 測定結果

PID の影響を調べるために初期発振周波数を測定する. 標準電圧 1.0 V, 室温, 60  $\mu$ s の発振時間で測定する. 図 8 に 224 個の平均値を測定した結果を示す. 図 8(a) の PMOS の結果では初期発振周波数が上層のアンテナであるほど減少しており,  $|V_{th}|$  がアンテナダメージによって増加していることがわかる. しかし, 図 8(b) の NMOS の結果ではアンテナダメージを受ける全てのトランジスタにおいて, 参照用トランジスタよりも発振周波数が高い. NMOS ではアンテナダメージによって  $|V_{th}|$  が減少していることを表す. この原因として high-k における正電荷によるダメージが考えられる [18].

#### 5.2 BTI 測定結果

##### 5.2.1 BTI 測定方法

図 9 に BTI の測定方法を示す. 最初に, ENB を 0 にして初期発振周波数を測定する. 発振させる時間はカウンタが桁あふれせず, かつ多くの発振回数を記録するために 60  $\mu$ s とする. 初期発振周波数を測定した後は ENB を 1 にして発振を止める. このときに, 電流スターブ型 RO として挟んだトランジスタに BTI ストレスが与えられる. ストレスを与える時間は 10 秒以上とし, 発振による回復よりも BTI ストレスによる劣化を支配的にする. ストレスを与えた後, 再び 60  $\mu$ s 発振させる. ストレス後に測定される発振周波数は, BTI ストレスにより減少する. 発振とストレスを交互に繰り返すことで, 時間経過によりどれぐらい発振周波数が減少するかを確認する.

外乱の影響を取り除くために発振回数の変化分で評価す

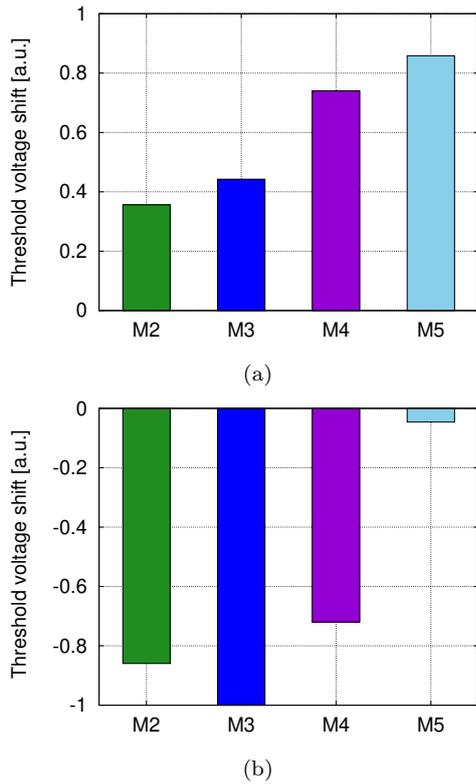


図 8 配線層別の初期発振周波数測定結果. (a) PMOS. (b) NMOS. NMOS の M3 で最も変動が大きいため、その値を  $-1$  とする.

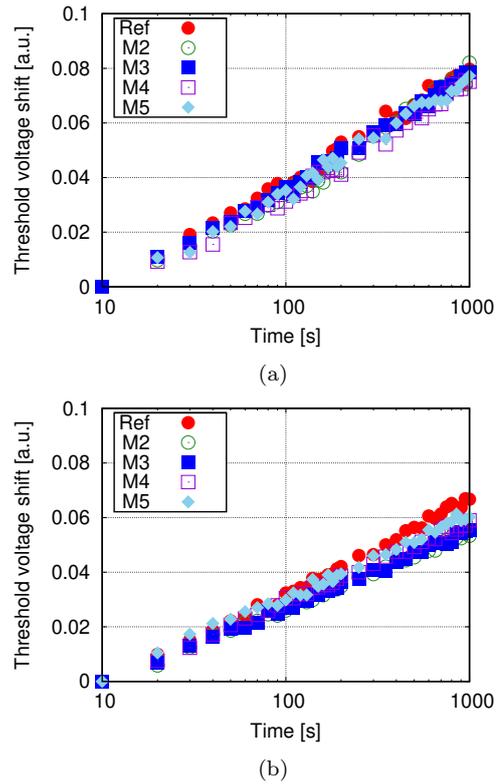


図 10 配線層別の BTI 測定結果. (a) PMOS. (b) NMOS. 配線層別で BTI による劣化量は変わらない.

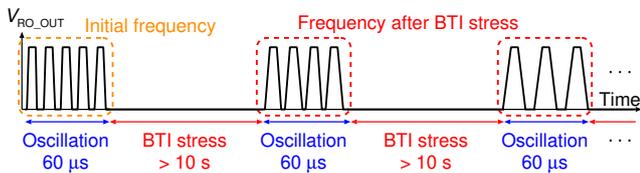


図 9 BTI の測定方法. 発振とストレスを交互に繰り返す, ストレス後にどれぐらい発振周波数が減少しているかを確認する.

る. 試作チップでは同じ構造の回路を上下に同じものを 2 つ搭載している. 下の回路は先に述べた方法で測定し, 上の回路では発振させるとき以外は電圧を与えないように制御することで, 上の回路ではストレスを与えていない状態における発振回数を得られる. 上下の回路は同じ外乱を受けるため, 上下の結果の差を取ることで外乱による変動分を取り除くことができ, 経年劣化による発振回数の変化分のみが得られる.

### 5.2.2 配線層別の BTI 測定結果

図 10 に配線層別の BTI 測定結果を示す. BTI 劣化を加速させるために, 電源電圧は  $2.0\text{ V}$ , 温度は  $120\text{ }^\circ\text{C}$  で行っている. 図 10(a) の PMOS と図 10(b) の NMOS とともに配線層の違いによって BTI の影響に差はなく, 通常的设计ではアンテナダメージによる BTI への影響はほとんどない.

### 5.3 PID と BTI の比較

図 11 に参照用トランジスタ (REF-SW) を基準とした

PMOS-NBTI 測定結果を示す. 電源電圧  $1.0\text{ V}$ , 温度は  $120\text{ }^\circ\text{C}$  での結果である. 横軸は与えたストレス時間, 縦軸はしきい値電圧変動量である. PID の結果で最も大きな NMOS 型の M3 の変動量を  $-1$  としている. 点は差分をとった 112 個の RO の平均値であり, 曲線は以下の式 (1) でフィッティングした近似線  $f(t)$  である [14].

$$f(t) = a \log(t) + bt^n \quad (1)$$

ここで,  $t$  は時間,  $a, b$  はフィッティングパラメータ,  $n$  は時間指数とよばれ,  $1/6$  である. 近似線の外挿による 10 年後の劣化見積もり量は PID の  $1/5$  以下である. NMOS における PBTI は標準電圧  $1.0\text{ V}$  では発生しておらず, BTI による劣化量は PID に比べて十分小さい.

BTI による劣化を加速させるために, 電源電圧  $2.0\text{ V}$  で測定した結果を図 12 に示す. 図 12(a) の PMOS 型では PMOS-NBTI の近似曲線による見積もりでは, 約 12 日ほどで BTI の劣化量が PID の劣化量を追い越す. 図 12(b) の NMOS-PBTI における 10 年経過後の見積もりでは, 3 年経過するまで PID 劣化量を上回らない. アンテナ比が設計ルール上限値に近い場合, PID の影響が通常的设计より大きく出ていることも考えられるが, BTI 劣化を加速させた条件でも, PID の劣化量の方が大きく, 設計段階のしきい値電圧変動見積もりは PID の方が重要である.

## 6. 結論

アンテナダメージ (PID) と経年劣化 (BTI) の劣化量を

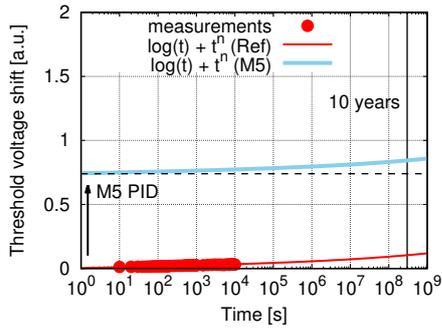
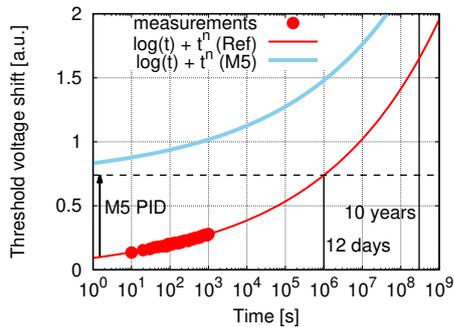
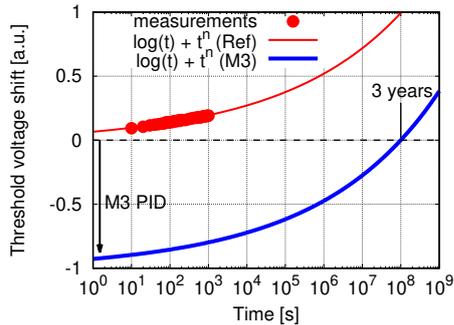


図 11 電圧 1.0 V における参照用トランジスタを基準とした PMOS-NBTI 測定結果。BTI よりも PID による劣化量の方が大きい。1.0 V で NMOS-PBTI はほとんど発生していない。



(a)



(b)

図 12 電圧 2.0 V における参照用トランジスタ (REF-SW) を基準とした BTI 測定結果。(a) PMOS 型。(b) NMOS 型。BTI を加速させた条件でも、PID による劣化量の方が大きい。

電流スターブ型リングオシレータを搭載した試作チップを実測して評価した。この測定回路により、配線層別の PID と、NMOS と PMOS の劣化量を分離することができる。実測の結果、PID による劣化量は BTI の劣化量よりも大きく、外挿による 10 年後の BTI 劣化見積りを行っても、標準電圧では BTI が PID の劣化量を上回らない。集積回路の設計において、BTI のマージンも重要であるが、PID による変動量の方が大きいため、PID の影響をより考慮すべきである。

謝辞 本試作チップの測定に携わってくださった京都工芸繊維大学電子回路工学研究室に深く感謝いたします。本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンターグラフィックス株式会社の協力で行われたものである。

## 参考文献

- [1] M. Bohr, "The Evolution of Scaling from the Homogeneous Era to the Heterogeneous Era," *IEDM*, pp. 1.1.1–1.1.6, 2011.
- [2] A. C. Mocuta, T. B. Hook, A. I. Chou, T. Wagner, A. K. Stamper, M. Khare, and J. P. Gambino, "Plasma Charging Damage in SOI Technology," *Plasma- and Process-Induced Damage*, pp. 104–107, 2001.
- [3] W. H. Choi, S. Satapathy, J. Keane, and C. H. Kim, "A Test Circuit Based on a Ring Oscillator Array for Statistical Characterization of Plasma-Induced Damage," *CICC*, 2014.
- [4] F. L. Chow and A. Chin, "Failure Analysis on Plasma Charging Induced Damage Due to Effect of Circuit Layout & Device Structure Marginality," *IPFA*, pp. 1–5, 2012.
- [5] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, "NBTI Degradation: From Transistor to SRAM Arrays," *IRPS*, pp. 289–300, 2008.
- [6] R. Kishida, J. Furuta, and K. Kobayashi, "Evaluation of plasma-induced damage and bias temperature instability depending on type of antenna layer using current-starved ring oscillators," *JJAP*, vol. 57, no. 4S, pp. 04FD12–1–04FD12–5, 2018.
- [7] C. D. Young, G. Bersuker, F. Zhu, K. Matthews, R. Choi, S. Song, H. Park, J. Lee, and B. H. Lee, "Comparison of Plasma-Induced Damage in SiO<sub>2</sub>/TiN and HfO<sub>2</sub>/TiN Gate Stacks," *IRPS*, pp. 67–70, 2007.
- [8] W. H. Choi, P. Jain, and C. Kim, "An Array-Based Circuit for Characterizing Latent Plasma-Induced Damage," *IRPS*, pp. 4A.3.1–4A.3.4, 2013.
- [9] C. Y. Chang, J. Zhou, C. N. Ni, O. Chan, S. Sun, W. Suen, S. Mings, M. Bevan, P. M. Liu, P. Hsieh, C. P. Chang, and R. Hung, "The Effect of Interfacial Oxide and High- $\kappa$  Thickness on NMOS Vth Shift from Plasma-Induced Damage," *SNW*, pp. 1–2, 2014.
- [10] R. Kishida, A. Oshima, and K. Kobayashi, "Negative Bias Temperature Instability Caused by Plasma Induced Damage in 65 nm Bulk and Silicon on Thin BOX (SOTB) Processes," *IRPS*, pp. CA.2.1–CA.2.5, 2015.
- [11] H. Kukner, S. Khan, P. Weckx, P. Raghavan, S. Hamdioui, B. Kaczer, F. Catthoor, L. V. der Perre, R. Lauwereins, and G. Groeseneken, "Comparison of Reaction-Diffusion and Atomistic Trap-Based BTI Models for Logic Gates," *IEEE Trans. on Dev. and Mat. Rel.*, vol. 14, no. 1, pp. 182–193, 2014.
- [12] B. Kaczer, S. Mahato, V. V. de Almeida Camargo, M. Toledano-Luque, P. J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic Approach to Variability of Bias-Temperature Instability in Circuit Simulations," *IRPS*, pp. XT.3.1–XT.3.5, 2011.
- [13] S. Mahapatra, S. De, K. Joshi, S. Mukhopadhyay, R. K. Pandey, and K. V. R. M. Murali, "Understanding Process Impact of Hole Traps and NBTI in HKMG p-MOSFETs Using Measurements and Atomistic Simulations," *IEEE Electron Dev. Let.*, vol. 34, no. 8, pp. 963–965, 2013.
- [14] C. Ma, H. J. Mattausch, K. Matsuzawa, S. Yamaguchi, T. Hoshida, M. Imade, R. Koh, T. Arakawa, and M. Miura-Mattausch, "Universal NBTI Compact Model for Circuit Aging Simulation under Any Stress Conditions," *IEEE Trans. on Dev. and Mat. Rel.*, vol. 14, no. 3, pp. 818–825, 2014.
- [15] T. Hosaka, S. Nishizawa, R. Kishida, T. Matsumoto, and K. Kobayashi, "Compact Modeling of NBTI Replicating AC Stress / Recovery from a Single-shot Long-term DC Measurement," *IOLTS*, pp. 305–309, 2019.
- [16] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, "A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO<sub>2</sub>/HfO<sub>2</sub> Stacks with FUSI, TiN, Re Gates," *VLSI Tech. Symp.*, pp. 23–25, 2006.
- [17] R. Kishida, T. Asuke, J. Furuta, and K. Kobayashi, "Extracting BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive Ring Oscillators," *ICMTS*, pp. 24–27, 2019.
- [18] K. Eriguchi, M. Kamei, K. Okada, H. Ohta, and K. Ono, "Threshold Voltage Shift Instability Induced by Plasma Charging Damage in MOSFETs with High-k Dielectric," *ICICDT*, pp. 97–100, 2008.