

環境変動を打ち消すリングオシレータを用いた経年劣化の温度依存性評価

足助 拓哉¹ 中野 洋希¹ 岸田 亮² 古田 潤¹ 小林 和淑¹

概要: ストレス電圧や温度により集積回路が劣化する BTI と呼ばれる経年劣化による信頼性問題が顕在化している。BTI は集積回路が動作している限り不可避の劣化であり、その正確な劣化見積もりが必須である。環境変動による結果のふらつきを取り除くために、BTI 発生型リングオシレータ (RO) と BTI 抑制型 RO を用いる。本稿ではそれらの RO の周波数変動により BTI の温度依存性の実測評価を行い、劣化特性を時間 t に対して t^n のべき乗関数、 $\log(t)$ の対数関数の双方でモデル化した。NMOS の BTI の劣化特性は対数関数で表せ、PMOS の BTI の劣化特性は温度 100 °C 未満は対数関数で、温度 100 °C 以上は時間 t のべき乗関数で表せることがわかった。

Evaluation of Temperature Dependence of Aging Degradation Ring Oscillator to Cancel Out Environmental Fluctuation

TAKUYA ASUKE¹ HIROKI NAKANO¹ RYO KISHIDA² JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: Aging degradation are becoming dominant on integrated circuits. BTI (Bias Temperature Instability) is one root cause of aging degradation's accelerated by temperature and bias conditions. It is important to estimate BTI-induced degradation. By using the difference between the BTI-generated and BTI-suppressed ring oscillators, measurement fluctuations due to environmental fluctuations can be removed. In this paper, we evaluate the temperature dependence of BTI ring oscillators to cancel out environmental fluctuations. BTI degradation is modeled by a power function of t^n or a logarithmic function of $\log(t)$ with respect to time t . From the measurement results, BTI on NMOS degradation's on NMOS follows $\log(t)$ at any temperature, while BTI degradation on PMOS follows $\log(t)$ below 100 °C and follows t^n over 100 °C.

1. 序論

ほとんどの電子機器に集積回路が使用されており、集積回路の微細化技術向上により動作速度向上、低消費電力化、集積密度の上昇など性能が上昇している [1]。しかし、微細化が進む一方で集積回路の信頼性は低下している。経年劣化現象の 1 つである BTI (Bias Temperature Instability) は集積回路が微細化するにつれて顕著になっている信頼性問題である [2]。BTI は MOSFET に温度や電圧などのストレスをかけることで MOSFET の特性が劣化する現象で

ある。BTI によって MOSFET のしきい値電圧の絶対値が上昇し、電流電圧特性の変動、遅延時間の増加、発振周波数の低下などが起こり、回路の誤動作につながる。

BTI はゲート・ソース間に電位差がある限り発生する不可避の劣化であり、実測による評価が重要になる。BTI の温度依存性を評価するためには様々な温度条件で長時間測定する必要がある。長時間測定の場合、測定途中で電源電圧の揺れなどの環境条件の変動がある。そのため、各測定によって異なる環境変動によるばらつきが測定結果に表れ、BTI による劣化だけを評価できない問題がある。この問題を解決するためにゲート・ソース間電位差が電源電圧と等しい回路としきい値電圧に等しい回路を同時に測定した。測定結果の差分を利用し BTI による劣化だけを評価することができる。BTI には NMOS 上で発生する Positive BTI

¹ 京都工芸繊維大学 工学科学研究科 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology
² 東京理科大学 理工学部 電気電子情報工学科
Department of Electrical Engineering, Faculty of Science and Technology, Tokyo University of Science

(PBTI) と PMOS 上で発生する Negative BTI (NBTI) がある。PBTI は 45 nm プロセス以降で顕在化している [3]。これは 45 nm プロセス以降で酸化膜材料として high-k 材料が用いられているからである。本論文で取り扱うチップは 65 nm プロセスだがゲート酸化膜の一部に high-k 材料を使用しているため、PBTI についても考慮する。BTI の発生原理として R-D Model と T-D Model が提案されている。劣化特性のモデル式として R-D Model は時間 t に対して t^n で増加し、T-D Model は $\log(t)$ で増加する [4]。

本稿の構成は以下の通りである。2 節で BTI の概要と発生原因について述べる。3 節で測定に使用したリングオシレータの回路構造と測定方法について述べる。4 節では測定の結果と考察について述べる。5 節で結論とする。

2. Bias Temperature Instability (BTI)

BTI は MOSFET の温度やゲート・ソース間の電圧差がストレスの原因で、MOSFET の特性が時間経過とともに劣化する現象である。MOSFET の電源が ON 状態である限り劣化していく。温度と電圧はどちらも高いほど MOSFET の特性が劣化しやすくなる。BTI による MOSFET の特性の劣化はしきい値電圧の変動である。BTI はゲート酸化膜にできる欠陥がキャリアを捕獲することによって発生する。チャネル領域を流れるドレイン電流が減少し、NMOS、PMOS のしきい値電圧の絶対値は増加する。しきい値電圧の変動によって、電流電圧特性の変動、遅延時間の増加、発振周波数の低下などが起こる。BTI は電圧ストレスを取り除くと劣化した特性が回復する。電源電圧を印加すると MOSFET のしきい値電圧の絶対値は上昇し、電圧によるストレスを取り除くと特性は回復する。特性の劣化は全回復するわけではなく回復不可能な成分が残る。

BTI の発生原理として R-D Model と T-D Model の 2 つが提案されている。R-D Model ではゲート酸化膜と基板の境界面に着目している。図 1 に R-D Model による BTI 発生原理を表した MOSFET 断面の模式図を示す。ゲート酸化膜と基板の境界面にある Si-H 結合が分離されることで欠陥ができると考えられている [5]。ゲートに電圧が印加されると一部の Si-H 結合が切れてゲート酸化膜中に水素が遊離し、Si-SiO₂ 界面に結合していない電子対が生成される [6]。遊離した水素はゲート酸化膜内をゲート側に向かって拡散する。拡散した水素原子の一部がゲートまで達して水素原子同士で反応し、水素分子となる。ゲートの水素分子が水素イオンに戻るには大きなエネルギーが必要であるので、半永久的に欠陥が残る続ける。その電子対の欠陥がチャネルを流れるキャリアを捕獲することでドレイン電流が減少し、MOSFET の特性が劣化する。ゲートの電圧を取り除くと遊離した一部の水素は結合していない電子対と結合し、劣化していた特性が回復する。ゲートにできた水素分子はゲートの電圧を取り除いても水素イオンに

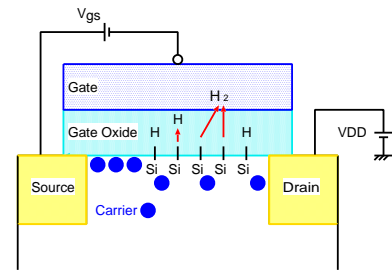


図 1 R-D モデル

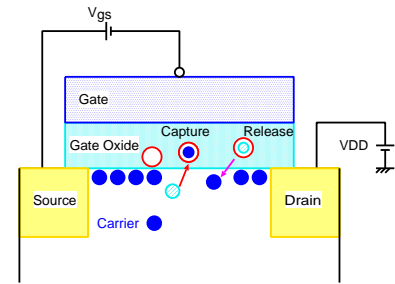


図 2 T-D モデル

戻らないので、Si-SiO₂ 界面で発生する劣化は回復不可能とされる。MOSFET の劣化特性のモデル式は、しきい値電圧変動量が時間 t に対して t^n と指数関数で表される。 n は時間指数と呼ばれる定数である。

T-D Model では製造時にできたゲート酸化膜の欠陥に着目している。図 2 に T-D Model による BTI 発生原理を表した MOSFET 断面の模式図を示す。ゲート酸化膜の欠陥がチャネルを流れるキャリアを捕獲、放出することでしきい値電圧が変動する [5]。ゲート酸化膜の欠陥はそれぞれ特性が異なるため、しきい値電圧は動的かつ離散的にばらつく。キャリアを捕獲、放出している状態の平均持続時間をそれぞれ捕獲、放出時間という。この時間が欠陥の特性で、これらの時定数は 10^{-9} s から 10^9 s の範囲に分布している。 10^9 s など大きな時定数を持つ欠陥にキャリアが捕獲されると長時間しきい値電圧が変動するため、永続的に劣化するように見える。ストレス時間が長いほど欠陥が増える R-D Theory に対して、製造時の欠陥の数は変わらないことが特徴である。MOSFET の劣化特性のモデル式は、 $\log(t)$ と時間 t の対数関数で表される。

BTI には PMOS で発生する NBTI (Negative BTI、負バイアス温度不安定性) と NMOS で発生する PBTI (Positive BTI、正バイアス温度不安定性) の 2 種類がある。NBTI は 65 nm 以降のプロセスで顕在化している。一方、PBTI は 40 nm 以降のプロセスで顕在化している [3]。顕在化するプロセスの違いはゲート酸化膜に使用される材料が原因である。65 nm プロセスではゲート酸化膜として二酸化ケイ素やシリコン酸窒化膜が使用されているが、リーク電流の増加を防ぐため、40 nm プロセスでハフニウムなどを用い

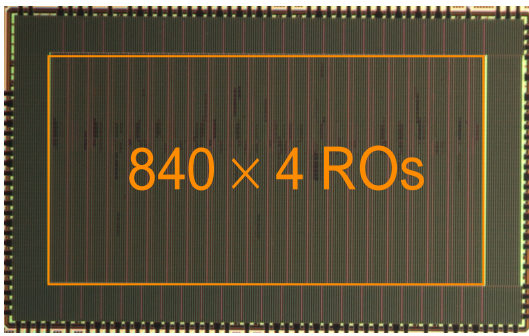


図 3 試作チップ写真。各種 RO が 840 個搭載されている。

た High-K 材料が使用されている。High-K 材料は二酸化ケイ素より誘電率が高いためゲート酸化膜を厚くし、リーク電流を減らすことができる。しかし、High-K 材料を使うことでゲート酸化膜製造時の欠陥が多くなり、PBTI が顕在化した。

3. 測定方法

測定に使用した回路と評価方法について述べる。

3.1 回路構造

測定チップの写真を図 3 に示す。チップには PBTI 発生型 RO、PBTI 抑制型 RO、NBTI 発生型 RO、NBTI 抑制型 RO が搭載されている [7]。NAND のみで構成された NAND 型 RO を図 4 に示す。NAND のみで構成することによって、発振停止時に NMOS にストレスを与え続けて PBTI が発生し続ける。NAND の 2 つの入力端子のうち 1 つは発振制御端子 (EN) に、もう 1 つの端子は前段 NAND の出力端子につなぐ。PBTI 発生型 RO の回路図を図 5、PBTI 抑制型 RO の回路図を図 6 に示す。発振停止時に発生型なら VDD と接続している NMOS で、抑制型なら VDD と接続していない NMOS で PBTI が起きる。発生型のゲートソース間電圧は電源電圧 VDD と同じなので、PBTI によって劣化しやすい。一方、抑制型のゲートソース間電圧は電源電圧 VDD より小さいしきい値電圧 V_{th} になり、PBTI が抑制される。抑制型も全く BTI が発生しないわけではないが、発生型と比べると劣化が小さい。測定中は同時に同じ電源電圧 VDD で発振するので、発振停止時の BTI による劣化で発振回数に差が出る。

NOR のみで構成された NOR 型 RO を図 7 に示す。NOR のみで構成することによって発振停止時に PMOS にストレスを与え続けて NBTI が発生し続ける。発振制御用端子を ENB とする。ENB=1 のとき、NOR の出力は全て 0 となって NBTI が発生する。ENB=0 のとき、出力が 0 と 1 を交互に繰り返して発振する。NBTI 発生型と NBTI 抑制型の回路図を図 8 と図 9 に示す。NBTI も PBTI と同様で、発生型のゲートソース間電圧が電源電圧 VDD、抑制型のゲートソース間電圧がしきい値電圧 V_{th} になる。

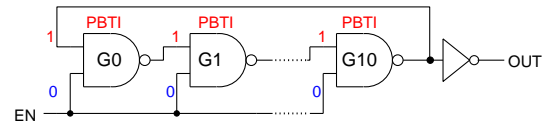


図 4 NAND のみで構成された NAND 型 RO

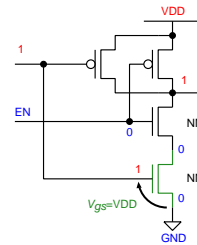


図 5 PBTI 発生型 NAND

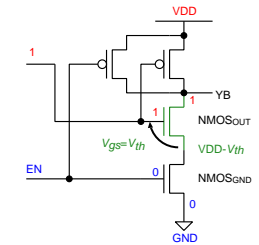


図 6 PBTI 抑制型 NAND

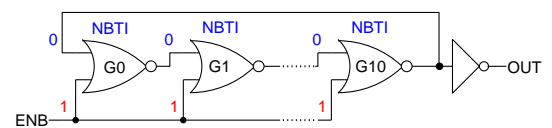


図 7 NOR のみで構成された NOR 型 RO

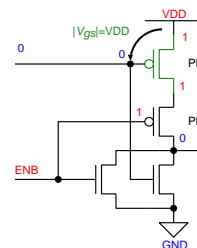


図 8 NBTI 発生型 NOR

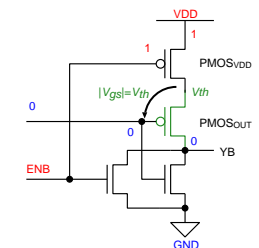


図 9 NBTI 抑制型 NOR

3.2 測定及び評価方法

図 10 に BTI の測定方法を示す。発振中は RO の出力が 0 と 1 を交互に繰り返す。EN 端子を 1 (ENB 端子なら 0) にして RO を発振させて発振回数を測定する。発振時間は $12\mu s$ と BTI ストレスをかける時間より短くすることで、発振による回復よりも BTI ストレスによる劣化を支配的にする。各種 RO は 840 個あり、それぞれの発振回数の平均をとる。RO の EN 端子を 0 (ENB 端子を 1) に固定することで発振を停止させ、BTI によるストレスを与え続ける。ストレスを与えた後の測定は MOSFET のしきい値電圧が劣化しているので、発振回数が減少する。BTI 発生型と BTI 抑制型は同時に測定しているため、測定結果に同じ環境による変動誤差を持つ。BTI 抑制型で起こる BTI による劣化は小さく、環境変動によって測定結果に変化が出ている。BTI 発生型の電圧によるストレスに比べて、BTI 抑制型のストレスは小さい。BTI 発生型の値から BTI 抑制型の値を引くことで環境変動を取り除く。環境変動とは、電源電圧や温度の揺らぎ等による測定ばらつきのことである。測定結果を差し引くことで同じばらつきを取り除き、BTI による劣化だけを測定する。

BTI による発振回数の減少を、しきい値電圧の変動量に

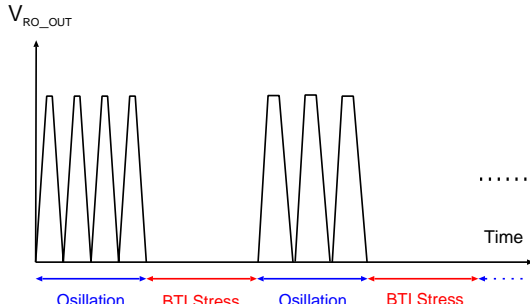


図 10 BTI 測定の流れ。発振と BTI ストレスを交互に繰り返す。ストレス後は発振回数が減少する。

変換する。回路シミュレーションを用いてしきい値電圧を変化させた時の発振周波数を確認する。シミュレーションの結果、発振周波数としきい値電圧の関係式が得られる。その式に測定結果を挿入し、測定結果をしきい値電圧変動量に変換する。

4. 測定結果

はじめに温度 150 °C の測定結果を示したあとで、温度を変更して測定した結果を示す。

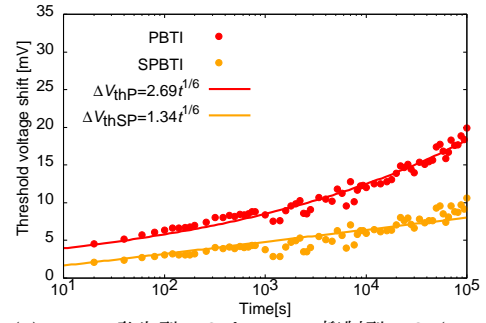
4.1 温度 150 °C の測定結果

各種 RO の平均発振回数を回路シミュレーションを用いてしきい値電圧変動量に変換する。図 11 は温度 150 °C での各種 RO のしきい値電圧変動量を示す。縦軸はしきい値電圧変動量で、横軸は測定時間である。 ΔV_{thP} と ΔV_{thSP} は、PBTI 発生型 RO (PBTI) および PBTI 抑制型 RO (SPBTI) のしきい値電圧変動量を表す。 ΔV_{thN} と ΔV_{thSN} は、NBTI 発生型 RO (NBTI) および NBTI 抑制型 RO (SNBTI) のしきい値電圧変動量を表す。PBTI 発生型 RO のしきい値電圧変動量は 10^5 s で PBTI 抑制型 RO より 2 倍大きい。NBTI 発生型 RO のしきい値電圧変動量は 10^5 s で NBTI 抑制型 RO の 3 倍大きい。これらの測定結果には、気温やバイアスの環境変化による変動が含まれている。これらの変動は、図 12 に示されるように、BTI 発生型 RO の値から BTI 抑制型 RO の値を引くことによって取り除く。しきい値電圧変動量は、次のモデル式で近似する。 ΔV_{th_power} はべき乗関数、 ΔV_{th_log} は対数関数で近似したしきい値電圧変動量を表す。

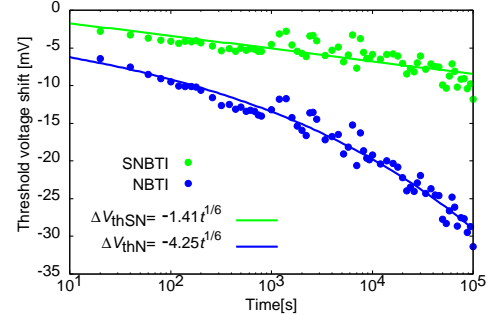
$$\Delta V_{th_power} = a \times t^{\frac{1}{6}} \quad (1)$$

$$\Delta V_{th_log} = b \times \log(t + 1) \quad (2)$$

ここで、 a, b はフィッティングパラメータ、 t は測定時間とする。これら 2 つの式の中から、平均平方二乗誤差率 (Root Mean Square Percentage Error, RMSPE) がより小さい式を図示する。RMSPE は次の式で求める。



(a) PBTI 発生型 RO と PBTI 抑制型 RO (150 °C)



(b) NBTI 発生型 RO と NBTI 抑制型 RO (150 °C)

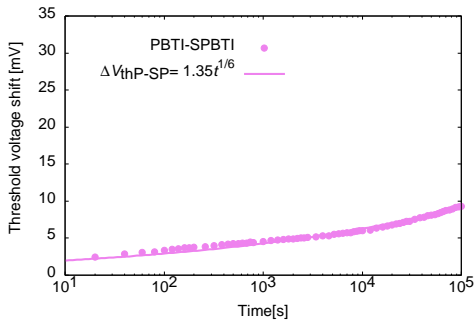
図 11 各種 RO のしきい値電圧変動量 (150 °C)

$$RMSPE = \sqrt{\frac{1}{m} \sum_{k=1}^m \left(\frac{f_i - y_i}{y_i} \right)^2} \times 100 \quad (3)$$

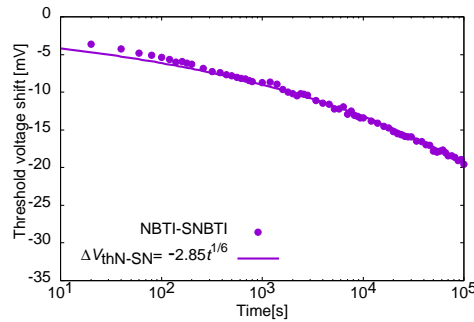
ここで、 f_i は近似値、 y_i は測定値、 m はデータの数とする。各種 RO の測定結果は、時間指数 $n = 1/6$ のべき乗関数の近似式で表すことができる。これは [4] の BTI による劣化特性のモデル式と一致する。表 2 は、4 種類の RO のしきい値電圧変動量と環境変動を取り除いたしきい値電圧変動量のフィッティング曲線の式と RMSPE を示す。環境変動を取り除いた後のフィッティング曲線の RMSPE は、PBTI および NBTI 発生型 RO の約 1/3 になる。環境変動を取り除いた後のフィッティング曲線は、時間指数が $n = 1/6$ の近似式で近似できる。

4.2 各温度条件で比較した結果

表 1 に各測定条件を示す。電圧によるストレスを同じ条件にし、温度によるストレスを変動させることで温度依存性を評価する。各測定条件の環境変動を取り除いたしきい値電圧変動量と近似式を図 13 に示す。表 3 および表 4 に、各温度の環境変動を取り除いた PBTI および NBTI によるしきい値電圧変動量の近似式と RMSPE を示す。PBTI 型の RMSPE は式 (2) の近似式の方が式 (1) の近似式より小さい。温度 150 °C における式 (1) と式 (2) の近似式の RMSPE の差は 0.18% と小さい。NBTI 型の RMSPE は 100 °C 以上では式 (1) の近似式の方が小さく、100 °C 以下の温度では式 (2) の近似式の方が小さい。



(a) PBTI 発生型 RO の値から PBTI 抑制型 RO の値を引いた結果



(b) NBTI 発生型 RO の値から NBTI 抑制型 RO の値を引いた結果

図 12 環境変動を取り除いたしきい値電圧変動量 (150 °C)

表 1 各測定条件

VDD[V]	温度 [°C]	ストレス時間 [s]
2.0	27	4.4×10^5
	80	4.9×10^5
	100	1.0×10^5
	120	1.0×10^5
	150	1.0×10^5

表 2 温度 150 °C における各種 RO の近似式と RMSPE

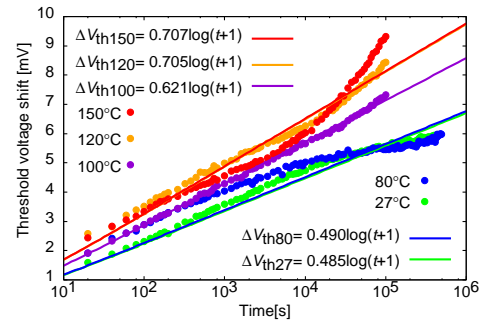
RO の種類	近似式	RMSPE[%]
PBTI	$2.69t^{\frac{1}{6}}$	7.43
SPBTI	$1.34t^{\frac{1}{6}}$	12.2
NBTI	$-4.25t^{\frac{1}{6}}$	7.05
SNBTI	$-1.41t^{\frac{1}{6}}$	22.9
PBTI-SPBTI	$1.35t^{\frac{1}{6}}$	5.64
NBTI-SNBTI	$-2.85t^{\frac{1}{6}}$	7.41

5. 結論

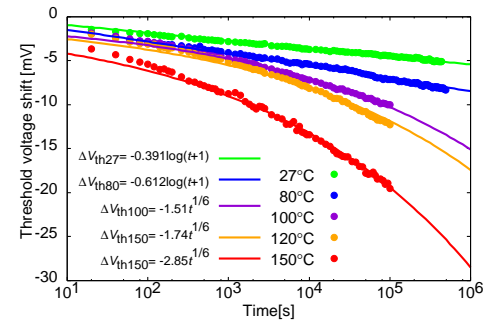
環境変動による測定ばらつきを BTI 発生型 RO と BTI 抑制型 RO の差分を用いることで取り除き、BTI の温度依存性の実測評価を行った。

NBTI による PMOS のしきい値電圧変動量 (V_{th}) は温度 100 °C 以下の場合 $\log(t+1)$ で近似でき、温度 100 °C 以上の場合 $t^{\frac{1}{6}}$ で近似できた。

PBTI による NMOS のしきい値電圧変動量 V_{th} は温度 150 °C で $\log(t+1)$ で近似できた。ただし、測定値と近似値の数値が 0 に近い時の誤差が小さいと RMSPE の値は小



(a) PBTI 発生型 RO の値から抑制型 RO の値を差し引いた結果



(b) NBTI 発生型 RO の値から抑制型 RO の値を差し引いた結果

図 13 各測定条件でのしきい値電圧変動量と表 3、4 で RMSPE が小さい方の近似式

表 3 各温度での環境変動を取り除いた PBTI 型しきい値電圧変動量の近似式と RMSPE

温度 [°C]	近似式	RMSPE[%]
27	$0.485\log(t+1)$	5.10
	$0.963t^{\frac{1}{6}}$	17.3
80	$0.490\log(t+1)$	14.3
	$1.01t^{\frac{1}{6}}$	24.7
100	$0.621\log(t+1)$	1.11
	$1.18t^{\frac{1}{6}}$	10.4
120	$0.705\log(t+1)$	4.74
	$1.34t^{\frac{1}{6}}$	13.3
150	$0.707\log(t+1)$	7.23
	$1.35t^{\frac{1}{6}}$	7.41

表 4 各温度での環境変動を取り除いた NBTI 型しきい値電圧変動量の近似式と RMSPE

温度 [°C]	近似式	RMSPE[%]
27	$-0.661\log(t+1)$	4.26
	$-0.392t^{\frac{1}{6}}$	22.0
80	$-1.02\log(t+1)$	3.89
	$-0.612t^{\frac{1}{6}}$	14.6
100	$-0.787\log(t+1)$	12.1
	$-1.51t^{\frac{1}{6}}$	6.15
120	$-0.906\log(t+1)$	15.6
	$-1.74t^{\frac{1}{6}}$	8.46
150	$-1.48\log(t+1)$	12.3
	$-2.85t^{\frac{1}{6}}$	5.64

さくなるので、温度 150 °C の測定結果はべき乗関数より、対数関数の方が小さくなった。これらの結果から、周囲温度の上昇によって BTI による劣化はべき乗則モデルが支配的になることがわかった。

謝辞 本研究に用いたチップはルネサスエレクトロニクス株式会社により試作されたものであり、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンターグラフィックス株式会社の協力で行われたものである。助言を頂いた本学熊代成孝特任教授に感謝致します。

参考文献

- [1] M.Bohr , “The evolution of scaling from the homogeneous era to the heterogeneous era,” 2011 International Electron Devices Meeting, pp.1.1.1–1.1.6, Dec 2011.
- [2] T.Grasser, B.Kaczer, W.Goes, H.Reisinger, T.Aichinger, P.Hehenberger, P.Wagner, F.Schanovsky, J.Franco, M.Toledano Luque, and M.Nelhiebel, “The paradigm shift in understanding the bias temperature instability: From reaction–diffusion to switching oxide traps,” *IEEE Transactions on Electron Devices*, vol.58, no.11, pp.3652–3666, Nov. 2011.
- [3] S.Zafar, Y.Kim, V.Narayanan, C.Cabral, V.Paruchuri, B.Doris, J.Stathis, A.Callegari, and M.Chudzik, “A comparative study of nbti and pbti (charge trapping) in sio2/hfo2 stacks with fusi, tin, re gates,” 2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers., pp.23–25, June 2006.
- [4] C.Ma, H.J.Mattausch, K.Matsuzawa, S.Yamaguchi, T.Hoshida, M.Imade, R.Koh, T.Arakawa, and M.Miura-Mattausch, “Universal NBTI compact model for circuit aging simulation under any stress conditions,” *IEEE Transactions on Device and Materials Reliability*, vol.14, no.3, pp.818–825, Sep. 2014.
- [5] H.Kükner, S.Khan, P.Weckx, P.Raghavan, S.Hamdioui, B.Kaczer, F.Catthoor, L.Van der Perre, R.Lauwereins, and G.Groeseneken, “Comparison of reaction-diffusion and atomistic trap-based bti models for logic gates,” *IEEE Transactions on Device and Materials Reliability*, vol.14, no.1, pp.182–193, March 2014.
- [6] S.Mahapatra, S.De, K.Joshi, S.Mukhopadhyay, R.K.Pandey, and K.V.R.M.Murali, “Understanding process impact of hole traps and nbti in hkmg p-mosfets using measurements and atomistic simulations,” *IEEE Electron Device Letters*, vol.34, no.8, pp.963–965, Aug 2013.
- [7] R.Kishida, T.Asuke, J.Furuta, and K.Kobayashil, “Extracting BTI-induced degradation without temporal factors by using BTI-sensitive and BTI-insensitive ring oscillators,” 2019 IEEE 32nd International Conference on Microelectronic Test Structures (ICMTS), pp.24–27, Mar. 2019.